

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

**特許第3856613号
(P3856613)**

(45) 発行日 平成18年12月13日(2006.12.13)

(24) 登録日 平成18年9月22日(2006.9.22)

(51) Int. Cl.

A63F 7/02 (2006.01)

F I

A 6 3 F 7/02 3 O 4 Z

A 6 3 F 7/02 3 2 6 Z

請求項の数 5 (全 72 頁)

(21) 出願番号 特願2000-32246 (P2000-32246)
 (22) 出願日 平成12年2月9日(2000.2.9)
 (65) 公開番号 特開2001-218897 (P2001-218897A)
 (43) 公開日 平成13年8月14日(2001.8.14)
 審査請求日 平成14年6月25日(2002.6.25)

(73) 特許権者 000144153
 株式会社三共
 群馬県桐生市境野町6丁目460番地
 (74) 代理人 100064746
 弁理士 深見 久郎
 (74) 代理人 100085132
 弁理士 森田 俊雄
 (74) 代理人 100095418
 弁理士 塚本 豊
 (72) 発明者 鶴川 詔八
 群馬県桐生市相生町1丁目164番地の5
 (72) 発明者 石川 貴之
 群馬県桐生市境野町6丁目460番地 株
 式会社三共内

最終頁に続く

(54) 【発明の名称】 遊技機

(57) 【特許請求の範囲】

【請求項1】

供給された電力により動作する複数の電気部品と、

前記複数の電気部品それぞれを制御する第1の電気部品制御マイクロコンピュータを備えた第1の電気部品制御基板および第2の電気部品制御マイクロコンピュータを備えた第2の電気部品制御基板と、

遊技球が流下する遊技領域に設けられた入賞領域に入賞したことを検出し、前記第1の電気部品制御基板に検出信号を出力する検出手段であって、非検出時にハイレベル信号を出力し検出時にローレベル信号を出力する遊技球検出手段と、を備え、

交流電源からの交流電圧を直流電圧に変換する整流手段と、

前記整流手段によって交流電圧から変換された直流電圧から、該直流電圧よりも低い電圧であって前記遊技球検出手段に供給される第1の直流電圧と、前記遊技球検出手段に供給される直流電圧よりも低く前記第1の電気部品制御マイクロコンピュータの駆動電源電圧である第2の直流電圧とを生成する直流電圧生成手段と、を備えた電源基板と、

前記整流手段によって交流電圧から変換された直流電圧を監視し、該直流電圧が前記第1の直流電圧よりも高い電圧である第1の検出電圧に低下したことを検出したときに第1の検出信号を出力する第1の電源監視手段とをさらに備え、

前記第1の電気部品制御基板は、前記電源基板から前記第1の直流電圧と前記第2の直流電圧とが直接供給され、

前記第2の電気部品制御基板は、前記第1の電気部品制御基板を介して直流電圧が供給

10

20

され、

前記第 1 の電気部品制御マイクロコンピュータは、

電力供給開始時に、電力供給停止直前の内容を保持することが可能な記憶手段に保持されている保持データにもとづいて制御を再開させることが可能であり、

前記第 1 の検出信号の入力により所定期間内で実行可能な所定の電力供給停止時処理を実行し、該電力供給停止時処理にて、前記記憶手段の記憶内容に関連した演算の結果得られるチェックデータを前記記憶手段に保存する処理を実行し、さらに、

前記第 1 の電源監視手段が監視する直流電圧と同一の直流電圧を監視し、該直流電圧が、前記第 1 の検出電圧よりも低く、前記第 1 の電気部品制御マイクロコンピュータの駆動電源電圧よりも高く設定された第 2 の検出電圧になったときに第 2 の検出信号を出力する第 2 の電源監視手段を備え、

10

前記第 2 の電源監視手段は、前記第 1 の電源監視手段が前記第 1 の検出信号を出力した後に前記第 2 の電源監視手段が前記第 2 の検出信号を出力するまでに前記第 1 の電気部品制御マイクロコンピュータが前記電力供給停止時処理を完了するように設定された前記第 2 の検出電圧になったときに前記第 1 の電気部品制御マイクロコンピュータに前記第 2 の検出信号を出力し、

前記第 1 の電気部品制御マイクロコンピュータは、前記第 2 の検出信号の入力に応じて動作停止状態とされ、電力供給開始時に、前記チェックデータにもとづくチェックを行い、チェック結果が正常であれば前記記憶手段に保持されている保持データにもとづいて制御を再開させることを特徴とする、遊技機。

20

【請求項 2】

前記第 1 の電気部品制御基板は、遊技を制御するための遊技制御マイクロコンピュータを備えた遊技制御基板を含み、

前記第 2 の電気部品制御基板は、前記遊技制御マイクロコンピュータから出力された電気信号に基づいて画像を可変表示させる可変表示手段を制御する表示制御マイクロコンピュータを備えた表示制御基板を含む、請求項 1 に記載の遊技機。

【請求項 3】

前記第 2 の電気部品制御基板は、電気部品の制御に必要な電力を作成する電力作成手段を有する、請求項 1 または請求項 2 に記載の遊技機。

【請求項 4】

30

前記電源基板は、遊技の進行に応じた所定条件の成立により遊技価値を付与する制御を行なうための価値付与制御マイクロコンピュータを備えた価値付与制御基板へ必要な電力を直接供給する、請求項 1 ～ 請求項 3 のいずれかに記載の遊技機。

【請求項 5】

前記第 1 の電気部品制御マイクロコンピュータは、電力供給開始時に、前記電力供給停止直前の内容が前記記憶手段に保持されているか否かを判定し保持されていることを条件に前記チェックデータにもとづくチェックを行う一方、保持されていないときには電源投入時に実行される初期化処理を実行する、請求項 1 ～ 請求項 4 のいずれかに記載の遊技機

。

【発明の詳細な説明】

40

【0001】

【発明の属する技術分野】

本発明は、パチンコ遊技機やコイン遊技機あるいはスロットマシンなどで代表される遊技機に関する。詳しくは、電源基板が他の制御基板と別個に設けられた遊技機に関する。

【0002】

【従来の技術】

この種の遊技機として従来から一般的に知られているものに、たとえば、パチンコ遊技機、コイン遊技機またはスロットマシン等のように、電気部品制御手段の一例として、外部電源から各制御基板に電力を供給する電源基板、遊技機の遊技状態を制御する遊技基板、遊技媒体の払出を制御する遊技媒体払出制御手段、表示状態が変化可能な可変表示装置を

50

制御する表示制御基板、発光体の発光を制御する発光体制御手段および音声発生手段を音声の発生を制御する音声制御手段等を備えたものがある。

【 0 0 0 3 】

【 発明が解決しようとする課題 】

上記の遊技機においては、電源基板から各制御基板へそれぞれ別個に電力が供給されている。そのため、電源基板には、遊技基板、払出制御基板、表示制御基板、発光体制御基板および音声制御基板それぞれと配線により接続するためのコネクタが各制御基板に対応して設けられている。それにより、電源基板のコネクタには、多数のコネクタを設ける必要が生じるため、構造上の制約が厳しくなる。

【 0 0 0 4 】

また、可変表示装置を有する第 1 種パチンコ遊技機または第 3 種パチンコ遊技機から可変表示装置を有しない第 2 種パチンコ遊技機へと機種変更する場合に、電源基板は、機種変更にもなって取換える必要がないが、表示制御基板用のコネクタが設けられた電源基板を使用している場合には、第 2 種パチンコ遊技機に変更した状態では、電源基板と第 1 種または第 3 種パチンコ遊技機で使用する表示制御基板とを接続するためのコネクタが未接続のまま残存する状態となってしまう。したがって、第 2 種パチンコ遊技機を使用する場合においては、電源基板構造において無駄なコネクタが生じるとともに、未接続のコネクタから不正な制御情報が入力される虞が生じる。

【 0 0 0 5 】

この発明は上述の問題に鑑みてなされたものであって、第 2 種パチンコ遊技機を使用する場合において、電源基板構造における無駄をなくすとともに、未接続のコネクタから不正な制御情報が入力されることを防止し得る遊技機を提供することである。

【 0 0 0 6 】

【 課題を解決するための手段およびその具体例 】

請求項 1 に記載の本発明は、供給された電力により動作する複数の電気部品（CRT 8 2 または LCD 2 8 0、スピーカ 2 7 および遊技効果ランプ 2 8 b、2 8 c 等）と、

前記複数の電気部品それぞれを制御する第 1 の電気部品制御マイクロコンピュータを備えた第 1 の電気部品制御基板（主基板 3 1）および第 2 の電気部品制御マイクロコンピュータを備えた第 2 の電気部品制御基板（表示制御基板 8 0）と、

遊技球が流下する遊技領域に設けられた（遊技領域 7 の中央には、... 可変表示装置 8 が設けられている。... さらに、可変表示装置 8 の下方には、始動口 1 4 が構成された始動用電動役物 1 5 と、開閉板 2 0 の傾動により打玉の入賞可能な開放状態となる可変入賞球装置 1 9 とが設けられている。）入賞領域に入賞したことを検出し、前記第 1 の電気部品制御基板に検出信号を出力する検出手段であって、非検出時にハイレベル信号を出力し検出時にローレベル信号を出力する遊技球検出手段（可変入賞球装置 1 9 の大入賞口内部には可変入賞球装置 1 9 に入賞した玉を検出するカウントスイッチ 2 3 が設けられている。また、大入賞口内は、特定入賞領域と通常入賞領域とに区分されており、特定入賞領域には、V 入賞を検出する V カウントスイッチ 2 2 が設けられている。：左右 2 つの通過ゲート 1 1 のうち的一方にはゲートスイッチ 1 2（図 6 参照）が設けられており：始動口 1 4 に入賞した始動入賞玉は遊技盤 6 に設けられた始動口スイッチ 1 7（図 4 参照）により検出される。：監視電圧として V SL（+ 3 0 V）を用いる場合には、遊技機の各種スイッチに供給される電圧が + 1 2 V であることから、電源断時のスイッチオン誤検出の防止も期待できる。すなわち、+ 3 0 V 電源の電圧を監視すると、+ 3 0 V 作成の以降に作られる + 1 2 V が落ち始める以前の段階でその低下を検出できる。よって、+ 1 2 V 電源の電圧が低下するとスイッチ出力がオン状態を呈するようになるが、+ 1 2 V より速く低下する + 3 0 V 電源電圧を監視して電源断を認識すれば、スイッチ出力がオン状態を呈する前に電源復旧待ちの状態に入ってスイッチ出力を検出しない状態となることのできる。）と、を備え、

交流電源からの交流電圧を直流電圧に変換する整流手段（図 4 0：整流回路 9 1 2 は、AC 2 4 V から + 3 0 V の直流電圧を生成し、DC-DC コンバータ 9 1 3 およびコネク

10

20

30

40

50

タ 9 1 5 に出力する。) と、

前記整流手段によって交流電圧から変換された直流電圧から、該直流電圧よりも低い電圧であって前記遊技球検出手段に供給される第 1 の直流電圧 (遊技機の各種スイッチに供給される電圧が + 1 2 V である) と、前記遊技球検出手段に供給される直流電圧よりも低く前記第 1 の電気部品制御マイクロコンピュータの駆動電源電圧である第 2 の直流電圧 (各電気部品制御基板に搭載されている回路素子の電源電圧 (この例では + 5 V)) とを生成する直流電圧生成手段 (図 4 0 は、遊技機の電源基板 9 1 0 の一構成例を示すブロック図である。...遊技機内の各電気部品制御基板および機構部品が使用する電圧を生成する。この例では、AC 2 4 V、DC + 3 0 V (V_{SL})、DC + 2 1 V、DC + 1 2 V (V_{DD}) および DC + 5 V (V_{cc}) を生成する : 整流回路 9 1 2 は、AC 2 4 V から + 3 0 V の直 10
流電圧を生成し、DC - DC コンバータ 9 1 3 およびコネクタ 9 1 5 に出力する。DC - DC コンバータ 9 1 3 は、+ 2 1 V、+ 1 2 V および + 5 V を生成してコネクタ 9 1 5 に出力する。) と、を備えた電源基板と、

前記整流手段によって交流電圧から変換された直流電圧を監視し、該直流電圧が前記第 1 の直流電圧よりも高い電圧である第 1 の検出電圧に低下したことを検出したときに第 1 の検出信号を出力する第 1 の電源監視手段 (第 1 の電源監視回路は、遊技機が使用する各種直流電流のうちいずれかの電源の電圧を監視して電源電圧低下を検出する回路である。この実施の形態では、第 1 の電源監視回路は、V_{SL} の電源電圧を監視して、その電圧値が所定値以下になるとローレベルの電圧低下信号を発生する。電源電圧 V_{SL} は、遊技機で使用される直流電圧のうちで最大のものであってこの例では、+ 3 0 V である。 : この例では、第 1 の電源監視手段が検出信号を出力することになる第 1 検出条件は + 3 0 V 電源電圧が + 2 2 V にまで低下したことであり...ただし、ここで用いられている電圧値は一例であって、他の値を用いてもよい。) とをさらに備え、 20

前記第 1 の電気部品制御基板は、前記電源基板から前記第 1 の直流電圧と前記第 2 の直流電圧とが直接供給され (電力供給手段から必要な電力が直接供給される第 1 の電気部品制御手段 (主基板 3 1)) 、

前記第 2 の電気部品制御基板は、前記第 1 の電気部品制御基板を介して直流電圧が供給され (前記第 1 の電気部品制御手段を介して電力が供給される第 2 の電気部品制御手段 (表示制御基板 8 0)) 、

前記第 1 の電気部品制御マイクロコンピュータは、 30

電力供給開始時に、電力供給停止直前の内容を保持することが可能な記憶手段 (遊技制御用マイコン 5 3 は、...ワークメモリとして使用される R A M 5 5 ...を含む。これらのうち、R A M 5 5 については、電源基板 9 1 0 からのバックアップ用電源によってバックアップされており、不意に停電が発生しても所定時間はその R A M データが保持される。) に保持されている保持データにもとづいて制御を再開させることが可能であり (C P U 5 6 等の駆動電源である + 5 V 電源から電力が供給されていない間、R A M の少なくとも一部は、電源基板から供給されるバックアップ電源によってバックアップされ、遊技機に対する電源が遮断しても内容は保存される。そして、+ 5 V 電源が復旧すると、システムリセット回路 6 5 からリセット信号が発せられるので、C P U 5 6 は、通常の動作状態に 40
復帰する。そのとき、必要なバックアップ記憶情報が保存されているため、停電等からの復旧時に停電が発生した時点の遊技状態に復帰することができる。 : パチンコ遊技機にとらわれず、スロット遊技機等においても、電源投入による電源断時に電源断直前のデータをバックアップ R A M 等に保存し、電源復旧時に保存データに基づく制御再開処理を行なうように構成されている) 、

前記第 1 の検出信号の入力により所定期間内で実行可能な所定の電力供給停止時処理を実行し、該電力供給停止時処理にて、前記記憶手段の記憶内容に関連した演算の結果得られるチェックデータを前記記憶手段に保存する処理を実行し (図 4 7 は、電源基板 9 1 0 の電源監視回路からの電圧変化信号に基づく N M I に応じて実行される停電発生 N M I 処理の一例を示すフローチャートである。停電発生 N M I 処理において、C P U 5 6 は、まず、停電時などの電源断時直前の割込許可 / 禁止状態をバックアップするために、割込 50

禁止フラグの内容をパリティフラグに格納する（ステップS41）。次いで、割込禁止に設定する（ステップS42）。停電発生NMI処理では、RAM内容の保存を確実にするためにチェックサムの生成処理を行なう。その処理中に他の割込処理が行なわれたのではチェックサムの生成処理が完了しないうちにCPUが動作し得ない電圧にまで低下してしまうことが考えられるので、まず、他の割込が生じないような設定がなされる。なお、停電発生NMI処理におけるステップS44～S50は、電力供給停止処理の一例である。

：バックアップRAM領域のバックアップチェックデータ領域に適当な初期値を設定し（ステップS46）、初期値およびバックアップRAM領域のデータについて順次排他的論理和をとった後反転し（ステップS47）、最終的な演算値をバックアップパリティデータ領域に設定する（ステップS48）。）、さらに、

10

前記第1の電源監視手段が監視する直流電圧と同一の直流電圧を監視し、該直流電圧が、前記第1の検出電圧よりも低く、前記第1の電気部品制御マイクロコンピュータの駆動電源電圧よりも高く設定された第2の検出電圧になったときに第2の検出信号を出力する第2の電源監視手段（図39には、システムリセット回路65も示されているが、この実施の形態では、システムリセット回路65は、第2の電源監視回路（第2の電源監視手段）も兼ねている。...リセットIC651は、第1の電源監視回路が監視する電源電圧と等しい電源電圧である電源電圧VSLを監視して、電圧値が所定値（第1の電源監視回路が電圧低下信号を出力する電源電圧値よりも低い値）以下になるとローレベルの電圧低下信号を発生する。したがって、CPU56は、第1の電源監視回路からの電圧低下信号に応じて所定の電力供給停止時処理を行なった後、システムリセットされる。なお、この実施の形態では、リセット信号と第2の電源監視回路からの電圧低下信号とは同一の信号である。：そして、たとえば、第1の電源監視回路の検出電圧（電圧低下信号を出力することになる電圧）を+22Vとし、第2の電源監視回路の検出電圧を+9Vとする。そのように構成した場合には、第1の電源監視回路と第2の電源監視回路とは、同一の電源の電圧VSLを監視するので、第1の電源監視回路が電圧低下信号を出力するタイミングと第2の電圧監視回路が電圧低下信号を出力するタイミングとの差を所望の所定時間に確実に設定することができる。所望の所定時間とは、第1の電源監視回路から発せられた電圧低下信号に応じて電力供給停止時処理を開始してから電力供給停止時処理が確実に完了するまでの期間である。）を備え、

20

前記第2の電源監視手段は、前記第1の電源監視手段が前記第1の検出信号を出力した後に前記第2の電源監視手段が前記第2の検出信号を出力するまでに前記第1の電気部品制御マイクロコンピュータが前記電力供給停止時処理を完了するように設定された前記第2の検出電圧になったときに前記第1の電気部品制御マイクロコンピュータに前記第2の検出信号を出力（リセットIC651は、第1の電源監視回路が監視する電源電圧と等しい電源電圧である電源電圧VSLを監視して、電圧値が所定値（第1の電源監視回路が電圧低下信号を出力する電源電圧値よりも低い値）以下になるとローレベルの電圧低下信号を発生する。したがって、CPU56は、第1の電源監視回路からの電圧低下信号に応じて所定の電力供給停止時処理を行なった後、システムリセットされる。：そして、たとえば、第1の電源監視回路の検出電圧（電圧低下信号を出力することになる電圧）を+22Vとし、第2の電源監視回路の検出電圧を+9Vとする。そのように構成した場合には、第1の電源監視回路と第2の電源監視回路とは、同一の電源の電圧VSLを監視するので、第1の電源監視回路が電圧低下信号を出力するタイミングと第2の電圧監視回路が電圧低下信号を出力するタイミングとの差を所望の所定時間に確実に設定することができる。所望の所定時間とは、第1の電源監視回路から発せられた電圧低下信号に応じて電力供給停止時処理を開始してから電力供給停止時処理が確実に完了するまでの期間である。）し、

30

40

前記第1の電気部品制御マイクロコンピュータは、前記第2の検出信号の入力に応じて動作停止状態とされ、電力供給開始時に、前記チェックデータにもとづくチェックを行い、チェック結果が正常であれば前記記憶手段に保持されている保持データにもとづいて制御を再開させること（図41：遊技機に対する電源が投入されると、メイン処理において、CPU56は、まず、必要な初期設定を行なう（ステップS1）。：電源断時にバック

50

アップRAM領域のデータ幅を処理（本例ではパリティデータの負荷等の停電発生NMI処理）が行なわれた否かの確認を行なう（ステップS2）。不測の電源断が生じた場合には、後述するようにバックアップRAM領域のデータを保護するための処理が行なわれている。そのような保護処理が行なわれていた場合をバックアップありとする。：バックアップRAM領域にバックアップデータがある場合には、この実施の形態では、CPU56は、バックアップRAM領域のデータチェック（この例ではパリティチェック）を行なう（ステップS4）。不測の電源断が生じた後に復旧した場合には、バックアップRAM領域のデータが保存されていたはずであるから、チェック結果は正常になる。：チェック結果が正常であれば、CPU56は、内部状態を電源断時の状態に戻すための遊技状態復旧処理を行なう（ステップS6）。...そして、バックアップRAM領域に保存されていたPC（プログラムカウンタ）の指すアドレスに復帰する（ステップS7）。）を特徴とする。

10

【0007】

請求項2に記載の本発明は、請求項1に記載の発明の構成に加えて、前記第1の電気部品制御基板は、遊技を制御するための遊技制御マイクロコンピュータを備えた遊技制御基板（第1の電気部品制御手段は、遊技を制御するための遊技制御手段（主基板31）を含み）、前記第2の電気部品制御基板は、前記遊技制御マイクロコンピュータから出力された電気信号に基づいて画像を可変表示させる可変表示手段を制御する表示制御マイクロコンピュータを備えた表示制御基板（第2の電気部品制御手段は、前記遊技制御手段から出力された電気信号に基づいて画像を可変表示させる可変表示手段（可変表示器10）を制御する表示制御手段（表示制御基板80）を含んでいる。）を含んでいる。

20

【0008】

請求項3に記載の本発明は、請求項1または請求項2に記載の発明の構成に加えて、前記第2の電気部品制御基板は、電気部品の制御に必要な電力を作成する電力作成手段（スイッチレギュレータ109）を有している。

【0010】

請求項4に記載の本発明は、請求項1～請求項3のいずれかに記載の発明の構成に加えて、前記電源基板は、遊技の進行に応じた所定条件の成立により遊技価値を付与する制御を行なうための価値付与制御マイクロコンピュータを備えた価値付与制御基板（払出制御基板37）へ必要な電力を直接供給する。

30

請求項5に記載の本発明は、請求項1～請求項4のいずれかに記載の発明の構成に加えて、前記第1の電気部品制御マイクロコンピュータは、電力供給開始時に、前記電力供給停止直前の内容が前記記憶手段に保持されているか否かを判定し保持されていることを条件に前記チェックデータにもとづくチェックを行う一方（ステップS2でバックアップデータの有無を確認した後、バックアップデータが存在する場合にステップS4でバックアップ領域のチェックを行なうようにしていた）、保持されていないときには電源投入時に実行される初期化処理を実行する（バックアップなしという確認結果であれば、初期処理を実行する（ステップS2，S3）。：電源投入時に実行される初期化処理を実行する（ステップS5，S3）。）。

【0016】

40

【作用】

請求項1に記載の本発明によれば、以下の作用がある。複数の電気部品は、供給された電力により動作する。第1の電気部品制御基板には、複数の電気部品それぞれを制御する第1の電気部品制御マイクロコンピュータが備えられている。第2の電気部品制御基板には、複数の電気部品それぞれを制御する第2の電気部品制御マイクロコンピュータが備えられている。遊技球検出手段の働きにより、遊技球が流下する遊技領域に設けられた入賞領域に入賞したことが検出され、第1の電気部品制御基板に検出信号が出力される。この遊技球検出手段は、非検出時にハイレベル信号を出力し検出時にローレベル信号を出力する。電源基板の整流手段の働きにより、交流電源からの交流電圧が直流電圧に変換される。電源基板の直流電圧生成手段の働きにより、整流手段によって交流電圧から変換された

50

直流電圧から、該直流電圧よりも低い電圧であって遊技球検出手段に供給される第1の直流電圧と、遊技球検出手段に供給される直流電圧よりも低く第1の電気部品制御マイクロコンピュータの駆動電源電圧である第2の直流電圧とが生成される。第1の電源監視手段の働きにより、整流手段によって交流電圧から変換された直流電圧が監視され、該直流電圧が第1の直流電圧よりも高い電圧である第1の検出電圧に低下したことが検出されたときに第1の検出信号が出力される。電源基板から第1の直流電圧と第2の直流電圧とが、第1の電気部品制御基板に直接供給される。第1の電気部品制御基板を介して直流電圧が、第2の電気部品制御基板に供給される。第1の電気部品制御マイクロコンピュータの働きにより、電力供給開始時に、電力供給停止直前の内容を保持することが可能な記憶手段に保持されている保持データにもとづいて制御を再開させることが可能となり、第1の検出信号の入力により所定期間内で実行可能な所定の電力供給停止時処理が実行され、該電力供給停止時処理にて、記憶手段の記憶内容に関連した演算の結果得られるチェックデータを記憶手段に保存する処理が実行される。第1の電気部品制御マイクロコンピュータの第2の電源監視手段の働きにより、第1の電源監視手段が監視する直流電圧と同一の直流電圧が監視され、該直流電圧が、第1の検出電圧よりも低く、第1の電気部品制御マイクロコンピュータの駆動電源電圧よりも高く設定された第2の検出電圧になったときに第2の検出信号が出力される。第1の電気部品制御マイクロコンピュータの第2の電源監視手段の働きにより、第1の電源監視手段が第1の検出信号を出力した後に第2の電源監視手段が第2の検出信号を出力するまでに第1の電気部品制御マイクロコンピュータが電力供給停止時処理を完了するように設定された第2の検出電圧になったときに第1の電気部品制御マイクロコンピュータに第2の検出信号が出力される。第1の電気部品制御マイクロコンピュータの働きにより、第2の検出信号の入力に応じて動作停止状態とされ、電力供給開始時に、チェックデータにもとづくチェックが行なわれ、チェック結果が正常であれば記憶手段に保持されている保持データにもとづいて制御が再開される。

10

20

【0018】

請求項2に記載の本発明によれば、請求項1に記載の発明の作用に加えて、第1の電気部品制御基板に含まれる遊技制御基板の遊技制御マイクロコンピュータの働きにより、遊技が制御される。第2の電気部品制御基板に含まれる表示制御基板の表示制御マイクロコンピュータの働きにより、遊技制御マイクロコンピュータから出力された電気信号に基づいて画像を可変表示させる可変表示手段が制御される。

30

【0019】

請求項3に記載の本発明によれば、請求項1または請求項2に記載の発明の作用に加えて、第2の電気部品制御基板の電力作成手段の働きにより、電気部品の制御に必要な電力が作成される。

【0021】

請求項4に記載の本発明によれば、請求項1～請求項3のいずれかに記載の発明の作用に加えて、電源基板の働きにより、遊技の進行に応じた所定条件の成立により遊技価値を付与する制御を行なうための価値付与制御マイクロコンピュータを備えた価値付与制御基板へ必要な電力が直接供給される。

請求項5に記載の本発明によれば、請求項1～請求項4のいずれかに記載の発明の作用に加えて、第1の電気部品制御マイクロコンピュータにより、電力供給開始時に、電力供給停止直前の内容が記憶手段に保持されているか否かが判定されて保持されていることを条件にチェックデータにもとづくチェックが行われる一方、保持されていないときには電源投入時に実行される初期化処理が実行される。

40

【0027】

【発明の実施の形態】

以下に、本発明の実施の形態を図面に基づいて詳細に説明する。なお、以下の実施の形態においては、遊技機の一例としてパチンコ遊技機を示すが、本発明はこれに限らず、たとえばコイン遊技機やスロットマシンなどであってもよく、遊技機であれば、すべての遊技機に適用することが可能である。

50

【0028】

図1は、本発明に係る遊技機の一例におけるパチンコ遊技機1の正面図である。図1を参照して、パチンコ遊技機1は、額縁状に形成されたガラス扉枠2を有する。このガラス扉枠2の後方には、遊技盤6が着脱自在に取付けられている。また、ガラス扉枠2の下部表面には打球供給皿3がある。打球供給皿3の下部には、打球供給皿3から溢れた玉を貯留する余剰玉受皿4と、遊技者が打球操作するための操作ノブ5とが設けられている。操作ノブ5を遊技者が操作することにより、打球供給皿3内に貯留されているパチンコ玉を1個ずつ発射することができる。遊技領域7の中央には、識別情報の一例となる特別図柄を可変表示させる可変表示装置8が設けられている。この可変表示装置8には、打玉の通過ゲート11の通過に伴って普通図柄が可変表示される普通図柄用の可変表示器10と、4つのLED(Light emit diode)からなる始動記憶表示器18とが設けられている。さらに、可変表示装置8の下方には、始動口14が構成された始動用電動役物15と、開閉板20の傾動により打玉の入賞可能な開放状態となる可変入賞球装置19とが設けられている。始動用電動役物15には、羽根部材150が左右に設けられている。また、一般入賞口として、可変表示装置8の上部や、可変入賞球装置19の左右に入賞口24がそれぞれ設けられている。また、26は、打込まれた打玉がいずれの入賞口や可変入賞球装置にも入賞しなかった場合にアウト玉として回収するアウト口であり、25は装飾ランプである。

10

【0029】

遊技領域7の外周には枠ランプとしての遊技効果LED28aおよび遊技効果ランプ28b, 28cと、賞球の払出し時に点灯する賞球ランプ51と、玉切れ中に点灯するランプ玉切れランプ52と、賞球の未払出し時に点灯する未払出賞球有ランプ29とが設けられており、遊技領域7の上部の左右にはステレオ音の音声などの効果音を発生するためのスピーカ27, 27が設けられている。

20

【0030】

可変表示装置8は、中央の可変表示部9に複数種類の特別図柄や遊技の演出効果を高めるためのキャラクタ、所定のメッセージなどを画像表示可能に構成されている。たとえば、可変表示部9は、その表示状態が切り替わることによって、図示のように、左中右の特別図柄を可変表示可能な3つの可変表示領域100a, 100b, 100cが画像表示され得る。各可変表示領域100a, 100b, 100cでは、始動入賞が発生したことを条件として、複数種類の特別図柄が上から下に向かってスクロール表示される。その後、所定時間が経過して図柄のスクロールが停止して可変表示が終了した結果、大当り図柄のゾロ目(たとえば777)が表示されれば大当りとなる。大当りとなれば、可変入賞球装置19の開閉板20が傾動して大入賞口が開く。これにより、打玉を大入賞口に入賞させることが可能な遊技者にとって有利な第1の状態に制御され、遊技状態が遊技者にとって有利な特定遊技状態(大当り状態)となる。

30

【0031】

可変入賞球装置19の大入賞口内部には可変入賞球装置19に入賞した玉を検出するカウントスイッチ23が設けられている。また、大入賞口内は、特定入賞領域と通常入賞領域とに区分されており、特定入賞領域には、V入賞を検出するVカウントスイッチ22が設けられている。特定入賞領域に入賞した入賞玉はVカウントスイッチ22により検出された後、カウントスイッチ23により検出される。一方、通常入賞領域に入賞した通常入賞玉は大入賞口内においてはカウントスイッチ23のみにより検出される。可変入賞球装置19に入賞した入賞玉がカウントスイッチ23により検出される毎に15個の賞球が払出される。

40

【0032】

可変入賞球装置19の第1の状態は、大入賞口に進出した打玉の数が所定個数(たとえば9個)に達した場合、または所定期間(たとえば30秒間)経過した場合のうちのいずれか早い方の条件が成立した場合に一旦終了して開閉板20が閉成する。これにより、可変入賞球装置19は打玉を入賞させることが不可能な遊技者にとって不利な第2の状態に制

50

御される。そして、可変入賞球装置 19 が第 1 の状態となっている期間中に進入した打玉が特定入賞領域に特定入賞し、V カウントスイッチ 22 により検出されたことを条件として、再度、可変入賞球装置 19 を第 1 の状態にする繰返し継続制御が実行される。この繰返し継続制御の実行上限回数はたとえば 16 回と定められている。繰返し継続制御において、可変入賞球装置 19 が第 1 の状態にされている状態がラウンドと呼ばれる。繰返し継続制御の実行上限回数が 16 回の場合には、第 1 ラウンドから第 16 ラウンドまでの 16 ラウンド分、可変入賞球装置 19 が第 1 の状態にされ得る。なお、カウントスイッチ 23 による検出個数と、ラウンド回数とは、7 セグメント表示器よりなる個数表示器 80a により表示される。

【0033】

可変表示装置 8 の下方には始動用電動役物 15 が設けられている。この始動用電動役物 15 の中央には羽根部材 150 が設けられた始動口 14 が構成され、その両サイドには通過ゲート 11 が構成されている。左右 2 つの通過ゲート 11 のうちの一方にはゲートスイッチ 12 (図 6 参照) が設けられており、打玉がそのゲートスイッチ 12 により検出されることを条件として、普通図柄用表示器 10 が可変開始される。なお、普通図柄用表示器 10 が可変表示している最中にさらに打玉がゲートスイッチ 12 で検出された場合には、「4」を記憶数の上限として通過球が記憶されてその記憶数が普通図柄用の始動記憶表示器 (図示省略) において LED の点灯数により表示される。

【0034】

普通図柄用表示器 10 は 7 セグメント LED で構成されている。普通図柄用表示器 10 の表示結果が 7 になれば「当り」となり、それ以外となれば「ハズレ」となる。普通図柄用表示器 10 に「当り」の表示結果が導出されると、始動用電動役物 15 に設けられた左右 1 対の羽根部材 150 が 1 回開成する。これにより始動用電動役物 15 が開放状態となって打玉がより始動入賞しやすくなる。始動用電動役物 15 が開放状態にある際に打玉が 1 つ始動入賞すれば、羽根部材 150 が元の位置まで閉成して打玉が始動入賞しにくい状態に戻る。また、始動用電動役物 15 が開放状態となってから所定の開放期間が経過すれば、始動入賞が発生しなくとも羽根部材 150 が元の位置まで閉成して開放状態は終了する。なお、後述する確率変動状態においては、始動用電動役物 15 は 2 回開成し、かつ、1 回の開成期間が延長される。

【0035】

始動口 14 に入賞した始動入賞玉は遊技盤 6 に設けられた始動口スイッチ 17 (図 4 参照) により検出される。始動入賞玉が始動口スイッチ 17 で検出されると所定数の賞球が払出されるとともに、その検出出力に基づいて可変表示装置 8 が可変開始される。可変表示装置 8 が可変表示中に始動口スイッチ 17 により検出された始動入賞は、「4」を記憶数の上限として記憶されてその記憶数が始動記憶表示器 18 において LED の点灯数により表示される。

【0036】

可変表示装置 8 に表示された大当りの結果が特定の確変図柄 (たとえば数字図柄の「7」) により構成されるものである場合には、その大当りに基づく特定遊技状態の終了後に、通常時 (通常遊技状態) に比べて大当りが発生する確率が高く変動した確率変動状態となる。以下、確変図柄による大当りを確変大当りという。通常遊技状態中に一旦、確変大当りが発生すると、少なくとも予め定められた確変継続回数 (たとえば、1 回、あるいは 2 回) 大当りが発生するまで確率変動状態に継続制御される。また、確率変動状態中に確変大当りが発生すれば、その確変大当り以降、改めて確変継続回数が計数され、その後、少なくとも確変継続回数だけ大当りが発生するまで確率変動状態が継続する。そして、確変継続回数に達した大当りが確変図柄以外の非確変図柄によるものであった場合には、確率変動の生じていない通常遊技状態に戻る。

【0037】

したがって、確率変動状態の継続制御に制限を設けない場合には、少なくとも確変継続回数に達した大当りが確変大当りである限り、無制限に確率変動状態が継続する。このパチ

10

20

30

40

50

ンコ遊技機 1 の場合には、ある程度、確率変動状態が継続すれば、一旦、確率変動状態への継続制御を終了させるべく、確率変動状態中に確変大当りが連続的に発生する回数について、上限回数が設定されている。そして、この上限回数に基づいて大当りの表示態様が非確変大当りとされた場合には、その時点で確率変動状態の継続制御が強制的に終了する。なお、確変図柄での大当りを禁止する制限が行なわれることは、リミッタの作動と呼ばれる。

【 0 0 3 8 】

確率変動状態においては、普通図柄の当り確率が高くなるとともに、普通図柄の可変表示が開始してからその表示結果が導出表示されるまでの可変表示期間（変動時間）が短縮される。さらに、確率変動状態においては、普通図柄の当りによって始動用電動役物 1 5 が開成する回数が 1 回から 2 回に増加するとともに、1 回の開成期間が 0 . 2 秒から 1 . 4 秒に延長される。

10

【 0 0 3 9 】

次に、パチンコ遊技機 1 の裏面の構造について図 2 を用いて説明する。可変表示装置 8 の背面では、図 2 に示すように、機構板 3 6 の上部に景品玉タンク 3 8 が設けられ、パチンコ遊技機 1 が遊技機設置島に設置された状態でその上方から景品玉が景品玉タンク 3 8 に供給される。景品玉タンク 3 8 内の景品玉は、誘導樋 3 9 を通って玉払出装装置に至る。

【 0 0 4 0 】

機構板 3 6 には、中継基板 3 0 を介して可変表示部 9 を制御する可変表示制御ユニット 1 2 9、基板ケース 3 2 に覆われ遊技制御用マイクロコンピュータなどが搭載された遊技制御基板（主基板）3 1、可変表示制御ユニット 1 2 9 と遊技制御基板 3 1 との間の信号を中継するための中継基板 3 3、電源基板 9 1 0（図 9 参照）を収容する電源ユニットボックス 3 1 9、および景品玉の払出制御を行なう賞球制御用マイクロコンピュータなどが搭載された賞球制御基板 3 7 が設置されている。さらに、機構板 3 6 の下部には、モータの回転力を利用して打球を遊技領域 7 に発射する打球発射装置 3 4 と、ランプ制御基板 3 5 とが設置されている。

20

【 0 0 4 1 】

図 3 はパチンコ遊技機 1 の機構板 3 6 を背面から見た背面図である。機構板 3 6 の右上方には、電源ユニットボックス 3 1 9 が設けられている。この電源ユニットボックス 3 1 9 内に収容された電源基板 9 1 0（図 9 参照）は、電圧の異なる複数の電源を生成する。

30

【 0 0 4 2 】

誘導樋 3 9 を通った玉は、図 3 に示されるように、玉切れ検出スイッチ 1 8 7（1 8 7 a , 1 8 7 b）を通過して玉供給樋 1 8 6（1 8 6 a , 1 8 6 b）を経て玉払出装装置 9 7 に至る。なお、誘導樋 3 9 には玉切れを玉切れスイッチ 1 8 7 よりも上流側で検出する玉切れ検出スイッチ 1 6 7 が設けられている。

【 0 0 4 3 】

玉払出装装置 9 7 から払出された玉は、連絡口 4 5 を通ってパチンコ遊技機 1 の前面に設けられている打球操供給皿 3 に供給される。連絡口 4 5 の側方には、パチンコ遊技機 1 の前面に設けられている余剰玉受皿 4 に連通する余剰玉通路 4 6 が形成されている。入賞に基づく玉が多数払出されて打球供給皿 3 が満杯になり、ついには玉が連絡口 4 5 に到達した後さらに玉が払出されると玉は、余剰玉通路 4 6 を経て余剰玉受皿 4 に導かれる。さらに玉が払出されると、感知レバー 4 7 が満タンスイッチ 4 8 を押圧して満タンスイッチ 4 8 がオンする。その状態では、玉払出装装置 9 7 内の払出モータの回転が停止して玉払出装装置 9 7 の動作が停止するとともに、必要に応じて打球発射装置 3 4 の駆動も停止する。賞球の払出制御のために、始動口スイッチ 1 7、V カウントスイッチ 2 2 およびカウントスイッチ 2 3、および、各種入賞口に入賞した入賞玉を遊技盤裏面側の集合樋で一括して検出する入賞球検出スイッチからの信号が、遊技制御基板 3 1 に送られる。遊技制御基板 3 1 にそれらのスイッチのオン信号が送られると、遊技制御基板 3 1 から賞球制御基板 3 7 に対して各入賞口に対応して定められた賞球数を指定する賞球個数コマンドが送られる。

40

【 0 0 4 4 】

50

図4は、パチンコ遊技機1の制御回路を説明するためのブロック図である。図4には、制御基板として、遊技制御基板（主基板）31と、ランプ制御基板35と、賞球制御基板37と、音声制御基板70と、表示制御基板80と、発射制御基板91とが示されている。

【0045】

遊技制御基板31、賞球制御基板37、ランプ制御基板35、音声制御基板70、発射制御基板91および表示制御基板80には、マイクロコンピュータ等が搭載されている。各制御基板31、37、35、70、80では、パチンコ遊技機1の電源の投入時に、制御基板に設けられたRAM内のデータを初期化する等の初期化処理が行なわれ、賞球制御基板37、ランプ制御基板35、音声制御基板70、表示制御基板80は、初期化処理が終了した時点で、遊技制御基板31からのコマンドを有効に受け付け可能となる。

10

【0046】

遊技制御基板31は、パチンコ遊技機1の遊技制御を司る遊技制御用マイクロコンピュータ（以下、遊技制御用マイコンと略す）53が搭載された基板であり、他の制御基板35、37、70、80は遊技制御基板31から各々に出される制御コマンド（ランプ制御コマンド、賞球制御コマンド、音声制御コマンド、表示制御コマンド）に基づいた制御動作を実行する。これらの制御コマンドのうち、ランプ制御コマンドと音声制御コマンドと表示制御コマンドについては共通化された共通コマンドがあり、この共通コマンドについては、遊技制御基板31から各制御基板35、70、80に対して同一時期に出される。

【0047】

20

遊技制御基板31から制御コマンドが出力される場合には、それに伴って、コマンドの有効期間を示すINT信号（ストロブ信号）が出力される。INT信号は、無効状態では信号がハイレベル（オフ状態）となり、有効状態では信号がロウレベル（オン状態）となる。

【0048】

遊技制御基板31には、遊技制御用マイコン53の他、各スイッチからの信号を遊技制御用マイコン53に与えるスイッチ回路58と、ソレノイド16、21を遊技制御用マイコン53からの指令に従って駆動するソレノイド回路59と、電源投入時に遊技制御用マイコン53をリセットするための初期リセット回路63と、遊技制御用マイコン53から与えられるアドレス信号をデコードしてI/Oポート部（図示省略）のうちのいずれかの1/Oポートを選択するための信号を出力するアドレスデコード回路67と、遊技制御用マイコン53から与えられるデータに従って大当りの発生を示す大当り情報、可変表示装置8の始動回数を示す始動情報、確率変動が生じたことを示す確変情報をホール管理コンピュータなどのホストコンピュータに対して出力する情報出力回路64を含む。なお、さらに、遊技制御基板31には、図15を用いて後述するように、電源電圧を監視する電源監視手段が設けられている。

30

【0049】

遊技制御用マイコン53は、遊技制御用のプログラムなどを記憶するROM54と、ワークメモリとして使用されるRAM55と、遊技制御用のプログラムに従って制御動作を行なうCPU56とを含む。これらのうち、RAM55については、電源基板910からのバックアップ用電源によってバックアップされており、不意に停電が発生しても所定時間はそのRAMデータが保持される。

40

【0050】

スイッチ回路58には、ゲートスイッチ12、始動口スイッチ17、カウントスイッチ23、Vカウントスイッチ22、入賞球検出スイッチ99などが接続されており、これらの各スイッチからの検出信号がスイッチ回路58を介して遊技制御用マイコン53に入力される。

【0051】

賞球制御基板37には玉払出装装置97やカードユニット50が接続されている。賞球制御基板37は遊技制御基板31から出力される賞球制御コマンドに基づいて玉払出装装置97

50

を駆動し賞球を払出す制御を行なう。さらに賞球制御基板 37 は、カードユニット 50 から出力される制御信号に基づいて貸玉を払出す制御を行なう。

【0052】

音声制御基板 72 にはスピーカ 27 が接続されている。音声制御基板 70 は遊技制御基板 31 から出力される音声制御コマンドに基づき、スピーカ 27 から種々の効果音を出力させる制御を行なう。

【0053】

ランプ制御基板 35 には、遊技効果 LED 28a や遊技効果ランプ 28b, 28c、賞球ランプ 51、玉切れランプ 52、普通図柄用の可変表示器 10、特別図柄用の始動記憶表示器 18、普通図柄用の始動記憶表示器、装飾ランプ 25、未払出賞球有りランプ 29 といった多数のランプ・LED が接続される。ただし、図 4 ではこれらの接続状況の図示は省略している。ランプ制御基板 35 は遊技制御基板 31 から出力されるランプ制御コマンドに基づいてこれらのランプ・LED を制御する。

10

【0054】

表示制御基板 80 には、特別図柄用の可変表示装置 8 が接続される（図示省略）。表示制御基板 80 は、遊技制御基板 31 から出力される表示制御コマンドに従い可変表示装置 8 の可変表示部 9 に所定の画像を表示させる。

【0055】

発射制御基板 91 には駆動モータ 94 と操作ノブ（打球操作ハンドル）5 とが接続されている。発射制御基板 91 は操作ノブ 5 の操作量に応じた速度で打球が打球発射装置（図示省略）から発射されるように、駆動モータ 94 を駆動制御する。

20

【0056】

図 5 は、表示制御基板 80 内の回路構成を、可変表示装置 8 で画像表示するための CRT 82 および遊技制御基板 31 の出力ポート（ポート A, B）571, 572 および出力バッファ回路 63 とともに示すブロック図である。出力ポート 571 からは表示制御コマンドとして 8 ビット×2 のデータが出力され、出力ポート 572 からは 1 ビットの INT 信号（ストローク信号）が出力される。

【0057】

表示制御用 CPU 101 は、制御データ ROM 102 に格納されたプログラムに従って動作し、遊技制御基板 31 からノイズフィルタ 107 および入力バッファ回路 105 を介して INT 信号が入力されると、入力バッファ回路 105 を介して表示制御コマンドを受信する。入力バッファ回路 105 として、たとえば、汎用 IC である 74HC244 を使用することができる。なお、表示制御用 CPU 101 が I/O ポートを内蔵していない場合は、入力バッファ回路 105 と表示制御用 CPU 101 との間に、I/O ポートが設けられる。

30

【0058】

表示制御用 CPU 101 は、受信した表示制御コマンドに従って、CRT 82 に表示される画面の表示制御を行なう。具体的には、表示制御コマンドに応じた指令を VDP 103 に与える。VDP 103 は、キャラクタ ROM 86 から必要なデータを読み出す。VDP 103 は、入力したデータに従って CRT 82 に表示するための画像データを生成し、その画像データを VRAM 87 に格納する。そして、VRAM 87 内の画像データは、R, G, B 信号に変換され、トランジスタ 508 ~ 509 を介してさらにアナログ信号に変換されて CRT 82 に出力される。

40

【0059】

なお、図 5 には、VDP 103 をリセットするためのリセット回路 83、VDP 103 に動作クロックを与えるための発振回路 85、および使用頻度の高い画像データ（人物、動物、または文字、図形もしくは記号などからなる画像）を格納するキャラクタ ROM 86 も示されている。

【0060】

さらに、図 5 に示された構成では、表示制御基板 80 において、リセットスイッチ 110

50

の出力が入力ポートに導入されている。表示制御用CPU101は、エラー発生後にリセットスイッチ110が押圧されたことを検出すると、制御をエラー発生前の状態に戻す。

【0061】

エラーとして、たとえば、遊技制御基板31から受信した表示制御コマンドが異常であった（未定義コマンドなど）場合などがある。表示制御用CPU101がエラー発生後でも表示制御コマンドを受信して記憶するように構成されていれば、リセットスイッチ110の押圧に基づいて、記憶している受信コマンドに基づく表示制御を行なうようにすることによって、エラー発生が遊技演出に及ぼす影響を小さくすることができる。

【0062】

入力バッファ回路105は、遊技制御基板31から表示制御基板80へ向かう方向にのみ信号を通過させることができる。したがって、表示制御基板80側から遊技制御基板31側に信号が伝わる余地はない。表示制御基板80内の回路に不正改造が加えられても、不正改造によって出力される信号が遊技制御基板31側に伝わることはない。なお、出力ポート571, 572の出力をそのまま表示制御基板80に出力してもよいが、単方向にのみ信号伝達可能な出力バッファ回路63を設けることによって、遊技制御基板31が表示制御基板80への一方向性の信号伝達をより確実にすることができる。また、高周波信号を遮断するノイズフィルタ107として、たとえば3端子コンデンサやフェライトビーズが使用されるが、ノイズフィルタ107の存在によって、表示制御コマンドに基板間でノイズが乗ったとしても、その影響は除去される。

【0063】

また、図示のように、表示制御手段（可変表示制御手段）としての表示制御用CPU101は、遊技制御手段としてのCPU56が搭載された遊技制御基板31とは別の基板に搭載されている。これにより、遊技制御基板31のコンパクト化が図られている。

【0064】

図6は、遊技制御基板31における音声制御コマンドの信号送信部分および音声制御基板70の構成例を示すブロック図である。音声制御基板70には制御用CPU701、ROM711、RAM712等が設けられている。図示のように、音制御手段としての制御用CPU701は、遊技制御手段としてのCPU56が搭載された遊技制御基板31とは別の基板に搭載されている。これにより、遊技制御基板31のコンパクト化が図られている。

【0065】

この実施の形態では、遊技進行に応じて、遊技領域7の外側に設けられたスピーカ27の音声出力を指示するための音声制御コマンドが遊技制御基板31から音声制御基板70に出力される。図6に示すように、音声制御コマンドは、遊技制御用マイコン53における出力ポート（出力ポートC, D）573, 574から出力される。出力ポート573からは制御コマンドデータとして8ビット×2のデータが出力され、出力ポート574からは1ビットのINT信号（ストローブ信号）が出力される。音声制御基板70において、遊技制御基板31からの各信号は、入力バッファ回路705を介して音声制御用CPU701に入力される。なお、音声制御用CPU701がI/Oポートを内蔵していない場合には、入力バッファ回路705と音声制御用CPU701との間に、I/Oポートが設けられる。

【0066】

たとえば、デジタルシグナルプロセッサによる音声合成回路702は、トランジスタ501～506を介して受けた音声制御用CPU701の指示に応じた音声や効果音を発生し、音量切換回路703に出力する。音量切換回路703と、音声制御用CPU701の出力レベルを、設定されている音量に応じたレベルにして音量増幅回路704に出力する。音量増幅回路704は、増幅した音声信号をスピーカ27に出力する。

【0067】

入力バッファ回路705として、たとえば、汎用のCMOS-ICである74HC244が用いられる。74HC244のイネーブル端子には、常にローレベル（GNDレベル）

10

20

30

40

50

が与えられている。よって、各バッファの出力レベルは、入力レベルすなわち遊技制御基板 31 からの信号レベルに確定している。よって、音声制御基板 70 側から遊技制御基板 31 側に信号が伝わる余地はない。したがって、音声制御基板 70 内の回路に不正改造が加えられたとしても、不正改造によって出力される信号が遊技制御基板 31 側に伝わることはない。なお、入力バッファ回路 705 の入力側にノイズフィルタを設けてもよい。

【0068】

また、遊技制御基板 31 側において、出力ポート 574, 575 の外側にはバッファ回路 67 が設けられている。バッファ回路 67 として、たとえば、汎用の CMOS - IC である 74HC244 が用いられる。イネーブル端子には常にローレベル (GND レベル) が与えられている。このような構成によれば、外部から遊技制御基板 31 の内部に入力される信号が阻止されるので、音声制御基板 70 から遊技制御基板 31 に信号が与えられる可能性がある信号ラインをさらに確実になくすることができる。

10

【0069】

さらに、図 6 に示された構成では、音声制御基板 70 において、リセットスイッチ 710 の出力が入力ポートに導入されている。音声制御用 CPU 701 は、エラー発生後にリセットスイッチ 710 が押圧されたことを検出すると、制御をエラー発生前の状態に戻す。

【0070】

エラーとして、たとえば遊技制御基板 31 から受信した音声制御コマンドが異常であった場合 (未定義コマンドなど) などがある。音声制御用 CPU 701 がエラー発生後でも音声制御コマンドを受信して記憶するように構成されていれば、リセットスイッチ 710 の押圧に基づいて、記憶している受信コマンドに基づく音声制御を行なうようにすることによって、エラー発生が遊技演出に及ぼす影響を小さくすることができる。

20

【0071】

音声制御基板 70 の ROM (図示省略) には、各種音声制御用のコマンドデータに応じた音声を音声合成回路 (音声合成用 LSI: たとえば、デジタルシグナルプロセッサ) 702 に発生させるための制御データが格納されている。音声制御用 CPU 701 は、受信した各種音声制御コマンドデータに対応した制御データを ROM から読出す。

【0072】

この実施の形態では、音声合成回路 702 は、転送リクエスト信号 (SI RQ)、シリアルクロック信号 (SI CK)、シリアルデータ信号 (SI) および転送終了信号 (SRDY) によって制御される。音声合成回路 702 は、SI RQ がローレベルになると、SI CK に同期して SI を 1 ビットずつ取込み、SRDY がローレベルになるとそれまでに受信した各 SI からなるデータを 1 つの音声再生用データと解釈する。なお、音声合成回路 702 は、SI によって制御データを受信すると、受信した制御データに応じた音声を発生する。

30

【0073】

図 7 は、遊技制御基板 31 およびランプ制御基板 35 における信号送受信部分を示すブロック図である。この実施の形態では、遊技効果 LED 28a、遊技効果ランプ 28b, 28c、賞球ランプ 51、玉切れランプ 52、可変表示器 10、始動記憶表示器 18、装飾ランプ 25、未払出賞球有りランプ 29 等の点灯 / 消灯を指示するランプ制御コマンドが遊技制御基板 31 から出力される。

40

【0074】

ランプ制御基板 35 には、制御用 CPU 351、ROM 352、RAM 353 およびトランジスタを含む回路 600 等が設けられている。図示のように、ランプ制御手段としての制御用 CPU 351 は、遊技制御手段としての CPU 56 が搭載された遊技制御基板 31 とは別の基板に搭載されている。これにより、遊技制御基板 31 のコンパクト化が図られている。

【0075】

ランプ制御コマンドは、遊技制御用マイコン 53 における I/O ポート部 57 の出力ポート (出力ポート E, F) 575, 576 から出力される。出力ポート 575 は制御コマン

50

ドデータとしての8ビット×2ビットのデータを出力し、出力ポート576は1ビットのINT信号(ストロブ信号)を出力する。ランプ制御基板35において、遊技制御基板31から出力されるランプ制御コマンドが、入力バッファ回路355を介してランプ制御用CPU351に入力される。なお、ランプ制御用CPU351がI/Oポートを内蔵していない場合には、入力バッファ回路355とランプ制御用CPU351との間に、I/Oポートが設けられる。

【0076】

ランプ制御用CPU351は、各ランプ制御コマンドに応じて定義されているランプの点灯/消灯パターンに従い、各ランプ・LEDに対して点灯/消灯信号を出力する。なお、点灯/消灯パターンは、ROM352に記憶されている。

10

【0077】

入力バッファ回路355として、たとえば、汎用のCMOS-ICである74HC244が用いられる。74HC244のイネーブル端子には、常にローレベル(GNDレベル)が与えられている。よって、各バッファの出力レベルは、入力レベルすなわち遊技制御基板31からの信号レベルに確定している。したがって、ランプ制御基板35側から遊技制御基板31側に信号が伝わる余地はない。たとえ、ランプ制御基板35内の回路に不正改造が加えられたとしても、不正改造によって出力される信号が遊技制御基板31側に伝わることはない。たとえば、ランプ制御基板35において、遊技制御基板31の遊技制御用マイコン53に大当りを生じさせるための不正信号を与えるような改造を行なったとしても、不正信号を遊技制御基板31側に伝えることはできない。なお、入力バッファ回路355の入力側にノイズフィルタを設けてもよい。

20

【0078】

さらに、遊技制御基板31において、出力ポート575, 576の外側にバッファ回路62が設けられている。バッファ回路62として、たとえば、汎用のCMOS-ICである74HC244が用いられる。イネーブル端子には常にローレベル(GNDレベル)が与えられている。このような構成によれば、外部から遊技制御基板31の内部に入力される信号が阻止されるので、ランプ制御基板35から遊技制御基板31に信号が与えられる可能性がある信号ラインをより確実になくすることができる。

【0079】

さらに、図7に示された構成では、ランプ制御基板35において、リセットスイッチ360の出力が入力ポートに導入されている。ランプ制御用CPU351は、エラー発生後にリセットスイッチ360が押圧されたことを検出すると、制御をエラー発生前の状態に戻す。

30

【0080】

エラーとして、たとえば遊技制御基板31から受信したランプ制御コマンドが異常であった(未定義コマンドなど)場合がある。ランプ制御用CPU351がエラー発生後でもランプ制御コマンドを受信して記憶するように構成されていれば、リセットスイッチ360の押圧に基づいて、記憶している受信コマンドに基づく表示制御を行なうことによって、エラー発生が遊技演出に及ぼす影響を小さくすることができる。

【0081】

なお、図7における、ランプ制御用CPU351の内蔵出力ポートと各ランプ・LEDとの間の回路600は、後述するトランジスタを含む回路511~517, 520, 530, 541, 542, 550, 556である。

40

【0082】

図8は、賞球制御基板37および玉払出装装置97の構成要素などの賞球に関連する構成要素を示すブロック図である。賞球制御基板37には、制御用CPU371と、ROM380と、RAM381と、I/Oポート372(372a~372g)と、入力バッファ回路373と、エラー表示用LED374と、リセットスイッチ(リセットSW)379とが設けられている。このように、賞球制御手段(価値付与制御手段、または払出制御手段)としての制御用CPU371は、遊技制御手段としてのCPU56が搭載された遊技制

50

御基板 3 1 とは別の基板に搭載されている。これにより、遊技制御基板 3 1 のコンパクト化が図られている。

【 0 0 8 3 】

図 8 に示すように、各種入賞口に入賞した入賞玉を遊技盤裏面側の集合樋で一括して検出する入賞球検出スイッチ 9 9 と、満タンスイッチ 4 8 の検出信号は、中継基板 7 1 を介して遊技制御基板 3 1 の I / O ポート 5 7 に入力される。また、入賞球排出ソレノイド 1 2 7 は、遊技盤裏面の入賞球流下路の途中に設けられている玉止め部材を駆動するものであって、玉止め部材に入賞球が停止している状態で入賞球検出スイッチ 9 9 によって入賞球が検出される。なお、満タンスイッチ 4 8 は、特に、余剰玉受皿 4 の満タンを検出するスイッチである。

10

【 0 0 8 4 】

玉切れ検出スイッチ 1 6 7 および玉切れスイッチ 1 8 7 (1 8 7 a , 1 8 7 b) からの検出信号は、中継基板 7 2 および中継基板 7 1 を介して遊技制御基板 3 1 の I / O ポート 5 7 に入力される。玉切れ検出スイッチ 1 6 7 は景品玉タンク 3 8 内の補給玉の不足を検出するスイッチであり、玉切れスイッチ 1 8 7 は、景品玉通路内の景品玉の有無を検出するスイッチである。

【 0 0 8 5 】

遊技制御基板 3 1 の C P U 5 6 は、玉切れ検出スイッチ 1 6 7 または玉切れスイッチ 1 8 7 からの検出信号が玉切れ状態を示しているか、または、満タンスイッチ 4 8 からの検出信号が満タン状態を示していると、球貸し禁止を指示する賞球制御コマンドを賞球制御基板 3 7 に対して送出する。賞球制御基板 3 7 の賞球制御用 C P U 3 7 1 は、球貸し禁止を指示する賞球制御コマンドを受信すると、球貸し処理を停止する。

20

【 0 0 8 6 】

さらに、賞球カウントスイッチ 3 0 1 A からの検出信号も、中継基板 7 2 および中継基板 7 1 を介して遊技制御基板 3 1 の I / O ポート 5 7 に入力される。また、遊技制御基板 3 1 の I / O ポート 5 7 から入賞球排出ソレノイド 1 2 7 への駆動信号は、中継基板 7 1 を介して入賞球排出ソレノイド 1 2 7 に供給される。なお、賞球カウントスイッチ 3 0 1 A は、玉払出装置 9 7 の賞球機構部分に設けられ、実際に払出された賞球を検出する。

【 0 0 8 7 】

入賞があると、賞球制御基板 3 7 には、遊技制御基板 3 1 の出力ポート (ポート G , H) 5 7 7 , 5 7 8 から賞球個数を示す賞球制御コマンド (賞球個数コマンド) が出力される。出力ポート 5 7 7 は 8 ビット × 2 の制御コマンドデータを出力し、出力ポート 5 7 8 は 1 ビットの I N T 信号 (ストロブ信号) を出力する。賞球個数を示す賞球制御コマンドは、入力バッファ回路 3 7 3 を介して I / O ポート 3 7 2 a に入力される。入力バッファ回路 3 7 3 における各バッファは、遊技制御基板 3 1 から賞球制御基板 3 7 へ向かう方向にのみ信号を通過させることができる。したがって、賞球制御基板 3 7 側から遊技制御基板 3 1 側に信号が伝わる余地はない。賞球制御基板 3 7 内の回路に不正改造が加えられても、不正改造によって出力される信号が遊技制御基板 3 1 側に伝わることはない。なお、入力バッファ回路 3 7 3 の入力側にノイズフィルタを設けてもよい。

30

【 0 0 8 8 】

また、遊技制御基板 3 1 側において、賞球制御コマンドを出力する出力ポート 5 7 7 , 5 7 8 の外側にバッファ回路 6 8 が設けられている。このような構成によれば、外部から遊技制御基板 3 1 の内部に入力される信号が阻止されるので、賞球制御基板 3 7 から遊技制御基板 3 1 に信号が与えられる可能性がある信号ラインをより確実になくすることができる。

40

【 0 0 8 9 】

また、賞球制御用 C P U 3 7 1 は、出力ポート 3 7 2 g を介して、貸し玉数を示す球貸し個数信号をターミナル基板 1 6 0 に出力し、ブザー駆動信号をブザー基板 7 5 に出力する。ブザー基板 7 5 には図示しないブザーが搭載されている。さらに、出力ポート 3 7 2 e を介して、エラー表示用 L E D 3 7 4 にエラー信号を出力する。

50

【 0 0 9 0 】

さらに、賞球制御基板 3 7 の入力ポート 3 7 2 b には、中継基板 7 2 を介して、賞球カウントスイッチ 3 0 1 A の検出信号および球貸しカウントスイッチ 3 0 1 B の検出信号が入力される。球貸しカウントスイッチ 3 0 1 B は、実際に貸出された遊技球を検出する。賞球制御基板 3 7 からの払出モータ 2 8 9 への駆動信号は、出力ポート 3 7 2 c および中継基板 7 2 を介して玉払出装装置 9 7 の賞球機構部分における払出モータ 2 8 9 に伝えられる。また、振分け用ソレノイド 3 1 0 を駆動するための信号が、出力ポート 3 7 2 d および中継基板 7 2 を介して振分け用ソレノイド 3 1 0 に伝えられる。

【 0 0 9 1 】

また、図 8 に示された構成では、リセットスイッチ 3 7 9 の出力が入力ポート 3 7 2 b に導入されている。賞球制御用 C P U 3 7 1 は、エラー発生後にリセットスイッチ 3 7 9 が押圧されたことを検出すると、制御をエラー前の状態に戻す。

10

【 0 0 9 2 】

賞球制御用 C P U 3 7 1 がエラー発生後も賞球制御コマンドを受信して記憶するように構成されていれば、リセットスイッチ 3 7 9 の押圧に基づいて、記憶している受信コマンドに基づく賞球制御を行なうことによって、遊技者に与えられる不利益をなくすることができる。

【 0 0 9 3 】

カードユニット 5 0 には、カードユニット制御用マイクロコンピュータ（図示省略）が搭載されている。残高表示基板 7 4 には、打球供給皿 3 の近傍に設けられている度数表示 L E D や球貸しスイッチ、返却スイッチが接続される。

20

【 0 0 9 4 】

残高表示基板 7 4 からカードユニット 5 0 には、遊技者に操作に応じて、球貸しスイッチ信号および返却スイッチ信号が賞球制御基板 3 7 を介して与えられる。

【 0 0 9 5 】

賞球制御基板 3 7 の C P U 3 7 1 は、賞球カウントスイッチ 3 0 1 A の検出信号をカウントすることによって、払出した賞球数を計数するとともに、球貸しカウントスイッチ 3 0 1 B の検出信号をカウントすることによって、払出した貸玉数を計数する。

【 0 0 9 6 】

さらに、C P U 3 7 1 は、賞球カウントスイッチ 3 0 1 A および球貸しカウントスイッチ 3 0 1 B の検出信号に基づいて玉を計数する動作と並行して、払出モータ位置センサ 2 8 6 からの検出信号を利用して、払出した賞球数および貸玉数を計数する。すなわち、玉払出装装置 9 7 では、玉繰出し用のスクリュウ 2 8 8 が 1 8 0 度だけ回転して払出モータ位置センサ 2 8 6 が 1 回 O N / O F F するごとに玉が 1 つ払出されるように構成されているために、この払出モータ位置センサ 2 8 6 の出力信号の変化に基づいて払出した玉を間接的に検出し、玉数を計数するのである。

30

【 0 0 9 7 】

なお、払出モータ位置センサ 2 8 6 に代えて、ステッピングモータである払出モータ 2 8 9 のステップパルス数を検出することで、スクリュウ 2 8 8 の払出動作量（回転量）を検出し、これにより間接的に玉の払出しを検出するようにしてもよい。ただし、スクリュウ 2 8 8 の回転を直接検出する払出モータ位置センサ 2 8 6 を用いる方が、精度の高い検出結果を得ることができるという利点がある。ステッピングモータのステップパルス数に基づいてスクリュウ 2 8 8 の払出動作量（回転量）を検出する場合には 1 ステップ当りの制御量が何らかの要因で変化すると、検出される動作量に誤差が生じてしまうためである。

40

【 0 0 9 8 】

ところで、払出モータ位置センサ 2 8 6 の出力信号に基づいて玉数を計数すると、スクリュウ 2 8 8 からの玉の落下を待って検出信号が出力されるカウントスイッチ 3 0 1 A , 3 0 1 B の出力信号に基づいて玉を計数するよりも迅速に計数動作を進めることができるが、スクリュウ 2 8 8 内に整列された玉と玉との間に無用な隙間が空いていて、スクリュウ 2 8 8 が半回転したときに玉が払出されなかった場合であっても玉が 1 つ払出されたもの

50

とみなされるという欠点がある。あるいは、球噛みその他の原因によって実際には玉が払出されなかった場合であっても玉が1つ払出されたものとみなされてしまう。

【0099】

このため、CPU371は、この払出モータ位置センサ286の出力信号に基づいて計数された玉数が払出予定数に達した後、一旦、スクリー288の回転を止め、カウントスイッチ301A、Bの検出信号に基づいた計数結果を参照して、間違いなく予定通りの玉の払出しがあったか否かを確認し、払出数が不足する場合には、再度、スクリー288を回転させて不足分の玉を払出す制御を行なう。

【0100】

このような2段階の制御をすることによって、払出モータ位置センサ286の検出出力に基づいて計数される玉（賞球または貸玉）の数が払出予定数に至るまでは、スクリー288を高速回転させて連続的に玉を払出すことで、玉の払出しを迅速にすることができ、また、それにより払出しが不足するような場合でも、後にその不足分の払出しを行なうことによって払出しを正確にすることができる。

10

【0101】

賞球制御基板37から発射制御基板91には、打玉の発射状態を制御するための発射制御信号が与えられる。発射制御基板91においては、発射制御信号がLOWレベルである場合に、打玉の発射が禁止され、打玉の発射が不可能な状態に制御される。一方、発射制御信号がHIGHレベルである場合には、打玉の発射が許容され、打玉の発射が可能な状態に制御される。

20

【0102】

また、カードユニット50から残高表示基板74には、プリペイドカードの残高を示すカード残高表示信号および球貸し可表示信号が賞球制御基板37を介して与えられる。カードユニット50と賞球制御基板37との間では、ユニット操作信号（BRDY信号）、球貸し要求信号（BRQ信号）、球貸し完了信号（EXS信号）およびパチンコ機動作信号（PRDY信号）がI/Oポート372fを介してやり取りされる。

【0103】

パチンコ遊技機1の電源が投入されると、賞球制御基板37の賞球制御用CPU371は、カードユニット50にPRDY信号を出力する。カードユニット50においてカードが受け付けられ、球貸しスイッチが操作され球貸しスイッチ信号が入力されると、カードユニット制御用マイクロコンピュータは、賞球制御基板37にBRDY信号を出力する。この時点から所定の遅延時間が経過すると、カードユニット制御用マイクロコンピュータは、賞球制御基板37にBRQ信号を出力する。そして、賞球制御基板37の賞球制御用CPU371は、払出モータ289を駆動し、所定個数の貸玉を遊技者に払出す制御を行なう。このとき、賞球制御用CPU371は、振分け用ソレノイド310を制御し、玉振分け部材311を球貸し側に向ける。その後払出が完了すれば、賞球制御用CPU371は、カードユニット50にEXS信号を出力する。

30

【0104】

以上のように、カードユニット50からの信号はすべて賞球制御基板37に入力される構成となっている。したがって、球貸し制御に関して、カードユニット50から遊技制御基板31に信号が入力されることはなく、遊技制御基板31の遊技制御用マイコン53にカードユニット50側から不正に信号が入力される余地はない。なお、遊技制御基板31および賞球制御基板37には、ソレノイドやモータ、ランプを駆動するためのドライバ回路が搭載されているが、図8では、それらの回路は省略されている。

40

【0105】

この実施の形態では、遊技制御基板31のRAM55（図4参照）の他、少なくとも賞球制御基板37のRAM381は、電源基板910のバックアップ用電源でバックアップされている。このため、遊技機に対する電力供給が停止しても、バックアップ電源によって一定時間RAM55、381は記憶内容を保持することができる。

【0106】

50

ここで、上記のようなパチンコ遊技機 1 の各基板同士の間の接続を、電気回路図を用いて説明する。

【 0 1 0 7 】

まず、電源基板 9 1 0 について説明する。図 9 に示すように、電源基板 9 1 0 には、上から順にランプ制御基板 3 5 に接続される配線 Y、電源コードに接続される配線、主基板（遊技制御基板）3 1 に接続される配線 D、賞球制御基板（払出制御基板）3 7 に接続される配線 F、発射中継 A 基板に接続される配線 G、払出制御基板に接続される配線 E、主基板に接続される配線 A および音声制御基板 7 0 に接続される配線 X が設けられている。

【 0 1 0 8 】

また、図 1 0 に示すように、配線 X が接続される音声制御基板 7 0 は主基板 3 1 から配線 C が接続されている。音声制御基板 7 0 はさらに音声中継 A 基板に配線により接続されている。音声中継 A 基板は、音声中継 B 基板と音声中継 C 基板とに配線により接続されている。音声中継 B 基板および音声中継 C 基板それぞれは左右のスピーカ 2 7 にそれぞれ接続されている。

10

【 0 1 0 9 】

次に、音声制御基板 7 0 の内部の電気回路構造を、図 1 1 ~ 図 1 6 を用いて具体的に説明する。電源基板 9 1 0 から導入された配線 1 / 5 , 2 / 5 , 3 / 5 , 4 / 5 , 5 / 5 のうち配線 3 / 5 , 4 / 5 , 5 / 5 はアースされている。配線 1 / 5 は、後述するように、音声合成 IC に電力を供給する配線であり、ノイズを除去するためのローパスフィルタ 2 0 0、および、所定の電力を作成するためのレギュレータ 3 0 0 がそれぞれ接続されている。このレギュレータ 3 0 0 により 1 2 V の電圧 VDD が 5 V の電圧 A Vcc に降圧されて音声合成 IC に電力が供給されている。

20

【 0 1 1 0 】

このように、アナログ信号を処理する音声合成 IC で使用する電圧 A Vcc を、音声制御基板 7 0 内部の定電圧回路であるレギュレータ 3 0 0 において作成することにより、電源基板 9 1 0 から音声制御基板 7 0 まで伝達する間において発生するノイズによる悪影響を減少することができる。これにより、スピーカから発生される音声にノイズによる悪影響が生じることが低減される。

【 0 1 1 1 】

また、図 1 2 に示すように、図 1 0 において主基板 3 1 から接続された配線 C は、それぞれ音声制御信号 C D 0 ~ C D 7、音声制御信号 I N T が入力される配線および G N D (G R A N D) 線からなり、音声制御信号 C D 0 ~ C D 7 および音声制御信号 I N T が入力される配線それぞれは、不正な信号が主基板 3 1 側へ進入することを防止するためのバッファ回路 7 0 5 に接続されている。バッファ回路 7 0 5 からは、S C D 0 ~ S D C 7 信号および S I N T 信号が出力される。この S C D 0 ~ S C D 7 信号および S I N T 信号は、図 1 3 に示すように、音声を出力するための処理を行なう音声制御用 C P U 7 0 1 に入力される。この音声制御用 C P U 7 0 1 には、リセットスイッチ 7 1 0 が接続されている。また、音声制御用 C P U 7 0 1 からは S I C K 信号, S I 信号, S I R Q 信号, S R D Y 信号, S R E S 信号それぞれが出力される。

30

【 0 1 1 2 】

次に、図 1 4 に示すように、S I C K 信号, S I 信号, S I R Q 信号, S R D Y 信号, P R E S 信号それぞれは、トランジスタ 5 0 1 ~ 5 0 6 それぞれに送られ、トランジスタ 5 0 1 ~ 5 0 6 を ON させる。これにより、トランジスタ 5 0 1 ~ 5 0 6 までの回路は電圧 Vcc による系統の電源を用いていたが、トランジスタ 5 0 1 ~ 5 0 6 以降の回路においては、電圧 A Vcc による系統の電源が用いられることになる。トランジスタ 5 0 1 ~ 5 0 6 が ON されたことによって生じた電力により、音声を合成するための信号を出力する音声合成 IC 7 0 2 が駆動する。この音声合成 IC 7 0 2 は、音声のデータが格納されている音声データ ROM 7 1 1 に接続されている。この音声データを用いて合成された音声データ信号が D A O R 信号として音声合成 IC から出力される。

40

【 0 1 1 3 】

50

次に、図 15 に示すように、D A O L 信号および D A O R 信号は、音のボリュームを調節するための音切換回路 703 を通過した後、音増幅回路 704 に到達して増幅されてスピーカ 27 に送り出される。

【0114】

上記のような本実施の形態によれば、音声制御用 C P U 701 から音声合成 I C 702 へのみ電気信号情報を伝達し、電流の逆流が生じないトランジスタ 501 ~ 506 が設けられているため、スピーカ 27 で発生したノイズの悪影響が音声制御用 C P U 701 に伝達されることが防止される。音声合成 I C 702 が音声制御用 C P U 701 に比較して大きな電力を消費する場合において、音声合成 I C 702 での消費電力の変化が音声制御用 C P U 701 に大きな悪影響を与えることが防止される。その結果、音声制御用 C P U 701 は安定して駆動する。

10

【0115】

また、音声制御用 C P U 701 がノイズの影響を比較的受け難いデジタル回路からなり、音声合成 I C 702 がノイズの影響を受け易いアナログ回路含むため、上記トランジスタ 501 ~ 506 によって音声合成 I C 702 から音声制御用 C P U 701 へのノイズの影響が伝達されることが防止されれば、電子回路全体は安定して駆動することができる。

【0116】

また、配線 2 / 5 より供給される電圧 V_{cc} (+ 5 V) の電力は音声制御用 C P U 701 に供給され、配線 1 / 5 より供給される電圧 1.2 V の電力から作成された電圧 $A V_{DD}$ (+ 5 V) の電力は音声合成 I C 702 および音増幅回路 704 などに供給されるため、音声制御用 C P U 701 の電源は音声合成 I C 702 および音増幅回路 704 等の電源から独立することとなる。そのため、音増幅回路 704 等で消費される電力消費量の変化に関らず、音声制御用 C P U 701 に安定した電力を供給することが可能となる。すなわち、音増幅回路 704 等の動作状態によっては、音声制御用 C P U 701 への電力供給が不足する状態が生じる可能性があり、このような状態においては主基板 31 から出力された制御コマンドを正確に受取れない等の障害が生じ得るが、上記のような構造にすることにより、音声制御用 C P U 701 において制御コマンドを正確に受取れない等の障害が発生することが防止される。

20

【0117】

次に、表示制御基板 80 に関する電気回路構造を説明する。図 16 に示すように、表示制御基板 80 は、主基板 31 に接続されるとともに、普通図柄基板 180、LCD モジュール 280 または C R T 82 にそれぞれ接続されている。

30

【0118】

次に、表示制御基板 80 の内部の電気回路構造を、図 17 ~ 図 26 を用いて具体的に説明する。図 17 に示すように、主基板 31 から表示制御基板 80 に接続された配線のうち、配線 10 / 16, 11 / 16, 12 / 16 はアースされている。電圧 V_{cc} の電源に接続された 13 / 16, 14 / 16 はノイズを除去するためのローパスフィルタ 107 に接続され、電圧 V_{cc} (5 V) の電源を供給している。電圧 V_{DD} (1.2 V) の電源に接続された 15 / 16, 16 / 16 は、ノイズを除去するためのローパスフィルタ 108 および所定の電力と作成するためのスイッチングレギュレータ 109 に接続されて電圧 $A V_{DD}$ (5 V) の電源を供給している。

40

【0119】

このように、C R T 82 または L C D 280 等のアナログ信号を処理する回路で使用する電圧 $A V_{DD}$ を、表示制御基板 80 の定電圧回路であるスイッチングレギュレータ 300 で作成することにより、電源基板 910 から表示制御基板 80 まで伝達する間において発生するノイズによる悪影響を減少することができる。これにより、C R T 82 または L C D 280 に表示される映像にノイズによる悪影響が生じることが低減される。

【0120】

また、図 18 に示すように、配線 1 / 16, 2 / 16, 3 / 16, 4 / 16, 5 / 16, 6 / 16, 7 / 16, 8 / 16, 9 / 16 それぞれは、主基板 31 から図柄制御信号 C D

50

1 ~ C D 7 それぞれおよび図柄制御信号 I N T が入力される。図柄制御信号 C D 1 ~ C D 7 それぞれおよび図柄制御信号 I N T は、フェライトビーズ F B によりノイズが除去された後、主基板 3 1 への信号の逆流を防止するためのバッファ回路 1 0 5 に入力される。バッファ回路 1 0 5 からは I N 0 信号 ~ I N 7 信号および I N T 信号が出力される。

【 0 1 2 1 】

次に、図 1 9 に示すように、この I N 0 ~ I N 7 信号および I N T 信号は、表示制御用 C P U 1 0 1 に入力される。表示制御用 C P U 1 0 1 には、図 2 0 に示す表示制御データ R O M 1 0 2 が接続されている。また、表示制御用 C P U 1 0 1 には、図 2 4 に示す V D P 1 0 3 が接続され、V D P 1 0 3 には、図 2 1 および図 2 2 に示す計時用の水晶発振器を有する発振回路 8 5、図 2 3 に示す回路を初期化するためのリセット回路 8 3、図 2 5 に示す V R A M 8 7、キャラクタ R O M 8 6 a およびキャラクタ R O M 8 6 b それぞれが接続されている。V D P 1 0 3 は、入力された信号に基づきキャラクタ R O M 8 6 a およびキャラクタ R O M 8 6 b から画像データを読み出し後、画像データを生成して V R A M 8 7 に表示データとして格納する。その後、図 2 6 に示すように、V D P 1 0 3 は、V R A M 8 7 に格納された表示データをさらに R G B 信号にして送り出す。この R G B 信号によってトランジスタ 5 0 8 , 5 0 9 , 5 1 0 が O N する。これにより、トランジスタ 5 0 8 , 5 0 9 , 5 1 0 までの回路は電圧 V c c の電源により駆動しているが、トランジスタ 5 0 8 , 5 0 9 , 5 1 0 以降の C R T 8 2 または L C D モジュール 2 8 0 の回路は電圧 A V D D の電源により駆動することになる。

10

【 0 1 2 2 】

上記のような本実施の形態によれば、V D P 1 0 3 から C R T 8 2 等へのみ電気信号情報を伝達し、電流の逆流が生じないトランジスタ 5 0 8 ~ 5 1 0 が設けられているため、C R T 8 2 等で発生したノイズの悪影響が V D P 1 0 3 に伝達されることが防止される。C R T 8 2 が V D P 1 0 3 に比較して大きな電力を消費する場合において、C R T 8 2 での消費電力の変化が V D P 1 0 3 に大きな悪影響を与えることが防止される。その結果、V D P 1 0 3 は安定して駆動する。

20

【 0 1 2 3 】

また、V D P 1 0 3 がノイズの影響を比較的受け難いデジタル回路からなり、C R T 8 2 がノイズの影響を受け易いアナログ回路を含むため、上記トランジスタ 5 0 8 ~ 5 1 0 によって C R T 8 2 から V D P 1 0 3 へのノイズの影響が伝達されることが防止されれば、電子回路全体は安定して駆動することができる。

30

【 0 1 2 4 】

また、配線 1 3 / 1 6 , 1 4 / 1 6 より供給される電圧 V c c (5 V) の電力は表示制御用 C P U 1 0 1 等に供給され、配線 1 5 / 1 6 , 1 6 / 1 6 より供給される電圧 V D D (1 5 V) の電力から作成された電圧 A V c c (+ 5 V) の電力は C R T 8 2 または L C D 2 8 0 等に供給されるため、表示制御用 C P U 1 0 1 の電源は C R T 8 2 等の電源から独立することとなる。そのため、C R T 8 2 等で消費される電力消費量の変化に関らず、表示制御用 C P U 1 0 1 に安定した電力を供給することが可能となる。すなわち、C R T 8 2 等の動作状態によっては、表示制御用 C P U 1 0 1 への電力供給が不足する状態が生じる可能性があり、このような状態においては主基板 3 1 から出力された制御コマンドを正確に受取れない等の障害が生じ得るが、上記のような構造にすることにより、表示制御用 C P U 1 0 1 において制御コマンドを正確に受取れない等の障害が発生することが防止される。

40

【 0 1 2 5 】

次に、ランプ制御基板 3 5 に関する電気回路の構造を、図 2 7 ~ 図 2 9 を用いて説明する。図 2 7 に示すように、図 9 に示す電源基板 9 1 0 から引き出された配線 Y はランプ制御基板 3 5 に接続されている。ランプ制御基板 3 5 には主基板 3 5 に接続される配線 B、図 2 8 に示すランプ中継基板 3 5 a に接続される配線 y 1 および図 2 9 に示される枠用ランプ中継 A 基板 3 5 h に接続される配線 y 2 が設けられている。

【 0 1 2 6 】

また、図 2 8 に示すように、ランプ中継 A 基板 3 5 a は、配線により、袖左基板 3 5 b、

50

袖右基板 3 5 c、センター基板 3 5 d、A T 右基板 3 5 e、A T 中基板 3 5 f および A T 左基板 3 5 g に接続されている。

【 0 1 2 7 】

また、図 2 9 に示すように、ランプ中継 A 基板 3 5 h は、枠用ランプ中継 B 基板 3 5 i 1 および枠用ランプ中継 C 基板 3 5 i 2 に配線により接続されている。さらに、枠用ランプ中継 B 基板 3 5 i 1 には、前板ランプ左 B 基板 3 5 j、前板ランプ左 A 基板 3 5 k、前板ランプ上基板 3 5 l、前板ランプ右 A 基板 3 5 m、前板ランプ右 B 基板 3 5 n が配線を介して接続され、枠用ランプ中継 C 基板 3 5 i 2 には、スピーカ L E D 左 A 基板 3 5 o、スピーカ L E D 左 B 基板 3 5 p、スピーカ L E D 右 B 基板 3 5 g およびスピーカ L E D 右 A 基板 3 5 r が配線を介して接続されている。

10

【 0 1 2 8 】

次に、図 3 0 ~ 図 3 6 を用いて、ランプ制御基板 3 5 の内部構造について説明する。図 3 0 に示すように、電源基板 9 1 0 から導入された配線 1 / 6 , 2 / 6 , 3 / 6 , 4 / 6 , 5 / 6 , 6 / 6 のうち配線 1 / 6 からは、スイッチングレギュレータ 7 0 0 を介してが電圧 V S L の電力が供給されている。また配線 2 / 6 は、電圧 V L P の電力を供給している配線である。配線 3 / 6 からは、スイッチングレギュレータ 8 0 0 を介して電圧 V D D の電力が供給されている。配線 4 / 6 からは、スイッチングレギュレータ 9 0 0 を介して V c c が供給されている。配線 5 / 6 , 6 / 6 はアース (G N D) されている。

【 0 1 2 9 】

また、図 3 1 に示すように、ランプ制御基板 3 5 には、図 1 6 に示す主基板 3 1 から、ランプ制御信号 C D 0 ~ C D 7 が入力される配線 1 / 1 1 ~ 配線 8 / 1 1、ランプ制御信号 I N T が入力される配線 9 / 1 1 および G N D 配線 1 0 / 1 1 , 1 1 / 1 1 が接続され、ノイズを吸収するフェライトビーズを介して、ランプ制御 C D 0 信号、ランプ制御信号 C D 1 ~ C D 7 信号それぞれは、信号の逆流を防止するバッファ回路 3 5 5 に入力される。バッファ回路 3 5 5 からは L C D 0 信号、L C D 1 信号 ~ L C D 7 信号が出力される。また、ランプ制御信号 I N T がインバータ回路を介して I N T 信号となり出力される。

20

【 0 1 3 0 】

次に、図 3 2 に示すように、L C D 0 信号 ~ L C D 7 信号それぞれは、ランプの点灯消滅を制御するための信号を出力する C P U 3 5 1 に入力される。C P U 3 5 1 からは、B L A N P (B) 信号、B L A N P (A) 信号、B L E D (F) 信号、B L E D (E) 信号、B L E D (D) 信号、B L E D (C) 信号、B L E D (B) 信号、B L E D (A) 信号が出力される。また、C P U 3 5 1 からは、M M R Y (a) 信号、M M R Y (b) 信号、M M R Y (c) 信号、M M R Y (d) 信号、F L E D (A) 信号、F L E D (B) 信号、F L E D (C) 信号、F L E D (D) 信号が出力される。F L A N P (A) 信号、F L A N P (B) 信号、F L A N P (C) 信号、F L A N P (D) 信号、F L A N P (E) 信号、S L A N P 信号が出力される。さらに、C P U 3 5 1 からは、D G 1 信号、D G 2 信号および T L A N P 信号が出力される。

30

【 0 1 3 1 】

次に、図 3 3 に示すように、F L A N P (A) 信号、F L A N P (B) 信号、F L A N P (C) 信号、T L A N P 信号、F L A N P (D) 信号、S L A N P 信号、F L A N P (E) 信号それぞれは、電流の逆流を防止する態様で設けられたトランジスタを含む回路 5 1 1 , 5 1 2 , 5 1 3 , 5 1 4 , 5 1 5 , 5 1 6 , 5 1 7 それぞれに入力される。

40

【 0 1 3 2 】

その後、トランジスタを含む回路 5 1 1 , 5 1 2 , 5 1 3 , 5 1 4 , 5 1 5 , 5 1 6 , 5 1 7 から出力された信号は、右下枠ランプ(遊技効果ランプ 2 8 b , 2 8 c に相当)を制御するための信号を出力する配線 1 / 1 8、右上枠ランプ(遊技効果ランプ 2 8 b , 2 8 c に相当)を制御するための信号を出力する配線 2 / 1 8、天枠ランプ(遊技効果ランプ 2 8 b , 2 8 c に相当)を制御するための信号を出力する配線 3 / 1 8、球切れランプ 5 2 を制御するための信号を出力する配線 4 / 1 8、左上枠ランプ(遊技効果ランプ 2 8 b , 2 8 c に相当)を制御するための信号を出力する配線 5 / 1 8、賞球ランプを制御する

50

ための信号を出力する配線 6 / 18、左下枠ランプ(遊技効果ランプ 28b, 28c に相当)を制御するための信号を出力する配線 9 / 18 から図 29 に示すアナログ回路を含む枠用ランプ中継基 A 板 35h に出力される。また、電圧 VLP の電力は配線 7 / 18, 8 / 18 に分かれて枠用ランプ中継 A 基板 35h に出力される。

【0133】

また、図 34 に示すように、FLED(A) 信号, FLED(B) 信号, FLED(C) 信号, FLED(D) 信号は、電流の逆流を防止する態様で設けられたトランジスタを含むインバータ回路 521, 522, 523, 524, 525, 526, 527, 528 を介して、配線 11 / 18, 12 / 18, 13 / 18, 14 / 18, 15 / 18, 16 / 18, 17 / 18, 18 / 18 から遊技効果 LED 28a に相当する左スピーカ外 LED、左スピーカ内 LED、右スピーカ内 LED、右スピーカ外 LED それぞれを制御するために、枠用ランプ中継 A 基板 35h に出力される。また、交流電源 AC の電圧 24V の電力を整流し平滑した電圧 VSL の電力が 10 / 18 から枠用ランプ中継 A 基板 35h に供給される。

10

【0134】

また、図 35 に示すように、BLEED(A) 信号, BLEED(B) 信号, BLEED(C) 信号, BLEED(D) 信号, BLEED(E) 信号, BLEED(F) 信号それぞれは、電流の逆流を防止する態様で設けられたトランジスタを含むインバータ回路 531, 532, 533, 534, 535, 536, 537, 538 を介して遊技効果 LED 25a に相当する飾り LED を制御するための配線 3A, 2A, 1A, 6B, 10B, 7B, 9B, 8B から図 28 に示すランプ中継基板 35a に出力される。また、上記電圧 VSL の電力が配線 4B, 5B, 4A から供給されている。BLANP(A) 信号および BLANP(B) 信号それぞれは、電流の逆流を防止する態様で設けられたトランジスタを含む回路 541, 542 を介して、装飾ランプ 25 に相当する飾りランプ A, B を制御するために配線 2B, 3B から出力される。

20

【0135】

また、図 36 に示すように、MMRY(a) 信号, MMRY(b) 信号, MMRY(c) 信号, MMRY(d) 信号は、電流の逆流を防止する態様で設けられたトランジスタを含むインバータ回路 551, 552, 553, 554 を介して、始動記憶表示器 18 に相当する LED1, LED2, LED3 および LED4 を制御するために、配線 10A, 9A, 8A, 7A から図 28 に示すランプ中継基板 35a に出力される。また、DG1 信号および DG2 信号は電流の逆流を防止する態様で設けられたトランジスタを含むバッファ回路 555, 556 を介して配線 6A, 5A からランプ中継基板 35a に出力される。また、電圧 VLP の電力が配線 1A により供給されている。

30

【0136】

また、配線 1 / 6 より供給される電圧 VSL (30V) の電力は各種ランプ等に供給され、配線 4 / 6 より供給される電圧 VDD (5V) の電力はランプ制御用の CPU 351 等に供給されるため、ランプ制御用の CPU 351 の電源は各種ランプ等の電源から独立することとなる。そのため、各種ランプ等で消費される電力消費量の変化に関らず、ランプ制御用の CPU 351 に安定した電力を供給することが可能となる。すなわち、各種ランプ等の動作状態によっては、ランプ制御用の CPU 351 への電力供給が不足する状態が生じる可能性があり、このような状態においては主基板 31 から出力された制御コマンドを正確に受取れない等の障害が生じ得るが、上記のような構造にすることにより、ランプ制御用 CPU 351 において制御コマンドを正確に受取れない等の障害が発生することが防止される。

40

【0137】

また、配線 10A ~ 7A は、特別図柄の始動記憶表示器と普通図柄の始動記憶表示器との双方を制御するために使用される。すなわち、DG1 信号が能動状態となっている場合には、普通図柄の始動記憶表示器が制御され、DG2 信号が能動状態となっている場合には、特別図柄の始動記憶表示器が制御される。

50

【 0 1 3 8 】

上記のような構造のランプ制御基板 3 5 によれば、図 3 3 に示すトランジスタを含む回路 5 1 1 , 5 1 2 , 5 1 3 , 5 1 4 , 5 1 5 , 5 1 6 , 5 1 7、図 3 4 に示すトランジスタを含むインバータ回路 5 2 1 , 5 2 3 , 5 2 4 , 5 2 5 , 5 2 6 , 5 2 7 , 5 2 8、図 3 5 に示すトランジスタを含むインバータ回路 5 3 1 , 5 3 3 , 5 3 4 , 5 3 5 , 5 3 6 , 5 3 7 , 5 3 8 およびトランジスタを含む回路 5 4 1 , 5 4 2、図 3 6 に示すトランジスタを含むインバータ回路 5 5 1 , 5 5 2 , 5 5 3 , 5 5 4 およびトランジスタを含むバッファ回路 5 5 5 , 5 5 6 を備えているため、電流の逆流が防止される。その理由は、上記トランジスタを含む回路それぞれまでは、電圧 V_{cc} の電力が供給され、トランジスタを含む回路以降は電圧 V_{SL} および電圧 V_{LP} の電力が供給されているからである。それにより、ノイズが発生し易いアナログ回路を有する図 2 8 に示すランプ中継基板 3 5 a およびアナログ回路を有する図 2 9 に示す枠用ランプ中継 A 基板 3 5 h からのノイズによる悪影響が、ランプ制御基板 3 5 内部のデジタル回路である CPU 3 5 までの回路に伝達されることが防止される。

10

【 0 1 3 9 】

なお、上記図 5 のブロック図においては、 $VDP103$ と $CRT280$ ($LCD280$) との間にのみトランジスタ 5 0 8 ~ 5 1 0 を設けた実施の形態を示したが、図 3 7 に示すように、表示制御用 CPU 1 0 1 と $VDP103$ との間にトランジスタ 5 0 0 を有する表示制御基板 8 0 であれば、アナログ信号を出力する $VDP103$ とデジタル信号を出力する表示制御用 CPU 1 0 1 との間の電流の逆流を防止することができるため、デジタル回路のみで構成された表示制御用 CPU 1 0 1 までのデジタル回路が、 $VDP103$ 以降のアナログ回路において発生し易いノイズの悪影響を受けることが防止される。

20

【 0 1 4 0 】

また、図 3 8 には、図 1 6 に示す主基板 3 1 が電源基板 9 1 0 から電源を取り込んだ直後の電源入力回路が示されている。図 3 8 に示すように、主基板の電源入力回路は、各種のバイパスコンデンサ、平滑コンデンサおよびノイズフィルタ 3 1 a , 3 1 b , 3 1 c を経て、電源基板 9 1 0 において作成された電力、すなわち、電圧 V_{SL} , V_{DD} , V_{cc} , V_{BB} をそのまま取り込み、各 IC 等に出力している。すなわち、主基板 3 1 においては、各 IC 等において使用する電力の電圧を調整するための電力作成手段を設ける必要がないため、電力作成手段を設けていない。

30

【 0 1 4 1 】

なお、上記のランプ基板 3 5 においては、電源基板 9 1 0 で作成された電圧 V_{SL} ($30V$) を用いて各種ランプに電源を供給したが、ランプ制御基板 3 5 内部に定電圧回路であるスイッチングレギュレータを設けて新たな電力を作成してもよい。このようにすれば、電源基板 9 1 0 からランプ制御基板 3 5 まで伝達する間において発生するノイズによる悪影響を減少することができるため、各種ランプに現れるノイズによる悪影響が低減される。

【 0 1 4 2 】

上記のような本実施の形態のパチンコ遊技機によれば、表示制御基板 8 0、音声制御基板 7 0 およびランプ制御基板 3 5 には主基板 3 1 から電力が供給されるため、電源基板 9 1 0 に、電源基板 9 1 0 と表示制御基板 8 0、音声制御基板 7 0、ランプ制御基板 3 5 それぞれと接続するためのコネクタを設ける必要がなくなる。それにより、電源基板 9 1 0 に設けるコネクタの数を低減することができるため、電源基板 9 1 0 の構造が簡単となる。

40

【 0 1 4 3 】

また、本実施の形態のパチンコ遊技機によれば、電源基板 9 1 0 と表示制御基板 8 0 とを接続するためのコネクタを電源基板 9 1 0 に設ける必要がなくなる。それにより、機種変更にとともに可変表示器 1 0 および表示制御基板 8 0 を必要としなくなる場合において、電源基板 9 1 0 に未接続のコネクタが存在しなくなる。その結果、未接続のコネクタが存在することによって生じる、電源基板 9 1 0 の未接続のコネクタから不正制御を行なうための情報が入力されるおそれなくなる。したがって、機種変更にともなって生じる不正制御を予め防止するような構造にすることができる。

50

【0144】

また、本実施の形態のパチンコ遊技機によれば、表示制御基板80、音声制御基板70およびランプ制御基板35それぞれは、電力供給手段から供給された電力を利用して、電気部品の制御に必要な電力を作成する電力作成手段としてスイッチングレギュレータ109等を有しているため、外部に必要な電力を作成する電力作成手段を設ける必要がなくなる。

【0145】

図39は、電源監視および電源バックアップのためのCPU56周りの一構成例を示すブロック図である。図39に示すように、第1の電源監視回路(電源監視手段、または、第1の電源監視手段)からの電圧低下信号が、CPU56のマスキング端子(NMI端子)に接続されている。第1の電源監視回路は、遊技機が使用する各種直流電流のうちいずれかの電源の電圧を監視して電源電圧低下を検出する回路である。この実施の形態では、第1の電源監視回路は、VSLの電源電圧を監視して、その電圧値が所定値以下になるとローレベルの電圧低下信号を発生する。電源電圧VSLは、遊技機で使用される直流電圧のうちで最大のものであってこの例では、+30Vである。したがって、CPU56は、割込処理によって電源断、または、電源低下の発生を確認することができる。なお、この実施の形態では、第1の電源監視回路は、後述する電源基板に搭載されている。

【0146】

図39には、システムリセット回路65も示されているが、この実施の形態では、システムリセット回路65は、第2の電源監視回路(第2の電源監視手段)も兼ねている。すなわち、リセットIC651は、電源投入時に、外付けのコンデンサ652と容量で決まる所定時間だけ出力をローレベルとし、所定時間が経過すると出力をハイレベルにする。すなわち、リセット信号をハイレベルに立上げてCPU56を動作可能状態にする。また、リセットIC651は、第1の電源監視回路が監視する電源電圧と等しい電源電圧である電源電圧VSLを監視して、電圧値が所定値(第1の電源監視回路が電圧低下信号を出力する電源電圧値よりも低い値)以下になるとローレベルの電圧低下信号を発生する。したがって、CPU56は、第1の電源監視回路からの電圧低下信号に応じて所定の電力供給停止時処理を行なった後、システムリセットされる。なお、この実施の形態では、リセット信号と第2の電源監視回路からの電圧低下信号とは同一の信号である。

【0147】

図39に示すように、リセットIC651からのリセット信号は、NAND回路947(論理積回路)に入力されるとともに、反転回路(NOT回路)944を介してカウンタIC941のクリア端子に入力される。カウンタIC941は、クリア端子への入力が高レベルになると、発振器943からのクロック信号をカウントする。そして、カウンタIC941のQ5出力がNOT回路945、946を介してNAND回路947に入力される。また、カウンタIC941のQ6出力は、フリップフロップ(FF)942のクロック端子に入力される。フリップフロップ942のD入力が高レベルに固定され、Q出力は論理和回路(OR回路)949に入力される。OR回路949の他方の入力には、NAND回路947の出力がNOT回路948を介して導入される。そして、OR回路949の出力がCPU56のリセット端子に接続されている。このような構成によれば、電源投入時に、CPU56のリセット端子に2回のリセット信号(ローレベル信号)が与えられるので、CPU56は、確実に動作を開始する。

【0148】

そして、たとえば、第1の電源監視回路の検出電圧(電圧低下信号を出力することになる電圧)を+2.2Vとし、第2の電源監視回路の検出電圧を+9Vとする。そのように構成した場合には、第1の電源監視回路と第2の電源監視回路とは、同一の電源の電圧VSLを監視するので、第1の電源監視回路が電圧低下信号を出力するタイミングと第2の電源監視回路が電圧低下信号を出力するタイミングとの差を所望の所定時間に確実に設定することができる。所望の所定時間とは、第1の電源監視回路から発せられた電圧低下信号に応じて電力供給停止時処理を開始してから電力供給停止時処理が確実に完了するまでの期間である。

10

20

30

40

50

【 0 1 4 9 】

この例では、第 1 の電源監視手段が検出信号を出力することになる第 1 検出条件は + 3 0 V 電源電圧が + 2 2 V にまで低下したことであり、第 2 の電源監視手段が検出信号を出力することになる第 2 検出条件は + 3 0 V 電源電圧が + 9 V にまで低下したことである。ただし、ここで用いられている電圧値は一例であって、他の値を用いてもよい。

【 0 1 5 0 】

ただし、監視範囲が狭まるが、第 1 の電圧監視回路および第 2 の電圧監視回路の監視電圧として + 5 V 電源電圧を用いることも可能である。その場合にも、第 1 の電圧監視回路の検出電圧は、第 2 の電圧監視回路の検出電圧よりも高く設定される。

【 0 1 5 1 】

C P U 5 6 等の駆動電源である + 5 V 電源から電力が供給されていない間、R A M の少なくとも一部は、電源基板から供給されるバックアップ電源によってバックアップされ、遊技機に対する電源が遮断しても内容は保存される。そして、+ 5 V 電源が復旧すると、システムリセット回路 6 5 からリセット信号が発せられるので、C P U 5 6 は、通常の動作状態に復帰する。そのとき、必要なバックアップ記憶情報が保存されているため、停電等からの復旧時に停電が発生した時点の遊技状態に復帰することができる。

【 0 1 5 2 】

なお、図 3 9 では、電源投入時に C P U 5 6 のリセット端子に 2 回のリセット信号（ローレベル信号）が与えられる構成が示されたが、リセット信号の立上がりタイミングが 1 回しかなくても確実にリセット解除される C P U を使用する場合には、符号 9 4 1 ~ 9 4 9 で示された回路素子は不要である。その場合、リセット I C 6 5 1 の出力がそのまま C P U 5 6 のリセット端子に接続される。

【 0 1 5 3 】

また、リセット I C 6 5 1 の外付けコンデンサ 6 5 2 の容量により規定される遅延時間は、電源基板 9 1 0 からの電源供給が開始し、各基板（音声制御基板 7 0、ランプ制御基板 3 5、表示制御基板 8 0、払出制御基板 3 7）が完全に起動するのに十分な時間を担保している。これにより、遊技制御手段の C P U 5 6 が制御コマンドを出力した時点で出力対象の基板が動作しておらず、コマンドに応じた制御ができないという不都合が解消される。

【 0 1 5 4 】

また、外付けコンデンサ 6 5 2 の他、リセット I C 6 5 1 から出力された信号を、C P U 5 6 に伝送する信号線の途中に遅延回路を設けて、C P U 5 6 の処理の開始時に待機処理を行なってもよい。また、電源基板 9 1 0 に各基板のシステムリセットを管理する手段を設け、電源基板 9 1 0 側で立上げ順を管理してもよい。

【 0 1 5 5 】

また、上記システムリセット回路 6 5 は、電力供給開始時に C P U に対してシステムリセット信号を出力する初期リセット回路と、電圧の低下を検出して C P U の動作を停止される電源監視回路とからなる構成としてもよい。

【 0 1 5 6 】

図 4 0 は、遊技機の電源基板 9 1 0 の一構成例を示すブロック図である。電源基板 9 1 0 は、主基板 3 1、表示制御基板 8 0、音声制御基板 7 0、ランプ制御基板 3 5 および払出制御基板 3 7 等の電気部品制御基板と独立して設置され、遊技機内の各電気部品制御基板および機構部品が使用する電圧を生成する。この例では、A C 2 4 V、D C + 3 0 V（V S L）、D C + 2 1 V、D C + 1 2 V（V D D）および D C + 5 V（V c c）を生成する。また、バックアップ電源となるコンデンサ 9 1 6 は、D C + 5 V（V B B）すなわち各基板上の I C 等を駆動する電源のラインから充電される。

【 0 1 5 7 】

トランス 9 1 1 は、交流電源からの交流電圧を 2 4 V に変換する。A C 2 4 V 電圧は、コネクタ 9 1 5 に出力される。また、整流回路 9 1 2 は、A C 2 4 V から + 3 0 V の直流電圧を生成し、D C - D C コンバータ 9 1 3 およびコネクタ 9 1 5 に出力する。D C - D C

10

20

30

40

50

コンバータ 9 1 3 は、+ 2 1 V、+ 1 2 V および + 5 V を生成してコネクタ 9 1 5 に出力する。コネクタ 9 1 5 はたとえば中継基板に接続されて中継基板から各電気部品制御基板および機構部品に必要な電圧の電力が供給される。なお、トランス 9 1 1 の入力側には、遊技機に対する電源供給を停止したり開始したりするための電源スイッチが設置されている。

【 0 1 5 8 】

D C - D C コンバータ 9 1 3 からの + 5 V ラインは分岐してバックアップ + 5 V ラインを形成する。バックアップ + 5 V ラインとグラウンドレベルとの間には大容量のコンデンサ 9 1 6 が接続されている。コンデンサ 9 1 6 は、遊技機に対する電力供給が遮断されたときの電気部品制御基板のバックアップ R A M (電源バックアップされている R A M すなわち記憶内容保持状態となり得る記憶手段) に対して記憶状態を保持できるように電力を供給するバックアップ電源となる。また、+ 5 V ラインとバックアップ + 5 V ラインとの間に、逆流防止用のダイオード 9 1 7 が挿入される。

10

【 0 1 5 9 】

なお、バックアップ電源として、+ 5 V 電源から充電可能な電池を用いてもよい。電池を用いる場合には、+ 5 V 電源から電力供給されない状態が所定時間継続すると容量がなくなるような充電電池が用いられる。

【 0 1 6 0 】

また、電源基板 9 1 0 には、上述した第 1 の電源監視回路を構成する電源監視用 I C 9 0 2 が搭載されている。電源監視用 I C 9 0 2 は、電源電圧 V S L を導入し、電源電圧 V S L を監視することによって電源断の発生を検出する。具体的には、電源電圧 V S L が所定値 (この例では + 2 2 V) 以下になると、電源断または電圧低下が生ずるとして電圧低下信号を出力する。なお、監視対象の電源電圧は、各電気部品制御基板に搭載されている回路素子の電源電圧 (この例では + 5 V) よりも高い電圧であることが好ましい。この例では、交流から直流に変換された直後の電圧 V S L (+ 3 0 V) が用いられている。電源監視用 I C 9 0 2 からの電圧低下信号は、主基板 3 1 や払出制御基板 3 7 等の各種制御基板に供給される。

20

【 0 1 6 1 】

電源監視用 I C 9 0 2 が電源断または電圧低下を検知するための所定値は、通常時の電圧より低い、各電気部品制御基板上の C P U がしばらくの間動作し得る程度の電圧である。また、電源監視用 I C 9 0 2 が、C P U 等の回路素子を駆動するための電圧 (この例では + 5 V) よりも高く、また、交流から直流に変換された直後の電圧を監視するように構成されているので、C P U が必要とする電圧に対して監視範囲を広げることができる。したがってより精密な監視を行なうことができる。さらに、監視電圧として V S L (+ 3 0 V) を用いる場合には、遊技機の各種スイッチに供給される電圧が + 1 2 V であることから、電源断時のスイッチオン誤検出の防止も期待できる。すなわち、+ 3 0 V 電源の電圧を監視すると、+ 3 0 V 作成の以降に作られる + 1 2 V が落ち始める以前の段階でその低下を検出できる。よって、+ 1 2 V 電源の電圧が低下するとスイッチ出力がオン状態を呈するようになるが、+ 1 2 V より速く低下する + 3 0 V 電源電圧を監視して電源断を認識すれば、スイッチ出力がオン状態を呈する前に電源復旧待ちの状態に入ってスイッチ出力を検出しない状態となることができる。

30

40

【 0 1 6 2 】

また、電源監視用 I C 9 0 2 は、電気部品制御基板とは別個の電源基板 9 1 0 に搭載されているので、第 1 の電源監視回路から複数の電気部品制御基板に電圧低下信号を供給することができる。電圧低下信号を必要とする電気部品制御基板がいくつあっても、第 1 の電源監視手段は 1 つ設けられればよいので、各電気部品制御基板における各電気部品制御手段が後述する復帰制御を行なっても、遊技機のコストはさほど向上しない。

【 0 1 6 3 】

なお、図 4 0 に示された構成では、電源監視用 I C 9 0 2 の検出出力 (電圧低下信号) は、バッファ回路 9 1 8 , 9 1 9 を介してそれぞれ電気部品制御基板 (たとえば主基板 3 1

50

と払出制御基板 37) に伝達されるが、たとえば、1つの検出出力を中継基板に伝達し、中継基板から各電気部品制御基板に同じ信号を分配する構成でもよい。また、電圧低下信号を必要とする基板数に応じたバッファ回路を設けてもよい。

【0164】

次に、遊技機の動作について説明する。

図41は、主基板31におけるCPU56が実行するメイン処理を示すフローチャートである。遊技機に対する電源が投入されると、メイン処理において、CPU56は、まず、必要な初期設定を行なう(ステップS1)。

【0165】

そして、電源断時にバックアップRAM領域のデータ幅を処理(本例ではパリティデータの負荷等の停電発生NMI処理)が行なわれた否かの確認を行なう(ステップS2)。不測の電源断が生じた場合には、後述するようにバックアップRAM領域のデータを保護するための処理が行なわれている。そのような保護処理が行なわれていた場合をバックアップありとする。バックアップなしという確認結果であれば、初期処理を実行する(ステップS2, S3)。なお、本例では、バックアップRAM領域にバックアップデータがあるか否かは、電源断時にバックアップRAM領域に設定されるバックアップフラグの状態によって確認する。本例では、バックアップフラグ領域に「55H」が設定されていればバックアップあり(オン状態)を意味し、「55H」以外の値が設定されていればバックアップなし(オフ状態)を意味する。

【0166】

バックアップRAM領域にバックアップデータがある場合には、この実施の形態では、CPU56は、バックアップRAM領域のデータチェック(この例ではパリティチェック)を行なう(ステップS4)。不測の電源断が生じた後に復旧した場合には、バックアップRAM領域のデータが保存されていたはずであるから、チェック結果は正常になる。チェック結果が正常でない場合は、内部状態を電源断時の状態に戻すことができないので、停電復旧時でない電源投入時に実行される初期化処理を実行する(ステップS5, S3)。

【0167】

チェック結果が正常であれば、CPU56は、内部状態を電源断時の状態に戻すための遊技状態復旧処理を行なう(ステップS6)。したがって本例では、図42に示すように、バックアップフラグの値が「55H」に設定されており、かつ、チェック結果が正常である場合に、ステップS6の遊技状態復旧処理に移行する。そして、バックアップRAM領域に保存されていたPC(プログラムカウンタ)の指すアドレスに復帰する(ステップS7)。

【0168】

通常の初期化処理の実行(ステップS2, S3)を終えると、CPU56により実行されるメイン処理はタイマ割込フラグの監視(ステップS9)の確認が行なわれるループ処理に移行する。なお、ループ内では、表示用乱数更新処理(ステップS8)も実行される。

【0169】

なお、この実施の形態では、ステップS2でバックアップデータの有無を確認した後、バックアップデータが存在する場合にステップS4でバックアップ領域のチェックを行なうようにしていたが、逆に、バックアップ領域のチェック結果が正常であったことを確認した後、バックアップデータの有無の確認を行なうようにしてもよい。また、バックアップデータの有無の確認、または、バックアップ領域のチェックのいずれか一方の確認を行なうことで、停電復旧処理を実行するか否かを判別する構成としてもよい。

【0170】

通常の初期化処理では、図43に示すように、RAMのクリア処理が行なわれる(ステップS3a)。次いで、作業領域初期設定テーブルのアドレス値に基づいて、所定の作業領域(たとえば、普通図柄判定用乱数カウンタ、普通図柄判定用バッファ、特別図柄左中右図柄バッファ、払出コマンド格納ポインタなど)に初期値を設定する初期値設定処理(ステップS3b)が行なわれる。そして、2ms毎に定期的にタイマ割込がかかるようにC

10

20

30

40

50

P U 5 6 に設けられているタイマレジスタの初期設定（タイムアウトが 2 m s であることと、繰返しタイマが動作する設定）が行なわれる（ステップ S 3 c）。すなわち、ステップ S 3 c で、タイマ割込を能動化する処理と、タイマ割込インターバルを設定する処理とが実行される。そして、初期設定処理（ステップ S 1）において割込禁止（図 4 5 参照）とされているため、初期化処理を終える前に割込が許可される（ステップ S 3 d）。

【 0 1 7 1 】

したがって、この実施の形態では、C P U 5 6 の内部タイマが繰返しタイマ割込を発生するように設定される。この実施の形態では、繰返し周期は 2 m s に設定される。そして、図 4 4 に示すように、タイマ割込が発生すると、C P U 5 6 は、タイマ割込フラグを設定する（ステップ S 1 2）。

10

【 0 1 7 2 】

C P U 5 6 は、ステップ S 9 において、タイマ割込フラグがセットされたことを検出すると、タイマ割込フラグをリセットするとともに（ステップ S 1 0）、遊技制御処理を実行する（ステップ S 1 1）。以上の制御によって、この実施の形態では、遊技制御処理は 2 m s 毎に起動されることになる。なお、この実施の形態ではタイマ割込処理はフラグセットのみがなされ、遊技制御処理はメイン処理において実行されるが、タイマ割込処理での遊技制御処理を実行してもよい。

【 0 1 7 3 】

上述したように、バックアップデータの有無により電源断時の状態に復旧するか否かの判別を行なうようにしたことで、停電後の電源復旧時などにおいて電源投入されたときに、バックアップデータ記憶領域の内容に応じて電源断時の状態に復旧させるか否かの判別を行なうことができる。したがって、バックアップデータに基づく制御を実現することができる。とともに、不必要な復旧処理の実行を防止することができる。

20

【 0 1 7 4 】

また、バックアップデータの状態により電源断時の状態に復旧するか否かの判別を行なうようにしたことで、停電後の電源復旧時などにおいて電源投入されたときに、バックアップデータ記憶領域の内容の状態に応じて電源断時の状態に復旧されるか否かの判別を行なうことができる。したがって、正常なバックアップデータに基づく制御を実現することができる。とともに、異常が発生しているバックアップデータに基づく復旧処理の実行を防止することができる。

30

【 0 1 7 5 】

図 4 5 は、ステップ S 1 の初期設定処理を示すフローチャートである。初期設定処理において、C P U 5 6 は、まず、割込禁止に設定する（ステップ S 1 a）。割込禁止に設定すると、C P U 5 6 は、割込モードを割込モード 2 に設定し（ステップ S 1 b）、スタックポインタにスタックポインタ指定アドレスを設定する（ステップ S 1 c）。そして、C P U 5 6 は、内蔵デバイスレジスタの初期化（ステップ S 1 d）、前述の割込モード 2 に設定することにより使用が可能となる C T C（カウンタ/タイマ）および P I O（パラレル入出力ポート）の初期化（ステップ S 1 e）を行なった後、電源断時に R A M の内容を保護するために R A M へのアクセスを不能としているため、R A M をアクセス可能状態に設定する（ステップ S 1 f）。

40

【 0 1 7 6 】

なお、初期設定処理において設定され得る I N T 信号の入力により割込が許可されるマスカブル割込の割込モードには、以下の 3 種類のモードがある。

【 0 1 7 7 】

割込モード 0：リセット時に設定されるモードであって、1 バイトの C A L L 命令である R S T 命令により割込元から指定されたアドレス（0 0（H）～ 3 8（H））が、割込処理プログラムのスタートアドレスを示すモードである。

【 0 1 7 8 】

割込みモード 1：割込処理プログラムのスタートアドレス（3 8（H））が予め定められているモードである。

50

【0179】

割込みモード2：CPU56の特定レジスタの値（1バイト）と内蔵デバイスが出力する割込ベクター（1バイト：最大ビット0）から構成されるアドレスが、割込番地を示すものである。すなわち割込番地は、上位アドレスが特定レジスタの値とされ、下位アドレスが割込ベクターとされた2バイトで示されるアドレスである。

【0180】

図46は、ステップS11の遊技制御処理を示すフローチャートである。遊技制御処理において、CPU56は、まず、スイッチ回路58を介して、ゲートセンサ12、始動口センサ17、カウントセンサ23および入賞口スイッチ19a、24aの状態を入力し、各入賞口や入賞装置に対する入賞があったか否かを判別する（スイッチ処理：ステップS21）。

10

【0181】

続いて、パチンコ遊技機1の内部に備えられている自己診断機能によって異常診断処理が行なわれ、その結果に応じて必要ならば警報が発せられる（エラー処理：ステップS22）。

【0182】

次に、遊技制御に用いられる大当たり判定用乱数等の各判定用乱数を示す各カウンタを更新する処理を行なう（ステップS23）。CPU56は、さらに、停止図柄の種類を決定する乱数等の表示用乱数を更新する処理を行なう（ステップS24）。

【0183】

20

さらにCPU56は、特別図柄プロセス処理を行なう（ステップS25）。特別図柄プロセス制御では、遊技状態に応じてパチンコ遊技機1を所定の順序で制御するための特別図柄プロセスフラグに従って該当する処理が選び出されて実行される。そして、特別図柄プロセスフラグの値は、遊技状態に応じて各処理中に更新される。また、普通図柄プロセス処理を行なう（ステップS26）。普通図柄プロセス処理では、7セグメントLEDにより可変表示器10を所定の順序で制御するための普通図柄プロセスフラグに従って該当する処理が選び出されて実行される。そして、普通図柄プロセスフラグの値は、遊技状態に応じて各処理中に更新される。

【0184】

また、CPU56は、表示制御基板80に送り出される特別図柄制御コマンドや普通図柄信号コマンドをRAM55の所定の領域に設定する処理を行なった後に、特別図柄制御コマンドや普通図柄制御コマンドを出力する処理を行なう（特別図柄コマンド制御処理：ステップS27、普通図柄コマンド制御処理：ステップS28）。

30

【0185】

次いで、CPU56は、各種出力データの格納領域の内容を各出力ポートに出力する処理を行なう（データ出力処理：ステップS29）。なお、CPU56は、たとえばホール管理用コンピュータに出力される大当たり情報、始動情報、確率変動情報などの出力データを格納領域に設定する出力データ設定処理などの他の処理も行なう。

【0186】

また、CPU56は、所定の条件が成立したときにソレノイド回路59に駆動指令を行なう（ステップS30）。ソレノイド回路59は、駆動指令に応じてソレノイド16、21を駆動し、可変入賞球装置19または開閉板22を開状態または閉状態とする。また、CPU56は、たとえば入賞口24等の各入賞口の検出に基づく賞球数の設定などを行なう（ステップS31）。すなわち、所定の条件が成立すると払出制御基板37に払出制御コマンドを出力する。払出制御基板37に搭載されている払出制御用CPU371は、払出制御コマンドに応じて玉払出装置97を駆動する。

40

【0187】

以上のように、メイン処理には遊技制御処理に移行すべきか否かを判別する処理が含まれ、CPU56の内部タイマが定期的に発生するタイマ割込に基づくタイマ割込処理で、遊技制御処理に移行すべきか否かを判別するためのフラグがセットされるので、遊技制御処

50

理のすべてが確実に実行される。つまり、遊技制御処理のすべてが実行されるまでは、次の遊技制御処理に移行すべきか否かの判定が行なわれないので、遊技制御処理中のすべての各処理が実行を完了することは保証されている。

【0188】

従来の一般的な遊技制御処理は、定期的が発生する外部割込によって、強制的に最初の状態に戻されていた。図46に示された例に則して説明すると、たとえば、ステップS31の処理中であっても、強制的にステップS21の処理に戻されていた。つまり、遊技制御処理中のすべての各処理が実行を完了する前に、次の遊技制御処理が開始されてしまう可能性があった。

【0189】

なお、ここでは、主基板31のCPU56が実行する遊技制御処理は、CPU56の内部タイマの定期的が発生するタイマ割込に基づくタイマ割込処理でセットされるフラグに応じて実行されたが、定期的（たとえば2ms毎）信号を発生するハードウェア回路を設け、その回路からの信号をCPU56の外部割込端子に導入し、割込信号によって遊技制御処理に移行すべきか否かを判定するためのフラグをセットするようにしてもよい。

【0190】

そのように構成した場合にも、遊技制御処理のすべてが実行されるまでは、フラグの判定が行なわれないので、遊技制御処理中のすべての各処理が実行を完了することが保証される。

【0191】

図47は、電源基板910の電源監視回路からの電圧変化信号に基づくNMIに応じて実行される停電発生NMI処理の一例を示すフローチャートである。停電発生NMI処理において、CPU56は、まず、停電時などの電源断時直前の割込許可/禁止状態をバックアップするために、割込禁止フラグの内容をパリティフラグに格納する（ステップS41）。次いで、割込禁止に設定する（ステップS42）。停電発生NMI処理では、RAM内容の保存を確実にするためにチェックサムの生成処理を行なう。その処理中に他の割込処理が行なわれたのではチェックサムの生成処理が完了しないうちにCPUが動作し得ない電圧にまで低下してしまうことが考えられるので、まず、他の割込が生じないような設定がなされる。なお、停電発生NMI処理におけるステップS44～S50は、電力供給停止処理の一例である。

【0192】

また、割込処理中では他の割込がかからないような使用のCPUを用いている場合には、ステップS42の処理は不要である。

【0193】

次いで、CPU56は、バックアップフラグが既にセットされているか否か確認する（ステップS42）。バックアップフラグが既にセットされていれば、以後の処理を行なわない。バックアップセットがセットされていなければ、以下の電力供給停止時処理を実行する。すなわち、ステップS44からステップS55の処理を実行する。

【0194】

まず、各レジスタの内容をバックアップRAM領域に格納する（ステップS44）。その後、バックアップフラグをセットする（ステップS45）。そしてバックアップRAM領域のバックアップチェックデータ領域に適当な初期値を設定し（ステップS46）、初期値およびバックアップRAM領域のデータについて順次排他的論理和をとった後反転し（ステップS47）、最終的な演算値をバックアップパリティデータ領域に設定する（ステップS48）。また、RAMアクセス禁止状態にする（ステップS49）。さらに、すべての出力ポートをオフ状態にする（ステップS50）。電源電圧が低下しているときには、各種信号線のレベルが不安定になってRAM内容が化ける可能性があるが、このようにRAMアクセス禁止状態にしておけば、バックアップRAM内のデータが化けることはない。

【0195】

続いて、CPU 56は、ループ処理に入る。すなわち何らの処理もしない状態になる。したがって、図39に示されたりセットIC 651からのシステムリセット信号によって外部から動作禁止状態にされる前に、内部的に動作停止状態になる。よって、電源断時に確実にCPU 56は動作停止する。その結果、上述したRAMアクセス禁止の制御および動作停止制御によって、電源電圧が低下することに伴って生じる可能性がある異常動作に起因するRAMの内容破壊等を確実に防止することができる。

【0196】

なお、この実施の形態では、停電発生NMI処理では最終部でプログラムをループ状態にしたが、ホールド(HALT)命令を発行するように構成してもよい。

【0197】

また、レジスタの内容をRAM領域に格納した後にセットされるバックアップフラグは、上述したように、電源投入時において復旧すべきバックアップデータがあるか否か(停電からの復旧か否か)を判断する際に使用される。また、ステップS41からS50の処理は、CPU 56がシステムリセット回路65からのシステムリセット信号を受ける前に完了する。換言すれば、システムリセット回路65からのシステムリセット信号を受ける前に完了するように、電圧監視回路の検出電圧の設定が行なわれている。

【0198】

この実施の形態では電力供給停止時処理開始時に、バックアップフラグの確認が行なわれる。そして、バックアップフラグが既に設定されている場合は電力供給停止時処理を実行しない。上述したように、バックアップフラグは、必要なデータのバックアップが完了し、その後電力供給停止時処理が完了したことを示すフラグである。したがって、たとえばリセット待ちのループ状態でならかの原因で再度NMIが発生したとしても、電力供給停止時処理が重複して実行されてしまうようなことはない。

【0199】

ただし、割込処理中では他の割込が入らないような仕様のCPUを用いている場合には、ステップS43の判断は不要である。

【0200】

図48は、バックアップパリティデータ作成方法の一例を説明するための説明図である。ただし、図48に示す例では、簡単のために、バックアップデータRAM領域のデータサイズを3バイトとする。電源電圧低下に基づく停電発生処理において、図48に示すように、バックアップチェックデータ領域に、初期データ(この例では00H)が設定される。次に、「00H」と「F0H」の排他的論理和がとられてその結果と「16H」の排他的論理和がとられる。さらに、その結果、「DFH」の排他的論理和がとられる。そして、その結果(この例では「39H」)を反転して得られた値(この例では「C6H」)がバックアップパリティデータ領域に設定される。

【0201】

電源が再投入されたときには、停電復旧処理においてパリティ診断が行なわれる。バックアップ領域の全データがそのまま保存されていれば、電源再投入時に、図48に示すようなデータがバックアップ領域に設定されている。

【0202】

ステップS4の処理において、CPU 56は、停電発生NMI処理にて実行された処理と同様の処理を行なう。すなわち、バックアップチェックデータ領域に、初期データ(この例では00H)が設定され、「00H」と「F0H」の排他的論理和がとられ、その結果、「16H」の排他的論理和がとられる。さらに、その結果と「DFH」の排他的論理和がとられる。そして、その結果(この例では「39H」)を反転した最終演算結果を得る。バックアップ領域の全データがそのまま保存されていれば、最終的な演算結果は、「C6H」、すなわち、バックアップチェックデータ領域に設定されているデータと一致する。バックアップRAM領域内のデータにビット誤りが生じていた場合には、最終的な演算結果は「C6H」にはならない。

【0203】

10

20

30

40

50

よって、CPU56は、最終的な演算結果とバックアップチェックデータ領域に設定されているデータとを比較して、一致すればパリティ診断正常とする。一致しなければパリティ診断異常とする。

【0204】

以上のように、この実施の形態では、遊技制御手段には、遊技機の電源が断になっても、所定期間電源バックアップされる記憶手段（この例ではバックアップRAM）が設けられ、電源投入時に、CPU56（具体的にはCPU56が実行するプログラム）は、記憶手段がバックアップ状態にあればバックアップデータに基づいて遊技状態を回復させる遊技状態復旧処理（ステップS6）を行なうように構成されている。

【0205】

この実施の形態では、図40に示されたように電源基板910に電源監視回路が搭載され、図39に示されるように主基板31にシステムリセット回路65が搭載されている。そして、電源電圧が低下していくときに、システムリセット回路65がローレベルのシステムリセット信号を発生する時期は、電源監視回路（この例では電源監視用IC902）がローレベルのNMI割込信号を発生する時期よりも遅くなるように設定されている。さらに、システムリセット回路65からのローレベルのシステムリセット信号は、CPU56のリセット端子に入力されている。

【0206】

すると、CPU56は、電源監視手段（電源監視用IC902）からの電圧低下信号に基づいて停電発生処理（電力供給停止時処理）を実行した後にループ状態に入るのであるが、ループ状態において、リセット状態に入ることになる。すなわち、CPU56の動作が完全に停止する。+5V電源電圧値で以下においては、CPU56の正常な動作が担保できない（すなわち、動作の管理ができない状態が発生する）が、CPU56は正常に動作できる電源が供給されている状態でリセット状態になるので、不定データに基づいて異常動作をしてしまうことは防止される。

【0207】

このように、この実施の形態では、CPU56が、電源監視回路からの検出出力の入力に応じてループ状態に入るとともに、システムリセット回路65からの検出信号の入力に応じてシステムリセットされるように構成されている。したがって、電源断時に確実なデータ保存が行なわれ、遊技者に不利益がもたらされることが防止される。

【0208】

なお、この実施の形態では、電源監視用IC902と、システムリセット回路65は、同一の電源電圧を監視しているが、異なる電源電圧を監視してもよい。たとえば、電源基板910の電源監視回路が+3.0V電源電圧を監視し、システムリセット回路65が+5V電源電圧を監視してもよい。そして、システムリセット回路65がローレベルのシステムリセット信号を発生するタイミングは、電源監視回路がNMI割込信号を発生するタイミングに対して遅くなるように、システムリセット回路65のしきい値レベル（システムリセット信号を発生する電圧レベル）が設定される。たとえば、しきい値は4.25Vである。4.25Vは、CPU56が動作する通常の電圧値より低いが、CPU56がしばらくの間動作し得る程度の電圧である。なお、システムリセット回路65に設けられた遅延手段の遅延時間（本例では、コンデンサの容量）を調整して、システムリセット回路65がローレベルのシステムリセット信号を発生するタイミングを電源監視回路がNMI割込信号を発生するタイミングに対して遅らせるようにしてもよい。

【0209】

また、上記の実施の形態では、CPU56は、マスク不能割込端子（NMI端子）を介して電源基板からのNMI割込信号（電源監視手段からのNMI割込信号）を検知したが、NMI割込信号をマスク可能割込端子（IRQ端子）に導入してもよい。その場合には、割込処理（IRQ処理）で電力供給停止時処理が実行される。また、入力ポートを介して電源基板910からのNMI割込信号を検知してもよい。その場合には、メイン処理において入力ポートの監視が行なわれる。

10

20

30

40

50

【0210】

また、NMI割込信号に代えてIRQ端子を介して電源基板910からの割込信号を検知する場合に、メイン処理のステップS10における遊技制御処理の開始時にIRQ割込マスクをセットし、遊技制御処理の終了時にIRQ割込マスクを解除するようにしてもよい。そのようにすれば、遊技制御処理の開始前および終了後に割込がかかることになって、遊技制御処理が途中で中断されることはない。したがって、払出制御コマンドを払出制御基板37に送り出しているときなどに、コマンド送り出しが中断されてしまうようなことはない。よって、停電が発生するようなときでも払出制御コマンド等が確実に送り出しを完了する。

【0211】

また、この実施の形態では、停電発生処理（電力供給停止時処理）において、既にデータがバックアップされ電力供給停止時処理が既に実行されたことを示すバックアップフラグがセットアップされている場合には、電力供給停止時処理を実行しないように構成されている。電源がダウンする過程では、再度NMIが発生する可能性がある。すると、電源発生処理においてバックアップフラグの確認を行わない場合には、再度発生したNMIによって再度電力供給停止時処理が実行される。最初に行われた電力供給停止時処理では、レジスタの内容をバックアップRAMに格納する処理が行なわれる（図46におけるステップS44参照）。最初に行われた正規の電力供給停止時処理後のリセット待ちの状態では、電源電圧は徐々に低下していくので、レジスタの内容が破壊される可能もある。すなわち、レジスタ値は、電源断が検出されたときの状態（最初にNMIが発生したとき）から変化している可能性がある。そのような状態で再度電力供給停止時処理が実行されると、電源断が検出されたときの状態のレジスタ値とは異なる値がバックアップRAMに格納されてしまう。すると、電源復旧時に実行される電源復旧処理において、電源断が検出されたときの状態のレジスタ値とは異なる値がレジスタに復旧されてしまう。その結果電源断時の遊技状態とは異なる遊技状態が再現されてしまう可能性が生ずる。

【0212】

以下、遊技状態復旧処理について説明する。

図49は、図41のステップS6に示された遊技状態復旧処理の一例を示すフローチャートである。この例では、CPU56は、バックアップRAMに保存されていた値を各レジスタに復元する（ステップS61）。そして、バックアップRAMに保存されていたデータに基づいて停電時の遊技状態を確認して復旧させる。すなわちバックアップRAMに保存されていたデータに基づいて、ソレノイド回路59を介してソレノイド16, 21を駆動し、たとえば始動入賞口24等や開閉板22の開閉状態の復旧を行なう（ステップS62, S63）。また、電源断中でも駆動されていた特別図柄プロセスフラグおよび普通図柄プロセスフラグの値に応じて、電源断時の特別図柄プロセス処理の進行状況および普通図柄プロセス処理の進行状況に対応した制御コマンドを、表示制御基板80、ランプ制御基板35および音声制御基板70に送り出す（ステップS63）。

【0213】

以上のように、遊技状態復旧処理では、復元された内部状態に応じて、各種電気部品の状態復元が行なわれるとともに、表示制御基板80、ランプ制御基板35および音声制御基板70に対して、制御状態を電源断時の状態に戻すための制御コマンド（電源断時の制御状態を処理するための制御コマンド）が送り出される。そのような制御コマンドが、一般に、電源断前に最後に送り出された1つまたは複数の制御コマンドである。

【0214】

その結果、この実施の形態では、遊技状態復旧処理によって、以下のような状態復旧が可能である。始動入賞口14および大入賞口（開閉板）22の状態が復元される。表示制御手段によって制御される普通図柄の表示状態（可変表示器10の表示状態）は、電源断時に変動中であつた場合を除いて復元される。表示制御手段によって制御される特別図柄の表示状態（可変表示部9の表示状態）は、電源断時に変動中であつた場合を除いて復元される。さらに、可変表示部9に表示される背景やキャラクタは、特別図柄変動中および大

10

20

30

40

50

当り遊技中であった場合を除いて復元される。

【0215】

特別図柄の変動中に電源断となった場合には、可変表示パターンの変動時間（たとえば10秒）および既に実行した時間（たとえば4秒）の情報がバックアップされる。そして、主基板31は、普及時に、表示パターンを示す表示制御コマンドおよび停止図柄を示す表示制御コマンドを表示制御基板80に出力し、残り時間（上述の例では6秒）経過後に、図柄を停止させるため表示制御コマンドを出力する。したがって、特別図柄の表示状態は、電源断時に特別図柄の変動中であった場合には、復旧時に、表示されていない残りの時間（上述の例では6秒）につき可変表示が実行される。なお、復旧時に表示制御基板80に対して出力される表示パターンを示す表示制御コマンドは、電源断前に出力された表示パターンを示す表示制御コマンドと同じものであってもよいが、「停電復旧中です」のような画像表示をさせるためのコマンドとしてもよい。この場合、「電源復旧中です」の表示は、残り時間（上述の例では6秒）表示される。なお、特別図柄の変動中に電源断となった場合の、普通図柄の表示状態に基づいても、上述と同様の制御が行なわれる。

10

【0216】

なお、大当り遊技中に電源断となった場合にも、上述した特別図柄の変動中に電源断となった場合と同様に、ラウンド中あるいはラウンド間のインターバルの残り時間について、復旧時に、表示、音、ランプ、ソレノイド16, 21などを制御するが、主基板31は、表示制御基板80に対して電源断前に出力した確定時の図柄（停止図柄）を指定する表示制御コマンドを出力する。

20

【0217】

これにより、ラウンド中あるいはラウンド間の大当り図柄による演出が可能となり（大当り図柄で大当り演出する機種について）、また、大当り終了後の変動開始時に表示する図柄も表示制御基板80が認識することができる。

【0218】

ランプ制御手段が制御する装飾ランプ25、始動記憶表示器18、ゲート通過記憶表示器41、賞球ランプ51および玉切れランプ52の表示状態が復旧される。遊技効果ランプ・LED28a, 28b, 28cの表示状態は、特別図柄変動中および大当り遊技中であった場合を除いて復元される。ただし、電源断時に大当り遊技中であった場合には、各制御区間の最初の状態に復元可能である。各制御区間とは、たとえば、大当り開始保持状態、大入賞開放前状態、大入賞口開放中状態、大当り終了報知状態である。なお、特別図柄変動中に電源断となった後復旧した場合には、上述した可変表示部9や可変表示装置10の表示制御と同様に、残り時間分だけ遊技効果ランプ・LED28a, 28b, 28cの表示状態を制御するようにしてもよいが、消灯または停電復旧時特有のパターンで点灯・点滅するようにしてもよい。

30

【0219】

音声制御手段が制御する音声発生状態は、特別図柄変動中および大当り遊技中であった場合を除いて復元される。ただし、電源断時に大当り遊技中であった場合には、各制御区間の最初の状態に復元可能である。なお、特別図柄変動中に電源断となった後復旧した場合には、上述した可変表示部9や可変表示装置10の表示制御と同様に、残り時間分だけ音声発生状態を制御するようにしてもよいが、無音または停電復旧時特有の音声パターン（たとえば「停電復旧中です」との音声）を出力するようにしてもよい。

40

【0220】

なお、この実施の形態では、電源断からの復旧時に、主基板31の遊技制御手段から表示制御手段、ランプ制御手段および音声制御手段に対して状態復元のための制御コマンドが送り出されるが、表示制御手段、ランプ制御手段および音声制御手段が電源バックアップされる場合には、主基板31からの制御コマンドを用いることなく、表示制御手段、ランプ制御手段および音声制御手段が独自に制御状態を復旧するように構成してもよい。

【0221】

また、後述するように、払出制御基板37に搭載されている払出制御手段は、電源バック

50

アップされているので、電源断からの復旧時に、賞球払出状態および球貸制御状態は、電源断時の状態に復旧する。この実施の形態では、発射制御基板は払出制御基板に接続されているので、発射制御基板 9 1 における制御状態も同様に復元される。

【0222】

遊技状態を電源断時の状態に復旧させると、この実施の形態では、CPU 5 6 は、前回の電源断時の割込許可 / 禁止状態を復帰させるため、バックアップ RAM に保存されていたパリティフラグの値を確認する (ステップ S 6 4)。パリティフラグがクリアであれば、割込許可設定を行なう (ステップ S 6 5)。一方、パリティフラグがオンであれば、そのまま (ステップ S 1 a で設定された割込禁止状態のまま) 遊技状態復旧処理を終える。

【0223】

なお、ここでは、遊技状態復旧処理が終了するとメイン処理にリターンするように遊技状態復旧処理プログラムが構成されているが、電力供給停止時処理において保存されているスタックポインタが指すスタックエリア (バックアップ RAM 領域にある) に記憶されているアドレス (電源断時の NMI 割込発生時に実行されていたアドレス) に戻るようにしてもよい。

【0224】

上述したように、初期設定処理を開始した後、復旧処理を終える前まで、または初期化処理を終える前までの間は、割込禁止状態とする構成としたことで、割込により処理が中断されることを防止することができるため、初期設定、バックアップデータ記憶領域の内容に応じて行なわれる電源断時の状態に復旧させるか否かの判別、および復旧処理 (または初期化処理) を確実に完了させることができる。なお、上記のように復旧処理を終える前まで割込禁止状態とする構成とした場合であっても、電源断時の割込禁止 / 許可状態をパリティフラグによりバックアップしているため、復旧処理において電源断時の割込禁止 / 許可状態を確実に復旧することができる。

【0225】

なお、上記の実施の形態では、遊技制御手段において、データ保存処理および復旧処理が行なわれる場合について説明したが、払出制御手段、音声制御手段、ランプ制御手段および表示制御手段における RAM の一部も電源バックアップされ、払出制御手段、表示制御手段、音声制御手段およびランプ制御手段も、上述したような処理を行なってもよい。ただし、払出制御手段、表示制御手段、音声制御手段およびランプ制御手段は、復旧時にコマンド送出処理を行なう必要はない。

【0226】

図 5 0 は、払出制御コマンドのコマンド形態の一例を示す説明図である。この実施の形態では、払出制御コマンドは 2 バイト構成であり、1 バイト目は MODE (コマンドの分類) を表わし、2 バイト目は EXT (コマンドの種類) を示す。なお、図 5 0 に示されたコマンド形態は一例であって、他のコマンド形態を用いてもよい。

【0227】

図 5 1 は、払出制御コマンドの内容の一例を示す説明図である。図 5 1 に示された例において、コマンド FF 0 0 (H) は、払出可能状態を指定する払出制御コマンドである。コマンド FF 0 1 (H) は、払出停止状態を指定する払出制御コマンドである。また、コマンド F 0 X X (H) は、賞球個数を指定する払出制御コマンドである。2 バイト目の「X X」が払出個数を示す。

【0228】

払出制御手段は、主基板 3 1 の遊技制御手段から FF 0 1 (H) の払出制御コマンドを受信すると賞球払出および球貸を停止する状態となり、FF 0 0 (H) の払出制御のコマンドを受信すると賞球払出および球貸ができる状態となる。また、賞球個数を指定する払出制御コマンドを受信すると、受信したコマンドで指定された個数に応じた賞球払出制御を行なう。

【0229】

図 5 2 は、払出制御コマンドの送出形態の一例を示すタイミング図である。この実施の形

10

20

30

40

50

態では、払出制御コマンドは2バイト構成であり、たとえば、図52に示されるように、払出制御信号の1バイト目および2バイト目が出力されているときに、それぞれINT信号がオン（この例ではローレベル）になる。INT信号のオンの期間はたとえば1μs以上であり、1バイト目と2バイト目との間にはたとえば10μs以上の期間があげられる。なお、払出制御コマンドは、1バイト構成としてもよい。

【0230】

なお、払出制御コマンドは、払出制御手段が認識可能に1回だけ送り出される。認識可能とは、この例では、INT信号がオン状態となることであり、認識可能に1回だけ送り出されるとは、この例では、払出制御信号の1バイト目および2バイト目のそれぞれに応じてINT信号が1回だけオン状態になることである。

10

【0231】

なお、図53に示すように、払出制御コマンドを1バイト構成としてもよい。その場合、8ビットの払出制御信号CD0～CD7によって払出制御コマンドが出力される。そして、払出制御信号が出力されているときに、INT信号がオン（この例ではローレベル）になる。INT信号のオン期間はたとえば1μs以上である。払出制御手段は、INT信号に応じた割込処理によって払出制御信号CD0～CD7を入力する。

【0232】

次に、遊技制御手段以外の電気部品制御手段においてデータ保存処理および復旧処理が行なわれる場合の例として、払出制御手段においてデータ保存や復旧が行なわれる場合について説明する。

20

【0233】

図54は、払出制御用CPU371まわりの一構成例を示すブロック図である。図54に示すように、第1の電源監視回路（第1の電源監視手段）からの電圧低下信号が、バッファ回路960を介して払出制御用CPU371のマスク不能割込端子（XNMI端子）に接続されている。第1の電源監視回路は、遊技機が使用する各種直流電源のうちいずれかの電源の電圧を監視して、電源電圧低下を検出する回路である。この実施の形態では、V_{SL}の電源電圧を監視して電圧値が所定値以下になるとローレベルの電圧低下信号を発生する。電圧V_{SL}は、遊技機で使用される直流電圧のうち最大のものであり、この例では+30Vである。したがって、払出制御用CPU371は、割込処理によって電源断の発生を確認することができる。

30

【0234】

払出制御用CPU371のCLK/TRG2端子には、主基板31からのINT信号が接続されている。CLK/TRG2端子にクロック信号が入力されると、払出制御用CPU371に内蔵されているタイムカウンタレジスタCLK/TRG2の値がダウンカウントされる。そして、レジスタ値が0になると割込が発生する。したがって、タイマカウンタレジスタCLK/TRG2の初期値を「1」に設定しておけば、INT信号の入力に応じて割込が発生することになる。

【0235】

払出制御基板37には、システムリセット回路975も搭載されているが、この実施の形態では、システムリセット回路975は、第2の電源監視回路（第2の電源監視手段）も兼ねている。すなわち、リセットIC976は、電源投入時に、コンデンサ容量で決る所定時間だけ出力をローレベルとし、所定時間が経過すると出力をハイレベルにする。また、リセットIC976は、電源基板910に搭載されている第1の電源監視回路が監視する電源電圧と等しい電源電圧である電圧V_{SL}を監視して電圧値が所定値（たとえば+9V）以下になるとローレベルを電圧低下信号を発生する。したがって、電源断時には、リセットIC976からの電圧低下信号がローレベルになることによって払出制御用CPU371がシステムリセットされる。なお、図54に示すように、電圧低下信号はリセット信号と同じ出力信号である。

40

【0236】

リセットIC976が電源断を検知するための所定値は、通常時の電圧より低いが、払出

50

制御用のCPU371がしばらくの間動作し得る程度の電圧である。また、リセットIC976が、払出制御用CPU371が必要とする電圧（この例では+5V）よりも高い電圧を監視するように構成されているので、払出制御用CPU371が必要とする電圧に対して監視範囲を広げることができる。したがって、より精密な監視を行なうことができる。

【0237】

電圧+5Vの電源から電力が供給されていない間、払出制御用CPU371の内蔵RAMの少なくとも一部は、電源基板から供給されるバックアップ電源がバックアップ端子に接続されることによってバックアップされ、遊技機に対する電源が断たれも内容が保存される。そして、+5V電源が復旧すると、システムリセット回路975からリセット信号が発せられるので、払出制御用CPU371は、通常の動作状態に復帰する。そのとき、必要なデータがバックアップされているので、停電等からの復旧時には停電発生時の遊技状態に復帰することができる。

10

【0238】

以上のように、この実施の形態では、電源基板910に搭載されている第1の電源監視回路が、遊技機で使用される直流電圧のうちで最も高い電源VSLの電圧を監視して、その電源の電圧が所定値を下回ったら電圧低下信号（電源断検出信号）を発生する。電源断検出信号から出力されるタイミングでは、IC駆動電圧は、まだ各種回路素子を十分駆動できる電圧になっている。したがって、IC駆動電圧で動作する払出制御基板37の払出制御用CPU371が所定の電力供給停止時処理を行なうための動作時間が確保されている。

20

【0239】

なお、ここでも、第1の電源監視回路は、遊技機で使用される直流電圧のうちで最も高い電源の電圧VSLを監視することになるが、電源断検出信号を発生するタイミングは、IC駆動電圧で動作する電気部品制御手段が所定の電力供給停止時処理を行なうための動作時間が確保されるようなタイミングであれば、監視対象電圧は、最も高い電源の電圧VSLでなくてもよい。すなわち、少なくともIC駆動電圧よりも高い電圧を感知すれば、電気部品制御手段が所定の電力供給停止時処理を行なうための動作時間が確保されるようなタイミングで電源断検出信号を発生することができる。

【0240】

その場合、上述したように監視対象電圧は、賞球カウントスイッチ301A等の遊技機の各種スイッチに供給される電圧が+12Vであることから、電源断時のスイッチオン誤検出の防止も期待できる電圧であることは好ましい。すなわち、スイッチに供給される電圧（スイッチ電圧）である+12V電源電圧が落ち始める以前の段階で、電圧低下を検出することが好ましい。よって、少なくともスイッチ電圧よりも高い電圧を監視することが望ましい。

30

【0241】

なお、図54に示された構成では、システムリセット回路975は、電源投入時に、コンデンサの容量で決る期間のローレベルを出力し、その後ハイレベルを出力する。すなわち、リセット回路タイミングは1回だけである。しかし、図39に示された主基板31の場合と同様に、複数回のリセット回路タイミングが発生するような回路構成を用いてもよい。

40

【0242】

また、リセットIC976の外付けコンデンサ977の容量により規定される遅延時間は、電源基板910からの電源供給が開始し、各基板（音声制御基板70、ランプ制御基板35、表示制御基板80、払出制御基板37）が完全に起動するのに十分な時間を担保している。これにより、遊技制御手段のCPU371が制御コマンドを出力した時点で出力対象の基板が動作しておらず、コマンドに応じた制御ができないという不都合が解消される。

【0243】

また、外付けコンデンサ977の他、リセットIC976から出力された信号を、CPU

50

56に伝送する信号線の途中に遅延回路を設けて、CPU371の処理の開始時に待機処理を行なってもよい。また、電源基板に各基板のシステムリセットを管理する手段を設け、電源基板910側で立上げ順を管理してもよい。

【0244】

また、上記システムリセット回路975は、電力供給開始時にCPU371に対してシステムリセット信号を出力する初期リセット回路と、電圧の低下を検出してCPU371の動作を停止される電源監視回路とからなる構成としてもよい。

【0245】

図55は、払出制御用CPU371のメイン処理を示すフローチャートである。メイン処理では、払出制御用CPU371は、まず、必要な初期設定を行なう（ステップS701）。

10

【0246】

図56は、ステップS701の初期設定処理を示すフローチャートである。初期設定処理において、払出制御用CPU371は、まず、割込禁止に設定する（ステップS701a）。次に、払出制御用CPU371は、割込モードを割込モード2に設定し（ステップS701b）、スタックポインタにスタックポインタ指定アドレスを設定する（ステップS701c）。また、払出制御用CPU371は、内蔵デバイスレジスタの初期化（ステップS701d）、CTC（カウンタ/タイマ）およびPIO（パラレル入出力ポート）の初期化（ステップS701e）を行なった後、RAMをアクセス可能状態に設定する（ステップS701f）。

20

【0247】

この実施の形態では、タイマ/カウンタ割込としてCH2、CH3のカウントアップに基づく割込を使用する。CH2のカウントアップに基づく割込は、上述したタイマカウンタレジスタCLK/TRG2の値が「0」になったときに発生する割込である。したがって、ステップS701eにおいて、タイマカウンタレジスタCLK/TRG2に初期値「1」が設定される。また、CH3のカウントアップに基づく割込は、CPUの内部クロックをカウントダウンしてレジスタ値が「0」になったはら発生する割込であり、後述する2msタイマ割込として用いられる。具体的には、CH3のレジスタ値はシステムクロックの1/256周期で減算される。ステップS701eにおいて、CH3のレジスタには、初期値として2msに相当する値が設定される。なお、CH2に関する割込番地は0074Hであり、CH3に関する割込番地は0076Hである。

30

【0248】

そして、払出制御用CPU371は、払出制御用のバックアップRAM領域にバックアップデータが存在しているか否かの確認を行なう（ステップS702）。すなわち、たとえば、バックアップRAM領域に形成されている後述する総合個数記憶または貸玉個数記憶（図59参照）を確認して、未払出の賞球個数および貸玉個数に関するバックアップデータがないかどうかを確認する。不測の電源断が生じた場合には、多くの場合何らかのデータがバックアップRAM領域に保存されており、バックアップRAM領域のデータは保存されていたはずであるから、後に復旧した場合の確認結果の多くはバックアップデータありとなる。バックアップなしという確認結果であれば、前回の電源オフ時に未払出の遊技球がなかったことになり、内部状態を電源断時の状態に戻す必要がないので、停電復旧時でない電源投入時に実行される初期化処理を実行する（ステップS702、S703）。なお、本例では、バックアップRAM領域にバックアップデータが存在しているか否かは、電源断時にバックアップRAM領域に設定されるバックアップフラグによって確認する。

40

【0249】

バックアップRAM領域にバックアップデータが存在している場合には、この実施の形態では、払出制御用CPU371は、バックアップRAM領域のデータチェック（この例ではパリティチェック）を行なう（ステップS704）。不測の電源断が生じた後に復旧した場合には、バックアップRAM領域のデータは保存されていたはずであるから、チェッ

50

ク結果は正常になる。チェック結果が正常でない場合には、内部状態を電源断時の状態に戻すことができないので、停電復旧時でない電源投入時に実行される初期化処理を実行する（ステップS705，S703）。

【0250】

チェック結果が正常であれば、払出制御用CPU371は、内部状態を電源断時の状態に戻すための払出状態復旧処理を行なう（ステップS706）。そして、バックアップRAM領域に保存されていたPC（プログラムカウンタ）の指すアドレスに復帰する（ステップS707）。

【0251】

通常の初期化処理の実行（ステップS703）を得ると、払出制御用CPU371により実行されるメイン処理は、タイマ割込フラグの開始（ステップS708）の確認が行なわれるグループ処理に移行する。

10

【0252】

なお、この実施の形態では、ステップS702でバックアップデータの有無を確認した後、バックアップデータが存在する場合にステップS704でバックアップ領域のチェックを行なうようにしていたが、逆に、バックアップ領域のチェック結果が正常であったことを確認した後、バックアップデータの有無の確認を行なうようにしてもよい。また、バックアップデータの有無の確認、または、バックアップ領域のチェックのいずれかの一方の確認を行なうことで、停電復旧処理を実行するか否かを判断するようにしてもよい。

【0253】

20

また、たとえば停電復旧処理を実行するか否かを判断する場合のパリティチェック（ステップS704）の際などに、すなわち、遊技状態を復旧するか否かを判断する際に、保存されていたRAMデータにおける払出遊技球数データ等によって、遊技機が払出待機状態（払出途中でない状態）であることが確認されたら、払出状態復旧処理を行わずに初期化処理を実行するようにしてもよい。

【0254】

通常の初期化処理では、図57に示すように、レジスタおよびRAMのクリア処理（ステップS901）が行なわれる（ステップS902）。そして、初期設定処理（ステップS701a）において割込禁止とされているので、初期化処理を終える前に割込が許可される（ステップS903）。

30

【0255】

この実施の形態では、払出制御用CPU371の内部タイマ（CH3）が繰返しタイマ割込を発生するように設定される。また、繰返し周期は2msに設定される。そして、図58に示すように、タイマ割込が発生すると、払出制御用CPU371は、タイマ割込フラグをセットする（ステップS711）。なお、2msタイマ割込処理において、必要ならば、CH3のレジスタに対して初期値再設定が行なわれる。

【0256】

払出制御用CPU371は、ステップS708において、タイマ割込フラグがセットされることを検出すると、タイマ割込フラグをリセットするとともに（ステップS709）、払出制御処理を実行する（ステップS710）。以上の制御によって、この実施の形態では、払出制御処理は2ms毎に起動されることになる。なお、この実施の形態では、タイマ割込処理ではフラグセットのみがなされ、払出制御処理ではメイン処理において実行されるが、タイマ割込処理で払出制御処理を実行してもよい。

40

【0257】

払出制御用CPU371は、電源投入時に、バックアップRAM領域のデータを確認するだけで、通常の初期設定処理を行なうのか払出中の状態を復元するのかを決定できる。すなわち、簡単な判断によって、未払出の遊技球について払出処理再開を行なうことができる。

【0258】

また、本例では、払出制御用CPU371も、主基板31のCPU56と同様に、パリティ

50

ィチェックによって記憶内容保存の確実化を図っている。

【0259】

以上説明したように、バックアップデータの有無により電源断時の払出状態に復旧するか否かの判断を行なうようにしたことで、停電後の電源復旧時などにおいて電源投入されたときに、バックアップデータ記憶領域の内容に応じて電源断時の状態に復旧させるか否かの判断を行なうことができる。したがってバックアップデータに基づく制御を実現することができるとともに、不必要な復旧処理の実行を防止することができる。

【0260】

また、上述したように、バックアップデータの状態により電源断時の払出状態に復旧するか否かの判断を行なうようにしたことで、停電後の電源復旧時などにおいて電源投入されたときに、バックアップデータ記憶領域の内容の状態に応じて電源断時の状態に復旧させるか否かの判断を行なうことができる。したがって正常なバックアップデータに基づく制御を実現することができるとともに、異常が発生したバックアップデータに基づく復旧処理の実行を防止することができる。

10

【0261】

図59は、払出制御用CPU371が内蔵するRAMの使用例を示す説明図である。この例では、バックアップRAM領域に総合個数記憶（たとえば2バイト）および貸玉個数記憶が形成されている。総合個数記憶は、主基板31の側から指示された払出個数の挿通を記憶するものである。貸玉個数記憶は、未払出の球貸個数を記憶するものである。

【0262】

図60は、割込処理による払出制御コマンド受信処理を示すフローチャートである。主基板31からの払出制御用のINT信号は払出制御用CPU371のCLK/TRG2端子に入力される。よって、主基板31からのINT信号がオン状態になると、払出制御用CPU371に割込がかかり、図60に示す払出制御コマンドの受信処理が開始される。この実施の形態では、受信した払出制御コマンドを格納するための12バイトの確定コマンドバッファ領域が設けられている。そして、受信した払出制御コマンドの格納位置を示すためにコマンド受信個数カウンタが用いられる。なお、払出コマンドは、2バイト構成であるから、実質的には6個の払出制御コマンドの確定コマンドバッファ領域に格納可能である。

20

【0263】

払出制御コマンドの受信処理において、払出制御用CPU371が、まず、払出制御コマンドデータの入力に割当てられている入力ポート372aからデータを読み込む（ステップS851）。そして、2バイト構成の払出制御コマンドのうちの1バイト目であるか否かを確認する（ステップS852）。1バイト目であるか否かは、受信したコマンドの先頭ビットが「1」であるか否かで判断できる。先頭ビットが「1」であるのは、2バイト構成の払出制御コマンドのうちMODEバイト（1バイト目）のはずである（図50参照）。先頭ビットが「1」であれば、有効な1バイト目を保持し主として、受信したコマンドを確定コマンドバッファ領域におけるコマンド受信個数カウンタが示す確定コマンドバッファに格納する（ステップS853）。

30

【0264】

払出制御コマンドのうちの1バイト目でなければ、1バイト目を既に受信したか否かを確認する（ステップS854）。既に受信したか否かは、受信バッファ（ステップS853における確定コマンドバッファ）に有効なデータが設定されているか否かで確認できる。

40

【0265】

次に、2バイト目を既に受信している場合には、受信した1バイトのうちの先頭ビットが「0」であるか否かを確認する。そして、先頭ビットが「0」であれば、有効な2バイト目を受信したとして、受信したコマンドを、確定コマンドバッファ領域におけるコマンド受信個数カウンタ+1が示す確定コマンドバッファに格納する（ステップS855）。先頭ビットが「0」であるのは、2バイト構成の払出制御コマンドのうちEXTバイト（2バイト目）のはずである（図50参照）。なお、ステップS854の判別において、受信

50

した1バイトのうちの先頭ビットが「0」でなければ、処理を終了する。

【0266】

ステップS855において、2バイト目のコマンドデータを格納すると、コマンド受信個数カウンタに2を加算する(ステップS856)。そして、コマンド受信カウンタが12以上であるか否かを確認し(ステップS857)、12以上であればコマンド受信個数カウンタをクリアする(ステップS858)。

【0267】

図61は、ステップS710の払出制御処理を示すフローチャートである。払出制御処理において払出制御用CPU371は、まず、中継基板72を介して入力ポート372bに入力される賞球カウントスイッチ301A、球貸カウントスイッチ301Bがオンしたか否かを判定する(スイッチ:ステップS751)。

10

【0268】

次に、払出制御用CPU371は、センサ(たとえば、払出モータ289の間点数を検出するモータ位置センサ)からの信号入力状態を確認してセンサの状態判定などを行なう(入力判定処理:ステップS752)。払出制御用CPU371は、さらに、受信した払出制御コマンドを解析し、解析結果に応じた処理を実行する(コマンド解析実行処理:ステップS753)。

【0269】

次いで、払出制御用CPU371は、主基板31より受信した払出停止指示コマンドに応じて払出停止状態に設定し、あるいは受信した払出開始指示コマンドに応じて払出停止状態の解除を行なう(ステップS754)。また、プリペードカードユニット制御処理を行なう(ステップS755)。

20

【0270】

また、払出制御用CPU371は、球貸要求に応じて貸玉を払出す制御を行なう(ステップS756)。さらに、払出制御用CPU371は、総合個数記憶に格納された個数の賞球を払出す賞球制御処理を行なう(ステップS757)。そして、払出制御用CPU371は、出力ポート372cおよび中継基板72を介して玉払出装装置97の払出機構部分における払出モータ289に向けて駆動信号を出力し、ステップS756の球貸制御処理またはステップS757の賞球制御処理で設定された回転数分払出モータ289を介して払出モータ制御処理を行なう(ステップS758)。

30

【0271】

なお、この実施の形態では、払出モータ289としてステッピングモータが用いられ、払出モータ289を制御するために1-2層励磁方式が用いられる。したがって、具体的には、払出モータ制御処理において、8種類の励磁パターンデータが繰返し払出モータ289に出力される。また、この実施の形態では、各励磁パターンデータが4msずつ出力される。

【0272】

次いで、エラー検出処理が行なわれ、その結果に応じてエラー表示LED374に所定の表示を行なう(エラー:ステップS759)。検出されるエラーとして、たとえば、次の8種類がある。

40

【0273】

賞球径路エラー:賞球払出動作終了したとき、または、払出モータ289が1回転したときに賞球カウントスイッチ301Aが1個も遊技球の通過を検出しなかったとき、エラー表示LED374に「0」が表示される。

【0274】

球貸径路エラー:球貸の払出動作終了後において、または、払出モータ289が1回転したときに球貸カウントスイッチ301Bが1個も遊技球の通過を検出しなかったとき、エラー表示LED374に「1」が表示される。

【0275】

賞球カウントスイッチ玉詰まりエラー:賞球カウントスイッチ301Aが0.5秒以上オ

50

ンを検出したとき、エラー表示LED374に「2」が表示される。

【0276】

球貸カウントスイッチ玉詰まりエラー：球貸カウントスイッチ301Bが0.5秒以上オンを検出したとき、エラー表示LED374に「3」が表示される。

【0277】

払出モータ玉噛みエラー：払出モータ289が正常に回転しないとき。具体的には、払出モータ位置センサのオンが所定期間以上継続したり、オフが所定期間以上継続した場合、エラー表示LED374に「4」が表示される。なお、払出モータ玉噛みエラーが生じた場合には、払出制御用CPU371は、50msの基準励磁層の出力を行なった後、1 - 2層励磁の励磁パターンデータのうちの4種類の励磁パターンデータを8ms毎に出力することによる払出モータ289の逆回転と正回転とを繰返す。

10

【0278】

プリペードカードユニット未接続エラー：VL信号のオフが検出されたとき。エラー表示LED374に「5」が表示される。

【0279】

プリペードカードユニット通信エラー：規定のタイミング以外でプリペードカードユニット50から信号を出力されたことを検出したとき。エラー表示LED374に「6」が表示される。

【0280】

払出停止状態：主基板31から払出停止を示す払出制御コマンドを受信したとき。エラー表示LED374に「7」が表示される。なお、主基板31から払出開始を示す払出制御コマンドを受信したときには、その時点から2002ms後に、払出停止状態から払出開始状態に復旧する。

20

【0281】

外部接続端子（図示せず）から出力する情報信号を制御する処理を行なう（出力処理：ステップS760）。なお、情報信号は、貸玉の払出1単位（たとえば25個）毎に所定時間オンとなり、続いて所定時間オフを出力する信号である。

【0282】

図62は、ステップS751のスイッチ処理の一例を示すフローチャートである。スイッチ処理において、払出制御用CPU371は、賞球カウントスイッチ301Aがオンした状態を示しているか否かを確認する（ステップS751a）。オン状態を示していれば、払出制御用CPU371は、賞球カウントスイッチオンカウンタを+1する（ステップS751b）。賞球カウントスイッチオンカウンタは、賞球カウントスイッチ301Aのオンの状態を検出した回数を計数するためのカウンタである。

30

【0283】

そして、賞球カウントスイッチオンカウンタの値をチェックし（ステップS751c）、その値が2になっていれば、1個賞球の払出が行なわれたと判断する。1個の賞球の払出が行なわれた判断した場合には、払出制御用CPU371は、賞球未払出カウンタ（総合個数記憶に格納されている賞球数を）を-1する（ステップS751d）。

【0284】

ステップS751aにおいて賞球カウントスイッチ301Aがオン状態でないことが確認されると、払出制御用CPU371は、賞球カウントスイッチオンカウンタをクリアする（ステップS751e）。そして、この実施の形態では、球貸カウントスイッチ301Bがオン状態を示しているか否かを確認する（ステップS751f）。オン状態を示していれば、払出制御用CPU371は、球貸カウントスイッチオンカウンタを+1する（ステップS751g）。球貸カウントスイッチオンカウンタは、球貸カウントスイッチ301Bのオン状態を検出した回数を計数するためのカウンタである。

40

【0285】

そして、球貸カウントスイッチオンカウンタの値をチェックし（ステップS751h）、その値が2になっていれば、1個の球貸の払出が行なわれたと判断する。1個の球貸の払

50

出が行なわれたと判断した場合には、払出制御用CPU371は、貸玉未払出個数カウンタ（貸玉個数記憶に格納されている貸玉数）を-1する（ステップS751i）。

【0286】

ステップS751fにおいて球貸カウントスイッチ301Bがオン状態でないことが確認されると、払出制御用CPU371は、球貸カウントスイッチオンカウンタをクリアする（ステップS751j）。

【0287】

図63は、ステップS753のコマンド解析実行処理の一例を示すフローチャートである。コマンド解析実行処理において、払出制御用CPU371は、確定コマンドバッファ領域中に受信コマンドがあるか否かの確認を行なう（ステップS753a）。受信コマンドがあれば、受信した払出制御コマンドが払出個数指示コマンドであるか否かの確認を行なう（ステップS753b）。なお、確定コマンドバッファ領域中に複数の受信コマンドがある場合には、受信した払出制御コマンドが払出個数指示コマンドであるか否かの確認は、最も前に受信された受信コマンドについて行なわれる。

10

【0288】

受信した払出制御コマンドが払出個数指示コマンドであれば、払出個数指示コマンドで受信された個数を総合個数記憶に加算する（ステップS753c）。すなわち、払出制御用CPU371は、主基板31のCPU56から送り出された払出個数指示コマンドに含まれる賞球数バックアップRAM領域（総合個数記憶）に記録する。

【0289】

なお、払出制御用CPU371は、必要ならば、コマンド受信個数カウンタの減算や確定コマンドバッファ領域における受信コマンドシフト処理を行なう。

20

【0290】

図64は、ステップS754の払出停止状態設定処理の一例を示すフローチャートである。払出停止状態設定処理において、払出制御用CPU371は、確定コマンドバッファ領域中に受信コマンドがあるか否かの確認を行なう（ステップS754a）。確定コマンドバッファ領域中に受信コマンドがあれば、受信した払出制御コマンドが払出停止指示コマンドであるか否かの確認を行なう（ステップS754b）。払出停止指示コマンドであれば、払出制御用CPU371は、払出停止状態に設定する（ステップS754c）。

【0291】

ステップS754bで受信コマンドが払出停止指示コマンドでないことを確認すると、受信した払出制御コマンドが払出開始指示コマンドであるか否かの確認を行なう（ステップS754d）。払出開始指示コマンドであれば、払出停止状態を解除する（ステップS754e）。

30

【0292】

図65は、ステップS755のプリペードカードユニット制御処理の一例を示すフローチャートである。プリペードカードユニット制御処理において、払出制御用CPU371は、カードユニット制御用マイクロコンピュータにより入力されるVL信号を検知したか否かを確認する（ステップS755a）。VL信号を検知していなければ、VL信号非検知カウンタを+1する（ステップS755b）。また、払出制御用CPU371は、VL信号非検知カウンタの値が本例では125であるか否かを確認する（ステップS755c）。VL信号非検知カウンタの値が125であれば、払出制御用CPU371は、発射制御基板91への発射制御信号出力を停止して、駆動モータ94を停止させる（ステップS755d）。

40

【0293】

以上の処理によって、125回（ $2\text{ms} \times 125 = 250\text{ms}$ ）継続してVL信号のオフが検出されたら、玉発射禁止状態に設定される。

【0294】

ステップS755aにおいてVL信号を検知していれば、払出制御用CPU371は、VL信号非検知カウンタをクリアする（ステップS755e）。そして、払出制御用CPU

50

371は、発射制御信号出力を停止していれば（ステップS755f）、発射制御基板91への発射制御信号出力を開始して駆動モータ94を動作可能状態にする（ステップS755g）。

【0295】

図66および図67は、ステップ756の球貸制御処理の一例を示すフローチャートである。なお、この例では、連続的な払出数の最大値を貸玉の1単位（本例では25個）としているが、他の数であってもよい。

【0296】

球貸制御処理において、払出制御用CPU371は、貸玉払出中であるか否かの確認を行ない（ステップS511）、貸玉払出中であれば図67に示す球貸中の処理に移行する。なお、この確認は、後述する球貸処理中フラグの状態のように判断される。貸玉払出中 でなければ、賞球の払出中であるか否かの確認をする（ステップS512）。この確認は、後述する賞球処理中フラグの状態により判断される。

10

【0297】

貸玉払出中でも賞球払出中でもなければ、払出制御用CPU371は、カードユニット50から球貸要求があったか否かを確認し（ステップS513）、要求があれば、球貸処理中フラグをオンするとともに（ステップS514）、25（球貸1単位数：ここでは100円分）をバックアップRAM領域の貸玉個数記憶に設定する（ステップS515）。そして、払出制御用CPU371は、EXS信号をオンする（ステップS516）。そして、玉払出装置97の下方の玉振分部材311を球貸側に設定するために振分用ソレノイド310を駆動する（ステップS517）。また、払出モータ289をオンして（ステップS518）、図67に示す球貸処理に移行する。

20

【0298】

なお、払出モータ289がオンするのは、厳密には、カードユニット50が受付を認識したことを示すためにBRQ信号をOFFとしてからである。なお、球貸処理中フラグがバッファRAM領域に設定される。

【0299】

図67は、払出制御用CPU371による払出制御処理における球貸中の処理を示すフローチャートである。球貸処理では、払出モータ289がオンしていなければオンする。なお、この実施の形態では、ステップS751のスイッチ処理で、球貸カウントスイッチ301Bの検出出力による遊技球の払出がなされたか否かの確認を行なうため、球貸制御処理では、貸玉個数記憶の減算などは行なわれない。球貸制御処理において、払出制御用CPU371は、貸玉通過待ち時間中であるか否かの確認を行なう（ステップS519）。貸玉通過待ち時間中 でなければ、貸玉の払出を行ない（ステップS520）、払出モータ289の駆動を終了すべきか（1単位の払出動作が終了したか）否かの確認を行なう（ステップS521）。具体的には、所定個数の払出に対応した回転が完了したか否かを確認する。所定個数の払出に対応した回転は、払出モータ位置センサの出力によって監視される。所定個数の払出に対応した回転が完了した場合には、払出制御用CPU371は、払出モータ289の駆動を停止し（ステップS522）、貸玉通過待ち時間の設定を行なう（ステップS523）。

30

40

【0300】

なお、ステップS520の球貸処理では、払出モータ位置センサのオンとオフとがタイマ監視されるが、所定時間以上のオン状態またはオフ状態が継続したら、払出制御用CPU371は、払出モータ玉噛みエラーが生じたと判断する。

【0301】

ステップS519で貸玉通過待ち時間中であれば、払出制御用CPU371は、貸玉通過待ち時間が終了したか否かの確認を行なう（ステップS524）。貸玉通過待ち時間は、最後の払出玉が払出モータ289によって払出されてから球貸カウントスイッチ301Bを通過するまでの時間である。貸玉通過待ち時間の終了を確認すると、1単位の貸玉はすべて払出された状態であるので、カードユニット50に対して次の球貸要求の受付が可能

50

になったことを示すためにE X S 信号をオフにする（ステップS 5 2 4）。また、振分ソレノイドをオフするとともに（ステップS 5 2 5）、払出モータ2 8 9をオフして（ステップS 5 2 6）、さらに球貸処理中フラグをオンする（ステップS 5 2 7）。なお、貸玉通過待ち時間が経過するまでに最後の払出玉が球貸カウントスイッチ3 0 1 Bを通過しなかった場合には、球貸径路エラーとされる。また、この実施の形態では、賞球も球貸も同じ払出装置で行なわれる。

【0302】

なお、球貸要求の受付をE X S 信号をオフした後、所定時間内に再び球貸要求信号であるB R Q 信号がオンしたら、振分ソレノイドおよび払出モータをオフせずに球貸処理を実行するようにしてもよい。すなわち、所定単位（この例では1 0 0 円単位）毎に球貸処理が行なわれるのではなく、球貸処理を連続して実行するように構成することもできる。

10

【0303】

貸玉個数記憶の内容は、遊技機の電源が断しても、所定期間電源基板9 1 0 のバックアップ電源によって保存される。したがって、所定期間中に電源が回復すると、払出制御用C P U 3 7 1 は、貸玉個数記憶の内容に基づいて球貸処理を継続することができる。

【0304】

図6 8 および図6 9 は、ステップ7 5 7 の賞球制御処理の一例を示すフローチャートである。なお、この例では、連続的な払出数の最大値を貸玉の1 単位と同数（本例では2 5 個）としているが、他の数であってもよい。

【0305】

20

賞球制御処理において、払出制御用C P U 3 7 1 は、貸玉払出中であるか否かの確認を行なう（ステップS 5 3 1）。なお、この確認は、球貸処理中フラグの状態により判断される。貸玉払出中でなければ賞球の払出中であるか否かを確認し（ステップS 5 3 2）、賞球の払出中であれば図6 9 に示す賞球中の処理に移行する。この確認は、後述する賞球処理中フラグの状態により判断される。

【0306】

貸玉払出中でも賞球払出中でもなければ、払出制御用C P U 3 7 1 は、カードユニット5 0 からの球貸準備要求があるか否かの確認を行なう（ステップS 5 3 3）。なお、この確認は、払出制御用C P U 3 7 1 により、カードユニット5 0 から入力されるP R D Y 信号のオン（要求あり）またはオフ（要求なし）を確認することにより行なわれる。

30

【0307】

カードユニット5 0 からの球貸準備要求がなければ、払出制御用C P U 3 7 1 は、総合個数記憶に格納されている賞球数（未払出の賞球数）が0 でないか否かの確認を行なう（ステップS 5 3 3）。総合個数記憶に格納されている賞球数が0 でなければ、賞球制御用C P U 3 7 1 は、賞球処理中フラグをオンし（ステップS 5 3 5）、総合個数記憶の値が本例では2 5 以上であるか否かの確認を行なう（ステップS 5 3 6）。なお、賞球処理中フラグが、バックアップR A M 領域に設定される。

【0308】

総合個数記憶に格納されている賞球数が2 5 以上であると、払出制御用C P U 3 7 1 は、2 5 個分の賞球を払出すまで払出モータ2 8 9 を回転させるよう駆動信号出力するために、2 5 個払出動作の設定を行なう（ステップS 5 3 7）。一方、総合個数記憶に格納されている賞球数が2 5 以上でなければ、払出制御用C P U 3 7 1 は、総合個数記憶に格納されているすべての遊技球を払出すまで払出モータ2 8 9 を回転させるよう駆動信号出力するために、全個数払出動作の設定を行なう（ステップS 5 3 8）。そして、ステップS 5 3 7 またはステップS 5 3 8 での設定に従って払出モータ2 8 9 をオンする（ステップS 5 3 8）。なお、振分ソレノイドはオフ状態であるため、玉払出装置9 7 の下方の玉振分部材は賞球側に設定されている。そして、図6 9 に示す賞球制御処理における賞球払出中の処理に移行する。

40

【0309】

図6 9 は、払出制御用C P U 3 7 1 により払出制御処理における賞球中の処理の一例を示

50

すフローチャートである。賞球制御処理では、払出モータ289がオンしていなければオンする。なお、この実施の形態では、ステップS751のスイッチ処理で、賞球カウントスイッチ301Aの検出出力による遊技球の払出がなされたか否かの確認を行なうため、賞球制御処理では総合個数記憶の減算などは行なわれない。賞球中の処理において、払出制御用CPU371は、賞球通過待ち時間中であるか否かの確認を行なう(ステップS540)。賞球通過待ち時間中でなければ、賞球払出を行ない(ステップS541)、払出モータ289の駆動を終了すべきか(本例では25個または25個未満の所定個数の払出動作が終了したか否かの確認を行なう(ステップS542)。具体的には、所定個数の払出に対応した回転が完了したか否かを確認する。所定個数の払出に対応した回転は、払出モータ位置センサの出力によって監視される。所定個数の払出に対応した回転が完了した場合には、払出制御用CPU371は、払出モータ289の駆動を停止し(ステップS543)、賞球通過待ち時間の設定を行なう(ステップS542)。賞球通過待ち時間は、最後の払出玉が払出モータ289によって払出されてから賞球カウントスイッチ301Aを通過するまでの時間である。

10

【0310】

一方、ステップS540を見て賞球通過待ち時間中であれば、払出制御用CPU371は、賞球通過待ち時間が終了したか否かの確認を行なう(ステップS544)。貸玉通過待ち時間の終了を確認すると、ステップS537またはステップS538で設定された賞球がすべて払出された状態であるので、払出モータ289をオフするとともに(ステップS544)、賞球処理中フラグをオンする(ステップS546)。なお、賞球通過待ち時間が経過するまでに最後の払出玉が賞球カウントスイッチ301Aを通過しなかった場合には、賞球径路エラーとされる。

20

【0311】

また、この実施の形態では、ステップS511、ステップS531の判断によって球貸が賞球処理よりも優先されることになるが、賞球処理が球貸に優先されるようにしてもよい。

【0312】

総合個数記憶および貸玉個数記憶の内容は、遊技機の電源が断しても、所定期間電源基板910のバックアップ電源によって保存される。したがって、所定期間中に電源が回復すると、払出制御用CPU371は、総合個数記憶の内容に基づいて払出処理を継続することができる。

30

【0313】

なお、払出制御用CPU371は、主基板31から指示された賞球個数を賞球個数記憶で総数として管理したが、賞球数毎(たとえば、15個、10個、5個)に管理してもよい。たとえば、賞球数毎に対応した個数カウンタを設け、払出個数指定コマンドを受信すると、そのコマンドで指定された個数に対応する個数カウンタを+1する。そして、個数カウンタに対応した賞球払出が行なわれると、その個数カウンタを-1する(この場合、払出制御処理にて減算処理を行なうようにする)。その場合にも、各個数カウンタはバックアップRAM領域に形成される。よって、遊技機の電源が断しても、所定期間中に電源を回復すれば、払出制御用CPU371は、各個数カウンタの内容に基づいて賞球払出処理を継続することができる。

40

【0314】

図70は、電源基板910の電源監視回路から電圧変化信号に基づくNMIに応じて実行される停電発生NMIの処理の一例を示すフローチャートである。なお、この実施の形態では、NMI割込番地は0066Hである。停電発生NMI処理において、払出制御用CPU371は、まず、割込禁止フラグの内容をパリティフラグに格納する(ステップS801)。次いで、割込禁止に設定する(ステップS802)。停電発生NMI処理では、本例では主基板31において実行された処理と同様に、RAM内容の保存を確実にするためのチェックサムの生成処理を行なう。その処理中に他の割込処理が行なわれたのではチェックサムの生成処理が完了しないうちの払出制御用CPU371が動作し得ない電圧に

50

まで低下してしまうことも考えられるので、まず、他の割込が生じないような設定がなされる。なお、停電発生 N M I 処理におけるステップ S 8 0 4 ~ S 8 1 0 は、電力供給停止時の処理の一例である。

【 0 3 1 5 】

なお、割込処理中では他の割込がかからないような仕様の C P U を用いている場合には、ステップ S 8 0 2 の処理は不要である。

【 0 3 1 6 】

次いで、払出制御用 C P U 3 7 1 は、バックアップフラグが既にセットされているか否かを確認する (ステップ S 8 0 3)。バックアップフラグが既にセットされていれば、以後の処理を行なわない。バックアップフラグがセットされていなければ、以下の電力供給停止時処理を実行する。すなわち、ステップ S 8 0 4 からステップ S 8 1 0 の処理を実行する。

10

【 0 3 1 7 】

まず、各レジスタの内容をバックアップ R A M 領域に格納する (ステップ S 8 0 4)。その後、バックアップフラグをセットする (ステップ S 8 0 5)。そして、バックアップ R A M 領域のバックアップチェックデータ領域に適当な初期値を設定し (ステップ S 8 0 6)、初期値およびバックアップ R A M 領域のデータについて順次排他的論理和をとった後判定し (ステップ S 8 0 7)、最終的な演算値をバックアップパリティデータ領域に設定する (ステップ S 8 0 8)。また、R A M アクセス禁止状態にする (ステップ S 8 0 9)。さらに、すべての出力ポートをオフ状態にする (ステップ S 8 1 0)。電源電圧が低下していくときには、各種信号線のレベルが不安定になって R A M 内容が化ける可能性があるが、このように R A M アクセス禁止状態にしておけば、バックアップ R A M 内のデータが化けることはない。

20

【 0 3 1 8 】

次いで、払出制御用 C P U 3 7 1 は、ループ処理に入る。すなわち何らの処理もしない状態になる。したがって、図 5 4 に示されたリセット I C 9 7 6 からのシステムリセット信号によって外部から動作禁止状態にされる前に、内部的に動作停止状態になる。よって、電源断時に確実に払出制御用 C P U 3 7 1 は動作を停止する。その結果、上述した R A M アクセス禁止の制御および動作停止制御によって、電源電圧が低下していくことに伴って生ずる可能性がある異常動作に起因する R A M の内容破壊等を確実に防止することができる。

30

【 0 3 1 9 】

なお、この実施の形態では、停電発生 N M I 処理では、最終部でプログラムをループ状態にしたが、ホールド (H A L T) 命令を発行するように構成してもよい。

【 0 3 2 0 】

また、レジスタの内容を R A M 領域に格納した後にセットされるバックアップフラグは、上述したように電源投入時において復旧すべきバックアップデータがあるか否か (停電からの復旧か否か) を判断する再使用される。また、ステップ S 8 0 1 から S 8 1 0 の処理は、払出制御用 C P U 3 7 1 がシステムリセット回路 9 7 5 からのシステムリセット信号を受ける前に完了する。換言すれば、システムリセット回路 9 7 5 からのシステムリセット信号を受ける前に完了するように、電圧監視回路の検出電圧の設定が行なわれている。

40

【 0 3 2 1 】

この実施の形態では、電力供給停止時処理開始時に、バックアップフラグの確認が行なわれる。そして、バックアップフラグが既にセットされている場合には電力供給停止時処理を実行しない。上述したように、バックアップフラグは、必要なデータのバックアップが完了し、その後電力供給停止時処理が完了したことを示すフラグである。したがって、たとえば、リセット待ちのループ状態で何らかの原因でサイド N M I が発生したとしても電力供給停止時処理が重複して実行されてしまうようなことはない。

【 0 3 2 2 】

50

ただし、割込処理中では他の割込がかからないような仕様のCPUを用いている場合には、ステップS803の判断は不要である。

【0323】

また、この実施の形態では、払出制御用CPU371は、マスク不能外部割込端子(NMI端子)を介して電源基板からのNMI割込信号(電源監視手段からのNMI割込信号)を検知したが、NMI割込信号をマスク可能割込端子(IRQ端子)に導入してもよい。その場合には、IRQ処理によって、図70に示された停電発生NMI処理が実行される。また、入力ポートを介してNMI割込信号を検知してもよい。その場合には、払出制御用CPU371が実行するメイン処理において、入力ポートの監視が行なわれる。

【0324】

図71は、バックアップパリティデータ作成方法の一例を説明するための説明図である。ただし、図71に示す例では、簡単のために、バックアップデータRAM領域のデータのサイズを3バイトとする。電源電圧低下に基づく停電発生処理において、図71に示すように、バックアップチェックデータ領域に、初期データ(この例では00H)が設定される。次に、「00H」と「F0H」の排他的論理和がとられ、その結果と「16H」の排他的論理和がとられる。さらに、その結果と「DFH」の排他的論理和がとられる。そして、その結果(この例では「39H」)を反転して得られた値(この例では「C6H」)がバックアップパリティデータ領域に設定される。

【0325】

電源が再投入されたときには、停電復旧処理においてパリティ診断が行なわれる。バックアップ領域の全データがそのまま保存されていれば、電源再投入時に、図71に示すようなデータがバックアップ領域に設定されている。

【0326】

ステップS704の処理において、払出制御用CPU371は、図70のステップS806およびステップS807にて実行された処理と同様の処理を行なう。すなわち、バックアップチェックデータ領域に、初期データ(この例では00H)が設定され、「00H」と「F0H」の排他的論理和がとられ、その結果と「16H」の排他的論理和がとられる。さらに、その結果、「DFH」の排他的論理和がとられる。そして、その結果(この例では「39H」)を反転した最終演算結果を得る。バックアップ領域の全データがそのまま保存されていれば、最終的な演算結果は、「C6H」、すなわち、バックアップチェックデータ領域に設定されているデータと一致する。バックアップRAM領域内のデータにビット誤りが生じた場合には、最終的な演算結果は「C6H」にならない。

【0327】

よって、払出制御用CPU371は、最終的な演算結果とバックアップチェックデータ領域に設定されているデータとを比較して、一致すればパリティ診断正常とする。一致しなければパリティ診断異常とする。

【0328】

以上のように、この実施の形態では、払出制御手段には、遊技機の電源が断しても、所定期間電源バックアップされる記憶手段(この例ではバックアップRAM)が設けられ、電源投入時に、払出制御用CPU371(具体的には払出制御用CPU371が実行するプログラム)は、記憶手段がバックアップ状態にあればバックアップデータに基づいて払出状態を回復させる払出状態復旧処理(ステップS706)を行なうように構成される。

【0329】

以下、払出復旧処理について説明する。

図72は、図55のステップS706に示された払出状態復旧処理の一例を示すフローチャートである。この例では、払出制御用CPU371は、バックアップRAMに保存されていた値をレジスタに復元する(ステップS861)。そして、バックアップRAMに保存されていたデータに基づいて停電時の払出状態を復旧するための処理を行なう。たとえば、賞球中処理中フラグのセット等を行なう。

【0330】

10

20

30

40

50

払出状態を復帰させると、この実施の形態では、払出制御用CPU371は、前回の電源断時の割込許可/禁止状態を復帰させるため、バックアップRAMに保存されていたパリティフラグの値を確認する(ステップS862)。パリティフラグがクリアであれば、割込許可設定を行なう(ステップS863)。一方、パリティフラグがオンであれば、そのまま(ステップS701aで設定された割込禁止状態のまま)払出状態復旧処理を終える。

【0331】

なお、ここでは、払出状態復旧処理が終了すると払出制御メイン処理にリターンするように払出状態復旧処理プログラムが構成されているが、電力供給停止時処理において保存されているスタックポインタから出すスタックエリア(バックアップRAM領域にある)に記憶されているアドレス(電源断時のNMI割込発生時に実行されていたアドレス)に戻るようにしてもよい。

10

【0332】

上述したように、初期設定処理を開始した後、払出状態復旧処理を終える前まで、または、初期化処理を終える前までは、割込禁止状態とする構成としたことで、割込により処理が中断されることを防止することができるため、初期設定、バックアップデータ記憶領域の内容に応じて行なわれる電源断時の払出状態に復旧させるか否かの判断、および復旧処理(または初期化処理)を確実に完了させることができる。なお、上記のように復旧処理を終える前まで割込禁止状態とする構成とした場合であっても、電源断時の割込禁止/許可状態はパリティフラグによりバックアップしているため、復旧処理において電源断時の割込禁止/許可状態を確実に復旧させることができる。

20

【0333】

図73は、遊技機の電源断時の電源低下やNMI割込信号(ここでは、電源断信号)の様子を示すタイミング図である。遊技機に対する電力供給が絶たれると、最も高い直流電源電圧であるVSLの電圧値は徐々に低下する。そして、この例では、+22Vまで低下すると、電源基板910に搭載されている電源監視用CI902から電源断信号(電圧低下信号)が出力される(ローレベルになる)。

【0334】

電源断信号は、電気部品制御基板(図73に示す例では主基板31および払出制御基板37)に導入され、CPU56および払出制御用CPU371のNMI端子に入力される。CPU56および払出制御用CPU371は、上述したNNMI処理によって、所定の電力供給停止時処理を実行する。

30

【0335】

VSLの電圧値がさらに低下して所定値(この例では+9V)にまで低下すると、主基板31や払出制御基板37に搭載されているリセットIC651の出力がローレベルになり、CPU56および払出制御用CPU371がシステムリセット状態になる。なお、CPU56および払出制御用CPU371は、システムリセット状態とされる前に、電力供給停止時処理を完了している。

【0336】

VSLの電圧値がさらに低下してVcc(各種回路を駆動するための+5V)を生成することが可能な電圧を下回ると、各基板において各種回路が動作できない状態となる。しかし、少なくとも主基板31や払出制御基板37では、電力供給停止時処理が実行され、CPU56および払出制御用CPU371がシステムリセット状態とされている。

40

【0337】

リセットIC976が電源断を検知するための所定値は、CPU371を動作させる通常の電圧より低い、払出制御用CPU371がしばらくの間動作し得る程度の電圧である。また、リセットIC976が払出制御用CPU371が必要とする電圧(この例では+5V)よりも高い電圧を監視するように監視されているので、払出制御用CPU371が必要とする電圧に対して監視範囲を広げることができる。したがってより精密な監視を行なうことができる。

50

【 0 3 3 8 】

また、この実施の形態では、電源基板 9 1 0 に搭載されている電源監視回路が、遊技機で使用される直流電圧のうち最も高い電源 V SL の電圧を監視して、その電源の電圧が所定値を下回ったら電圧低下信号（電源断検出信号）を発生する。図 7 3 に示すように、電源断検出信号から出力されるタイミングでは、I C 駆動電圧は、まだ各種回路素子を十分駆動できる電圧値になっている。したがって、I C 駆動電圧で動作する払出制御基板 3 7 の払出制御用 C P U 3 7 1 が所定の電力供給停止処理を行なうための動作時間が確保されている。

【 0 3 3 9 】

なお、ここでも、電源監視回路は、遊技機で使用される直流電圧のうちで最も高い電源 V SL の電圧を監視することになるが、電源断検出信号を発生するタイミングが、I C 駆動電圧で動作する電気部品制御手段が所定の電力供給停止時処理を行なうための動作時間が確保されるようなタイミングであれば、監視対象電圧は、最も高い電源 V SL の電圧でなくてもよい。すなわち、少なくとも I C 駆動電圧よりも高い電圧を監視すれば、電気部品制御手段が所定の電力供給停止時処理を行なうための動作時間が確保されるようなタイミングで電源断検出信号を発生することができる。

10

【 0 3 4 0 】

この場合、上述したように、監視対象電圧は、賞球カウントスイッチ 3 0 1 A 等の遊技機の各種スイッチに供給される電圧が + 1 2 V であることから、電源断時のスイッチオン誤検出の防止も期待できる電圧であることは好ましい。すなわち、スイッチに供給される電圧（スイッチ電圧）である + 1 2 V 電源電圧が落ち始める以前の段階で、電圧低下を検出できることが望ましい。よって、少なくともスイッチ電圧よりも高い電圧を監視することが好ましい。

20

【 0 3 4 1 】

ただし、監視範囲が狭まるが、電圧監視回路および他の電圧監視回路の監視電圧として + 5 V 電源電圧を用いることも可能である。その場合にも、電圧監視回路の検出電位は、他の電圧監視回路の検出電位よりも高く設定されている。

【 0 3 4 2 】

以上説明したようにバックアップデータの有無により電源断時の状態に復旧するか否かの判断を行なうようにしたことで、停電後の電源復旧時などにおいて電源投入されたときに、バックアップデータ記憶領域の内容に応じて電源断時のデータに復旧されるか否かの判断を行なうことができる。したがって、バックアップデータに基づく制御を実現することができるとともに、不必要な復旧処理の実行を防止することができる。

30

【 0 3 4 3 】

また、上述したようにバックアップデータの状態により電源断時の状態に復旧するか否かの判断を行なうようにしたことで、停電後の電源復旧時などにおいて電源投入されたときに、バックアップデータ記憶領域の内容のデータに応じて電源断時の状態に復旧させるか否かの判断を行なうことができる。したがって、正常なバックアップデータに基づく制御を実現することができるとともに、異常が発生したバックアップデータに基づく復旧処理の実行を防止することができる。

40

【 0 3 4 4 】

また、上述したように初期設定処理を開始した後、復旧処理を終える前まで、また初期処理を終える前までの値（初期準備処理の間は、）は、割込禁止状態とする構成としたことで、割込により処理が中断されることを防止することができるため、初期設定、バックアップデータ記憶領域内の内容に応じて行なわれる電源断時の状態に復旧されるか否かの判断、および復旧処理（または初期化処理）を確実に完了させることができる。なお、上記のような復旧処理を終える前まで割込禁止状態とする構成とした場合であっても、電源断時の割込禁止 / 許可状態をパリティフラグによりバックアップしているため、復旧処理において電源断時の割込禁止 / 許可状態を確実に復旧させることができる。この場合、上記初期準備処理において含まれる処理は一例であり、初期準備処理はたとえば、初期設定処

50

理を監視した後バックアップデータに基づく復旧を行なうか否かを決定するまでの間の処理など、上述した処理の一部であってもよい。

【0345】

なお、上述した各実施の形態では、電源監視手段は、電源基板および電気部品制御基板のいずれかに設置されたが、どこに設置されていてもよく、遊技機の構造上の都合に応じて任意位置に設置することができる。

【0346】

そして、上記の各実施の形態では、記憶手段としてRAMを用いた場合を示したが、記憶手段として、電氣的に書換が可能な記憶手段であればRAM以外のものを用いてもよい。

【0347】

また、上述した各実施の形態では、遊技制御手段以外の他の電気部品制御手段として払出制御手段を示したが、表示制御手段、音声制御手段およびランプ制御手段についても、上述した制御を行なうように構成してもよい。

【0348】

また、上述実施の形態では、電源監視回路は、電源基板910に設けられたが、電源監視回路は、主基板31や払出基板37の電気部品制御基板に設けられていてもよい。なお、電源回路が搭載された電気部品制御基板が構成される場合には、電源基板には、電源監視回路が搭載されない。

【0349】

上記の各実施の形態のパチンコ遊技機1は、始動入賞に基づいて可変表示部9に可変表示される特別図柄の停止図柄が所定の図柄に組合せとなると所定の遊技価値が遊技者に付与可能になる第1種パチンコ遊技機であったが、始動入賞に基づいて開放する電動役物の所定領域への入賞があると所定遊技価値が遊技者に付与可能になる第2種パチンコ遊技機や、始動入賞に基づいて可変表示される図柄の停止図柄が所定の図柄の組合せになると開放する所定電動役物への入賞があると所定の権利が発生または継続する第3種パチンコ遊技機であっても、本発明を適用できる。

【0350】

さらに、パチンコ遊技機にとらわれず、スロット遊技機等においても、電源投入による電源断時に電源断直前のデータをバックアップRAM等に保存し、電源復旧時に保存データに基づく制御再開処理を行なうように構成されている場合などには本発明を適用することができる。たとえば、スロット遊技機に適用した場合には、内部フラグ（ビッグ、レギュラー、小役などのフラグ）やビッグ中などの状態を復旧させることができる。

【0351】

上記電力監視手段は、電圧の所定の値以下になったときに信号を送り出すようにしたが、電圧が所定の値以上になったときに信号を出力するようにしてもよい。それにより、IC等の電気回路の損傷を防止できるとともに、消費電力の無駄を防止するようなことも可能となる。

【0352】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0353】

【課題を解決する手段の具体例の効果】

請求項1に記載の本発明によれば、第2の電気部品制御基板には第1の電気部品制御基板を介して電力が供給されるため、電源基板に、電源基板と第2の電気部品制御基板と接続するためのコネクタを設ける必要がなくなる。それにより、電源基板に設けるコネクタの数を低減することができるため、電源基板の構造が簡単となる。また、電力供給停止時に確実なデータ保存が行なわれ、遊技者に不利益がもたらされることが防止される。また、第1の電源監視手段が第1の検出信号を出力するタイミングと第2の電源監視手段が第

10

20

30

40

50

2の検出信号を出力するタイミングとの差を所望の所定時間に確実に設定することができる。さらに、チェックデータにもとづくチェックによって記憶内容保存の確実化が図られる。

また、電力供給停止時において遊技球検出手段の出力がオン状態を呈するようになる以前の段階で電力供給停止を認識して電力供給停止時処理の状態に移行するために、遊技球検出手段のオン誤検出を防止できる状態となる。さらに、第1の電気部品制御マイクロコンピュータの正常な動作が担保できない電圧にまで低下する以前の段階において、第1の電気部品制御マイクロコンピュータを動作停止状態にするために、第1の電気部品制御マイクロコンピュータが不定データに基づいて異常動作してしまう不都合を防止することができる。

10

【0354】

請求項2に記載の本発明によれば、請求項1に記載の発明の効果に加えて、以下のような効果がある。本発明においては、第1の電気部品制御基板が、遊技を制御するための遊技制御マイクロコンピュータを備えた遊技制御基板を含み、第2の電気部品制御基板が、遊技制御マイクロコンピュータから出力された電気信号に基づいて画像を可変表示させる可変表示手段を制御する表示制御マイクロコンピュータを備えた表示制御基板を含む。そのため、電源基板と表示制御基板とを接続するためのコネクタを電源基板に設ける必要がなくなる。それにより、機種変更にともない表示制御基板を必要としなくなる場合において、電源基板には未接続のコネクタが存在しなくなる。その結果、未接続のコネクタが存在することによって生じる、電源基板の未接続のコネクタから不正制御を行なうための情報が入力されるおそれなくなる。したがって、機種変更にともなってしまう不正制御を予め防止するような構造にすることができる。

20

【0355】

請求項3に記載の本発明によれば、請求項1または請求項2に記載の発明の効果に加えて、第2の電気部品制御基板は、電気部品の制御に必要な電力を作成する電力作成手段を有しているため、外部に第2の電気部品制御基板に必要な電力を作成する電力作成手段を設ける必要がなくなる。

【0357】

請求項4に記載の本発明によれば、請求項1～請求項3のいずれかに記載の発明の効果に加えて、電源基板が遊技の進行に応じた所定条件の成立により遊技価値を付与する制御を行なうための価値付与制御マイクロコンピュータを備えた価値付与制御基板へ必要な電力を直接供給するため、第1の電気部品制御基板は価値付与制御基板へ電力を供給するための端子等を備える必要がなくなる。その結果、第1の電気部品制御基板の構造が簡単となる。

30

請求項5に記載の本発明によれば、請求項1～請求項4のいずれかに記載の発明の効果に加えて、第1の電気部品制御マイクロコンピュータにより、電力供給開始時に、電力供給停止直前の内容が記憶手段に保持されているか否かが判定されて保持されていることを条件にチェックデータにもとづくチェックが行われる一方、保持されていないときには電源投入時に実行される初期化処理が実行されるために、保持されていないときのチェックデータにもとづくチェックが省かれる。

40

【図面の簡単な説明】

【図1】 パチンコ遊技機の正面図である。

【図2】 パチンコ遊技機の背面図である。

【図3】 機構盤周辺の構成を示す遊技機の背面図である。

【図4】 遊技制御基板の回路構成を示すブロック図である。

【図5】 表示制御基板の回路構成を示すブロック図である。

【図6】 音声制御基板の回路構成を示すブロック図である。

【図7】 ランプ制御基板の回路構成を示すブロック図である。

【図8】 賞球制御基板に関連する構成要素を示すブロック図である。

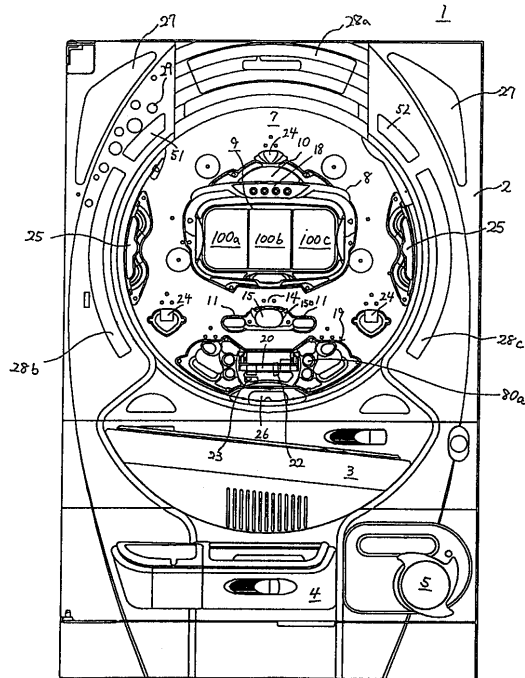
【図9】 電源基板の周辺を示す図である。

50

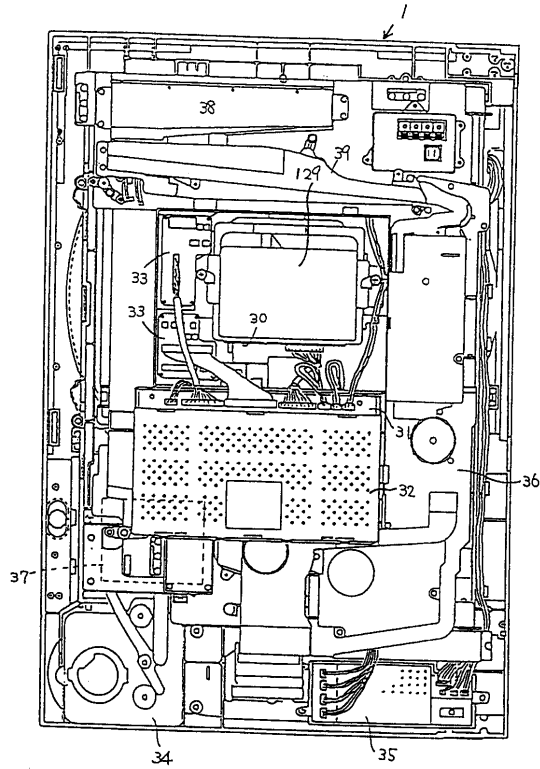
- 【図 10】 音声制御系統の基板を示す図である。
- 【図 11】 音声制御基板の内部の電源引込口近傍の電気回路を示す図である。
- 【図 12】 音声制御基板の内部のバッファ回路周辺の電気回路を示す図である。
- 【図 13】 音声制御基板の内部の音声制御用 C P U 周辺の電気回路を示す図である。
- 【図 14】 音声制御基板の内部の音声合成 I C および音声データ R O M の周辺の電気回路を示す図である。
- 【図 15】 音声制御基板の内部の音声切換回路および音声増幅回路の周辺の電気回路を示す図である。
- 【図 16】 表示制御系統の基板を示す図である。
- 【図 17】 表示制御基板の内部の電源引込口近傍の電気回路を示す図である。 10
- 【図 18】 表示制御基板の内部のバッファ回路周辺の電気回路を示す図である。
- 【図 19】 表示制御基板の内部の表示制御用 C P U 周辺の電気回路を示す図である。
- 【図 20】 表示制御基板の内部の表示制御データ R O M 周辺の電気回路を示す図である。
- 【図 21】 表示制御基板の内部の水晶発振器周辺の電気回路を示す図である。
- 【図 22】 表示制御基板の内部の水晶発振器周辺の電気回路を示す図である。
- 【図 23】 表示制御基板の内部のリセット回路周辺の電気回路を示す図である。
- 【図 24】 表示制御基板の内部の V D P 周辺の電気回路を示す図である。
- 【図 25】 表示制御基板の内部の V R A M およびキャラクタ R O M の周辺の電気回路を示す図である。 20
- 【図 26】 表示制御基板の内部のトランジスタから C R T までの電気回路を示す図である。
- 【図 27】 ランプ制御基板を示す図である。
- 【図 28】 ランプ中継基板およびランプ中継 A 基板に接続される基板を示す図である。
- 【図 29】 枠用ランプ中継 A 基板および枠用ランプ中継 A 基板に接続される基板を示す図である。
- 【図 30】 ランプ制御基板の内部の電源引込口近傍の電気回路を示す図である。
- 【図 31】 ランプ制御基板内部のバッファ回路周辺の電気回路構造を示す図である。
- 【図 32】 ランプ制御基板内部の C P U 周辺の電気回路構造を示す図である。
- 【図 33】 ランプ制御基板からランプ中継基板へ信号を出力する配線の一部を示す図である。 30
- 【図 34】 ランプ制御基板から枠用ランプ中継 A 基板へ信号を出力する配線の一部を示す図である。
- 【図 35】 ランプ制御基板からランプ中継基板へ信号を出力する配線の一部を示す図である。
- 【図 36】 ランプ制御基板からランプ中継基板へ信号を出力する配線の一部を示す図である。
- 【図 37】 表示制御基板の他の例を示すブロック図である。
- 【図 38】 主基板の電源入力回路周辺を示す図である。
- 【図 39】 電源監視および電源バックアップのための C P U 周りの一構成例を示すブロック図である。 40
- 【図 40】 電源基板の一構成例を示すブロック図である。
- 【図 41】 主基板における C P U が実行するメイン処理の例を示すフローチャートである。
- 【図 42】 遊技状態復旧処理を実行するか否かの決定方法の例を示す説明図である。
- 【図 43】 初期化処理の例を示すフローチャートである。
- 【図 44】 2 m s タイマ割込処理の例を示すフローチャートである。
- 【図 45】 初期設定処理の例を示すフローチャートである。
- 【図 46】 遊技制御処理の例を示すフローチャートである。
- 【図 47】 停電発生 N M I 処理の例を示すフローチャートである。 50

- 【図 4 8】 バックアップパリティデータ作成方法の例を説明するための説明図である。
- 【図 4 9】 遊技状態復旧処理の例を示すフローチャートである。
- 【図 5 0】 払出制御コマンドのコマンド形態の一例を示す説明図である。
- 【図 5 1】 払出コマンドの内容の一例を示す説明図である。
- 【図 5 2】 払出制御コマンドの送出形態の他の例を示すタイミング図である。
- 【図 5 3】 払出制御コマンドの送出形態の一例を示すタイミング図である。
- 【図 5 4】 電源監視および電源バックアップのための払出制御用 CPU 周りの一構成例を示すブロック図である。
- 【図 5 5】 払出制御用 CPU が実行するメイン処理の例を示すフローチャートである。
- 【図 5 6】 払出制御用 CPU の初期設定処理の一例を示すフローチャートである。 10
- 【図 5 7】 払出制御用 CPU の初期化処理の一例を示すフローチャートである。
- 【図 5 8】 払出制御用 CPU の初期化処理の一例を示すフローチャートである。
- 【図 5 9】 払出制御手段における RAM の一構成例を示す説明図である。
- 【図 6 0】 払出制御用 CPU のコマンド受信処理の例を示すフローチャートである。
- 【図 6 1】 払出制御用 CPU が実行する払出制御処理の例を示すフローチャートである。
- 【図 6 2】 スイッチ処理の例を示すフローチャートである。
- 【図 6 3】 コマンド解析実行処理の例を示すフローチャートである。
- 【図 6 4】 払出停止状態設定処理の例を示すフローチャートである。
- 【図 6 5】 プリペードカードユニット制御処理の例を示すフローチャートである。 20
- 【図 6 6】 球貸し制御処理の例を示すフローチャートである。
- 【図 6 7】 球貸し制御処理の例を示すフローチャートである。
- 【図 6 8】 賞球制御処理の例を示すフローチャートである。
- 【図 6 9】 賞球制御処理の例を示すフローチャートである。
- 【図 7 0】 払出制御用 CPU が実行する停電発生 NMI 処理の例を示すフローチャートである。
- 【図 7 1】 バックアップパリティデータ作成方法の例を説明するための説明図である
- 【図 7 2】 払出制御用 CPU が実行する払出復旧処理の例を示すフローチャートである。
- 【図 7 3】 遊技機の電源断時の電源低下や NMI 信号の様子の例を示すタイミング図で 30
ある。
- 【符号の説明】
- 2 7 スピーカ、2 8 b , 2 8 c 遊技効果ランプ、3 1 主基板、3 5 ランプ制御基板、3 7 払出制御基板、5 3 基本回路、5 6 CPU、6 5 システムリセット回路、7 0 音声制御基板、8 0 表示制御基板、8 2 CRT、9 1 発射制御基板、9 7 玉払出装置、1 0 1 表示制御用 CPU、3 7 1 払出制御用 CPU、1 0 9 スイッチレギュレータ、2 8 0 LCD、6 5 2 コンデンサ、9 0 2 電源監視用 IC、9 1 0 電源基板、9 0 2 電源監視用 IC、9 1 6 バックアップ電源となるコンデンサ、9 7 7 コンデンサ。

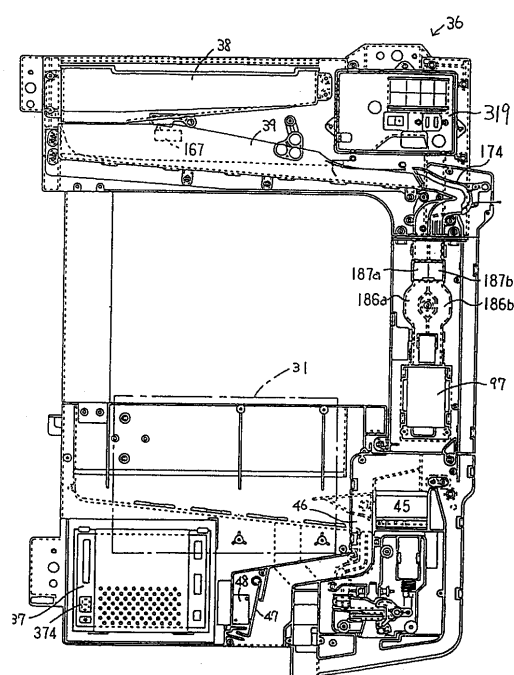
【図 1】



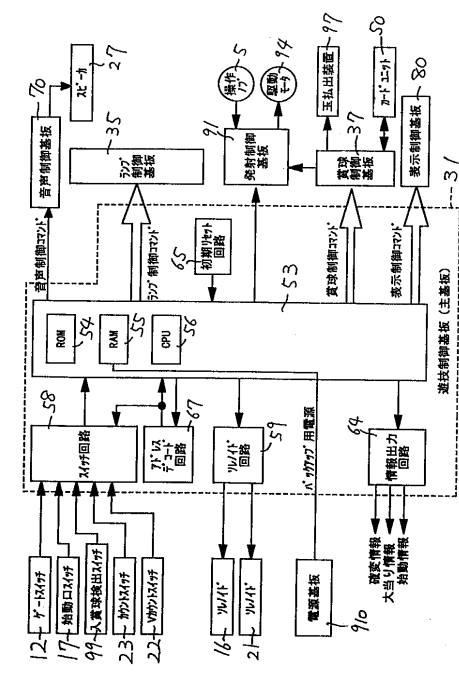
【図 2】



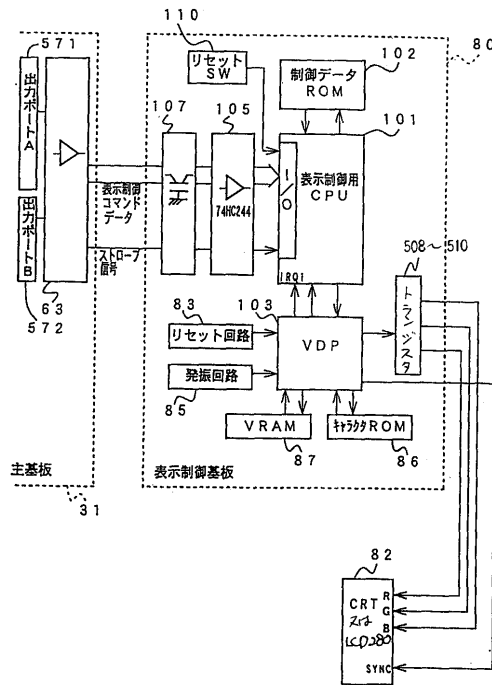
【図 3】



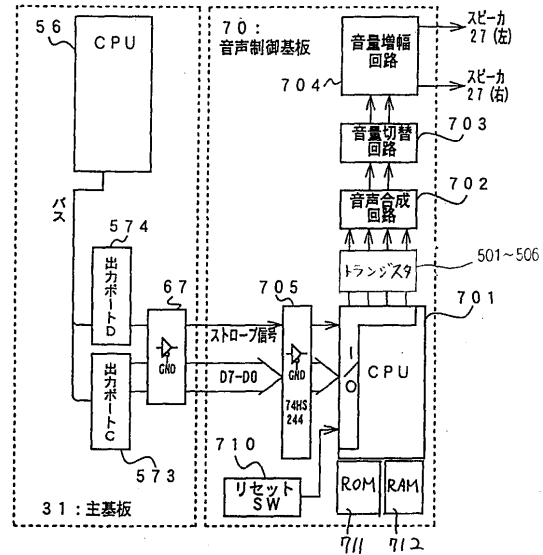
【図 4】



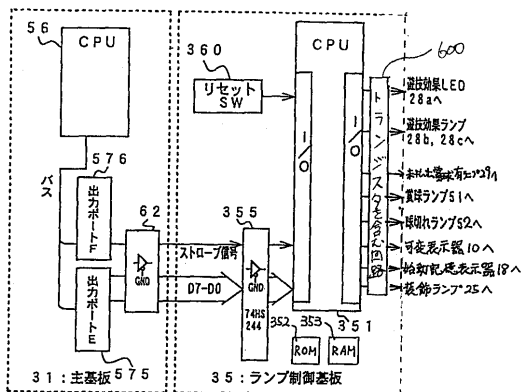
【図 5】



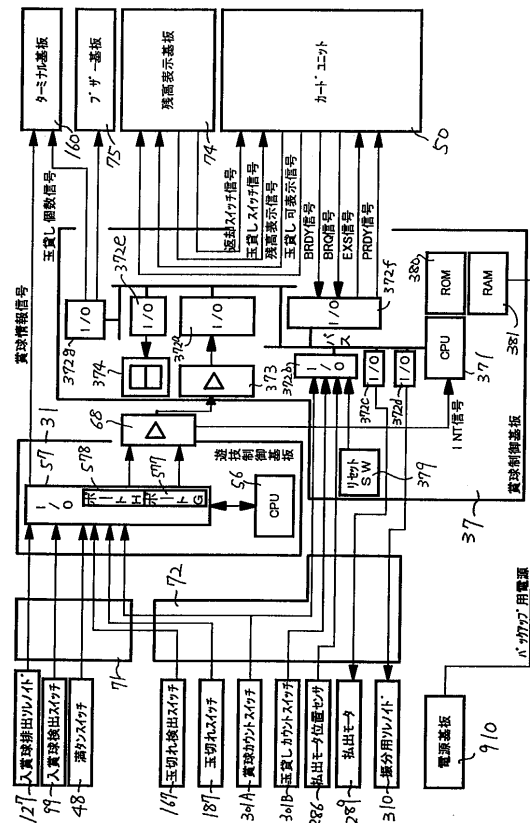
【図 6】



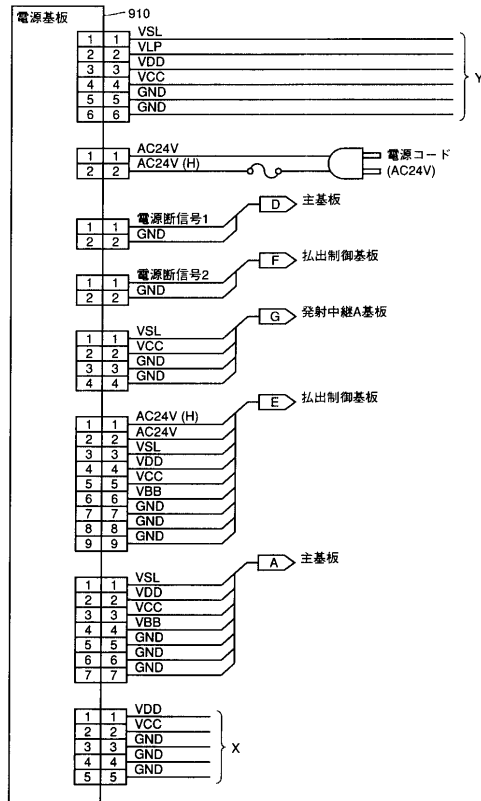
【図 7】



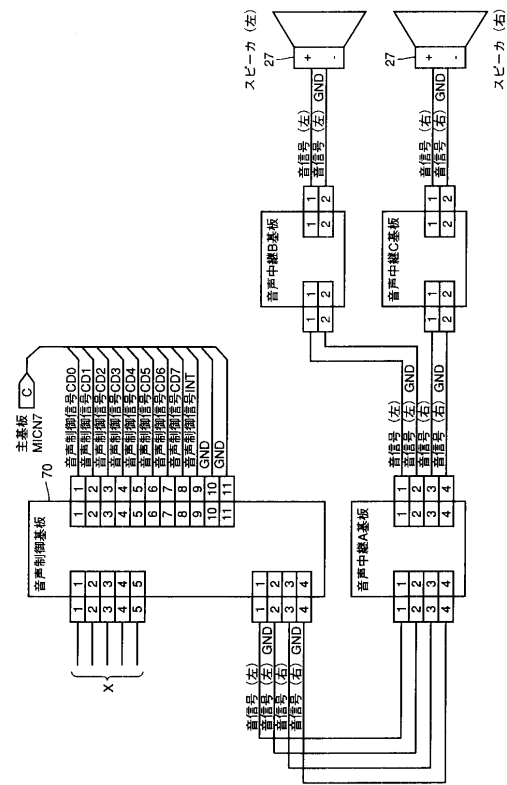
【図 8】



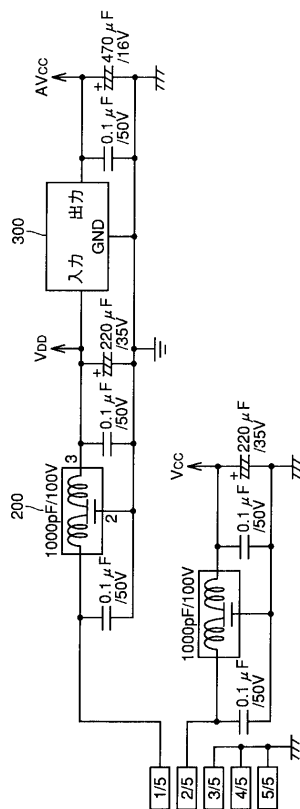
【図 9】



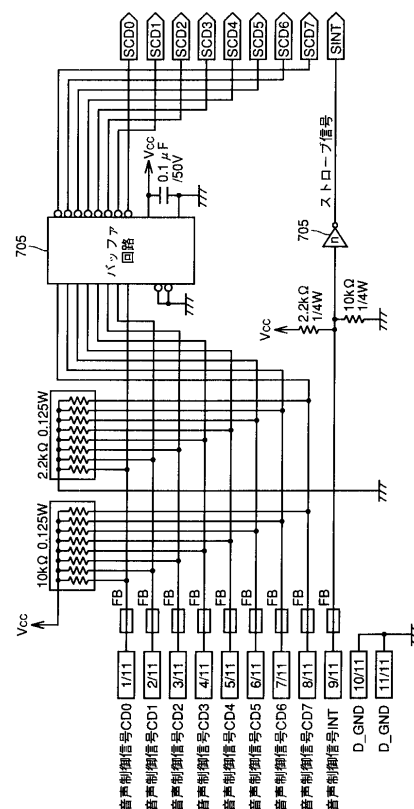
【図 10】



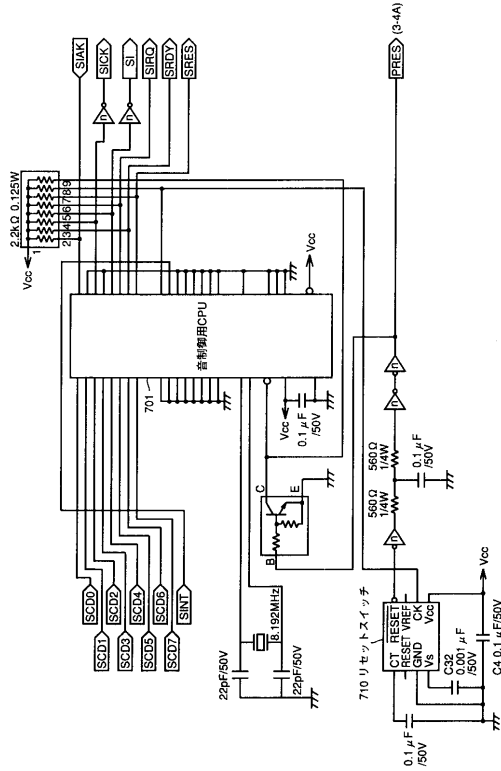
【図 11】



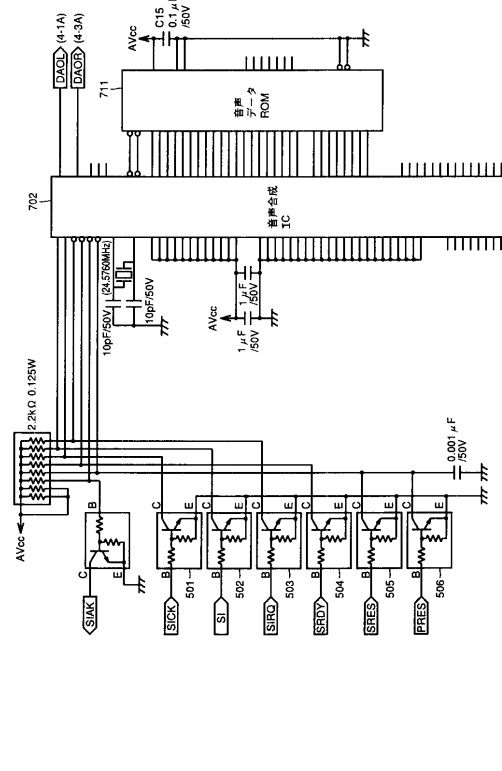
【図 12】



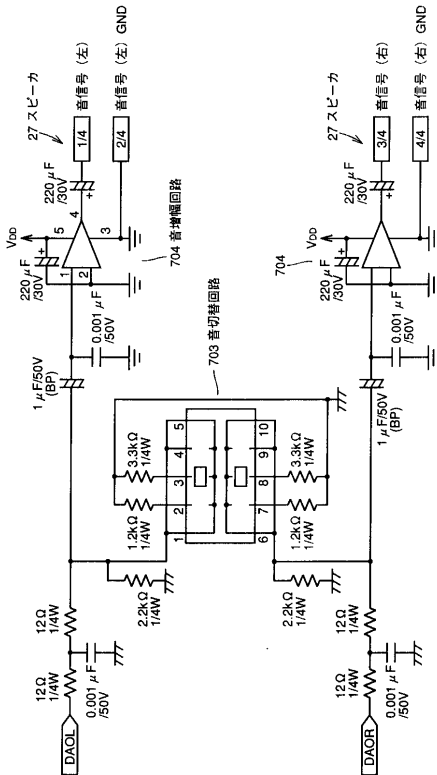
【図 13】



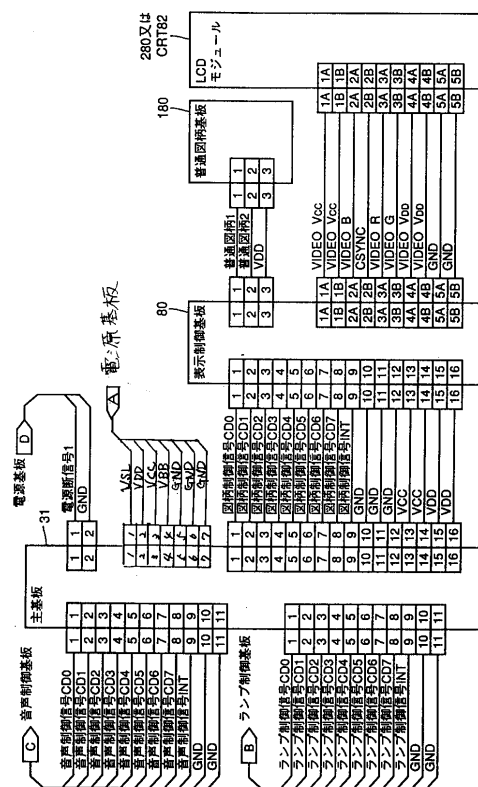
【図 14】



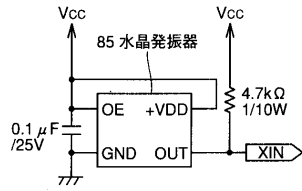
【図 15】



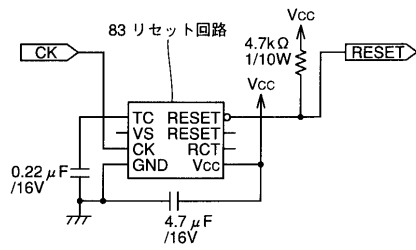
【図 16】



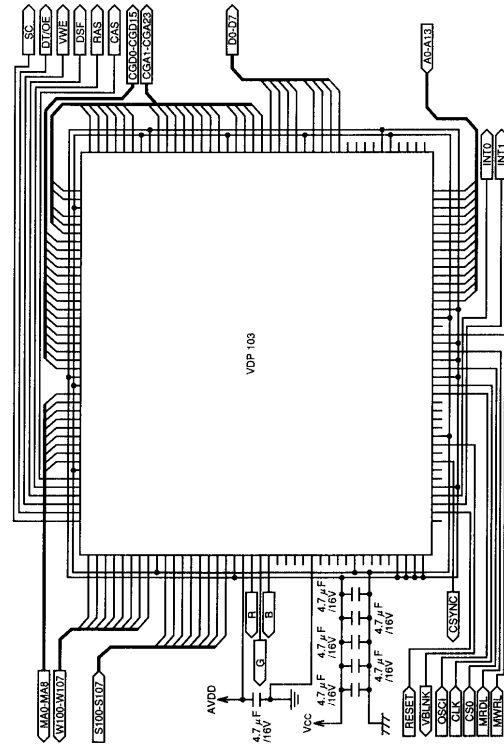
【図 2 2】



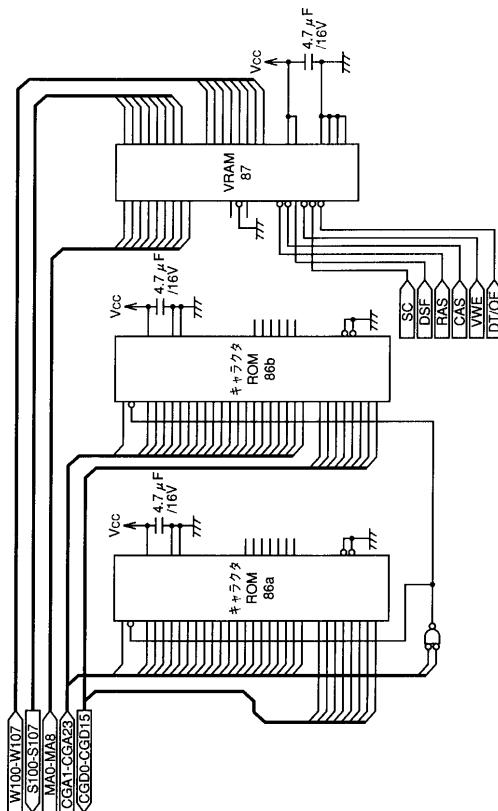
【図 2 3】



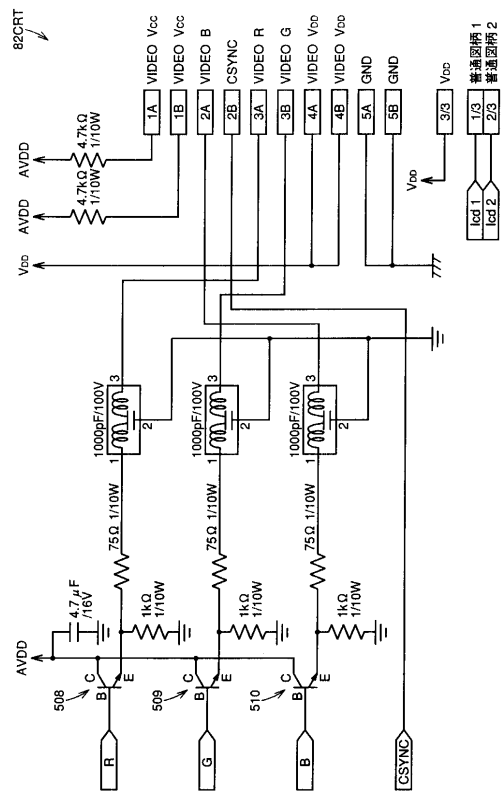
【図 2 4】



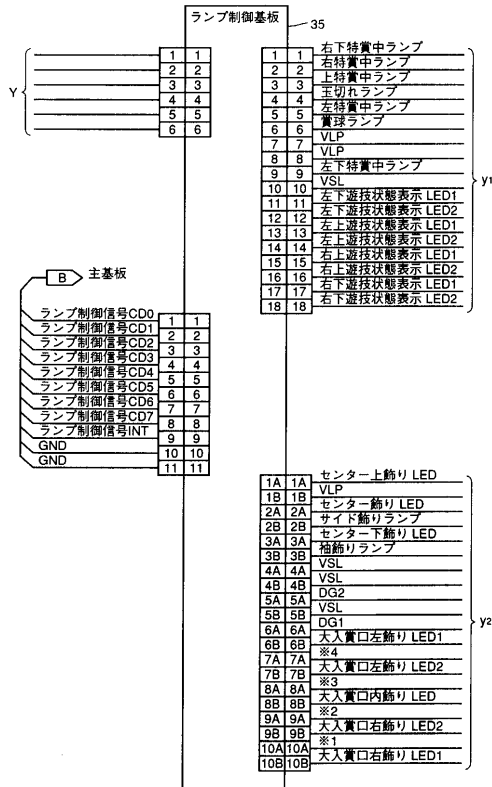
【図 2 5】



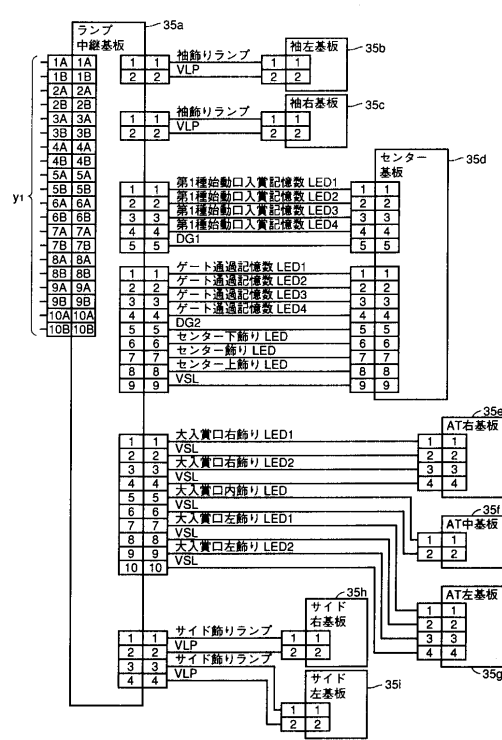
【図 2 6】



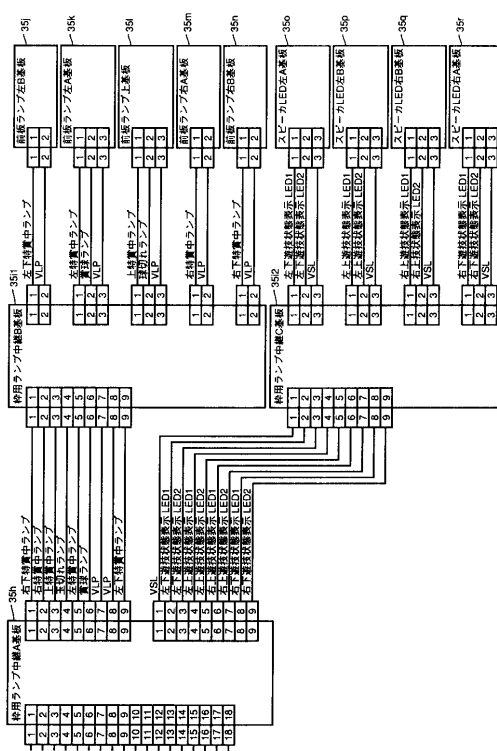
【図 27】



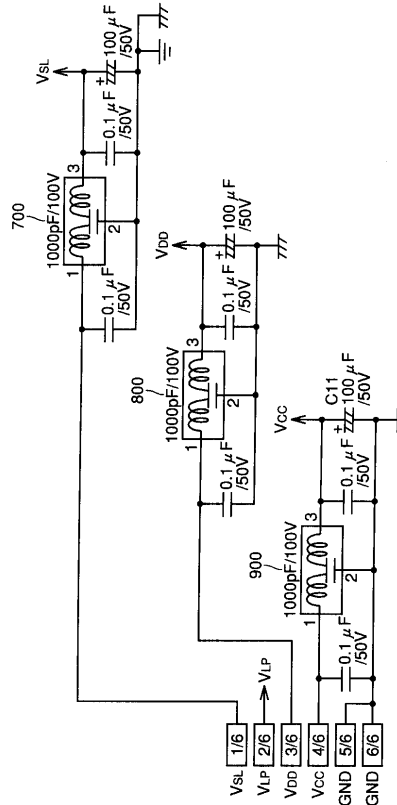
【図 28】



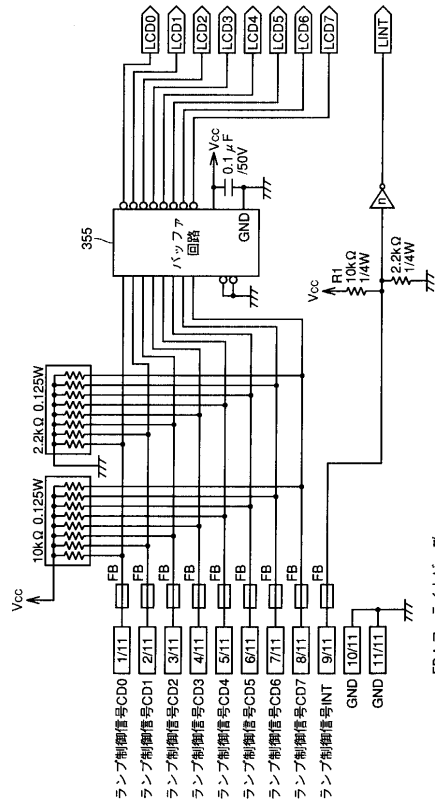
【図 29】



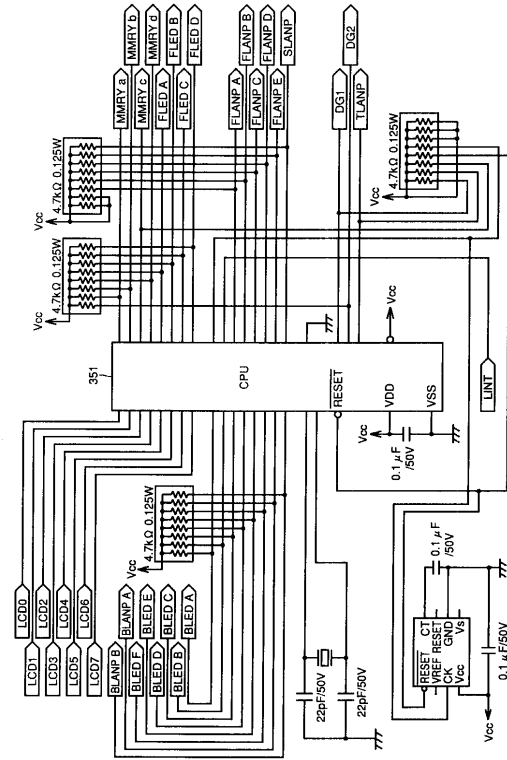
【図 30】



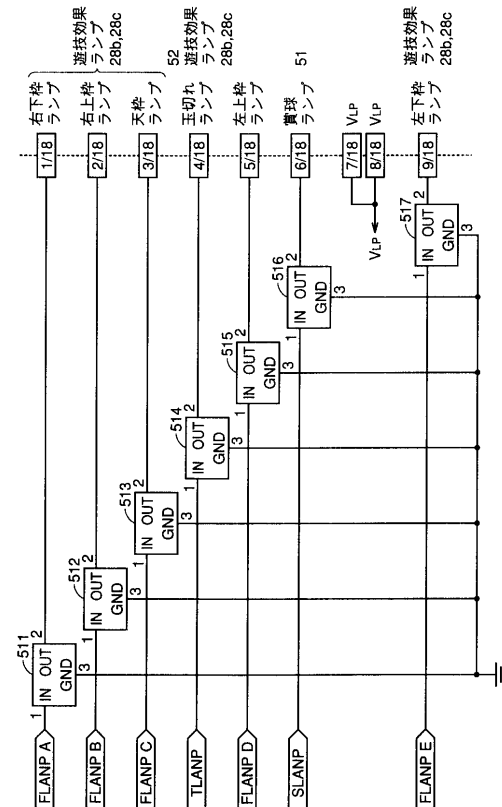
【図 3 1】



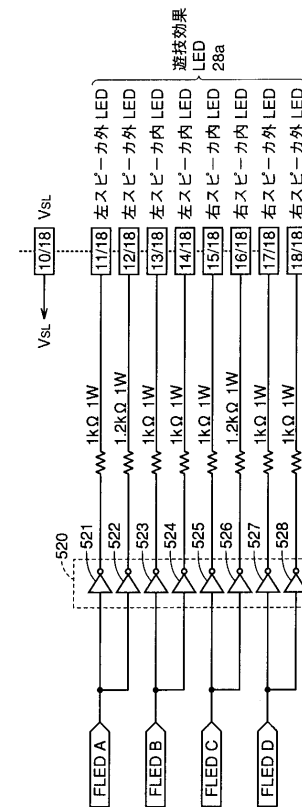
【図 3 2】



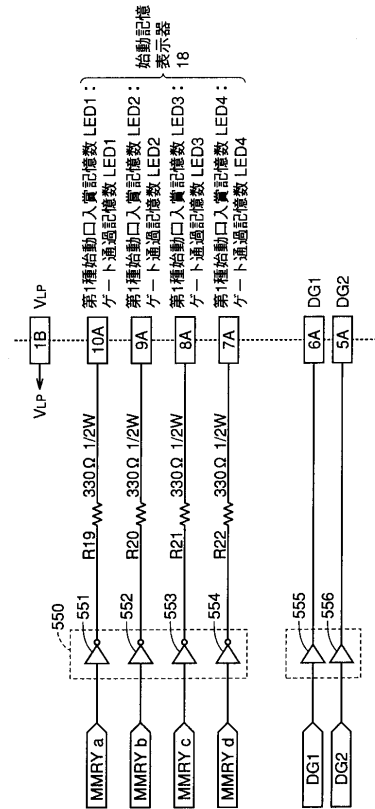
【図 3 3】



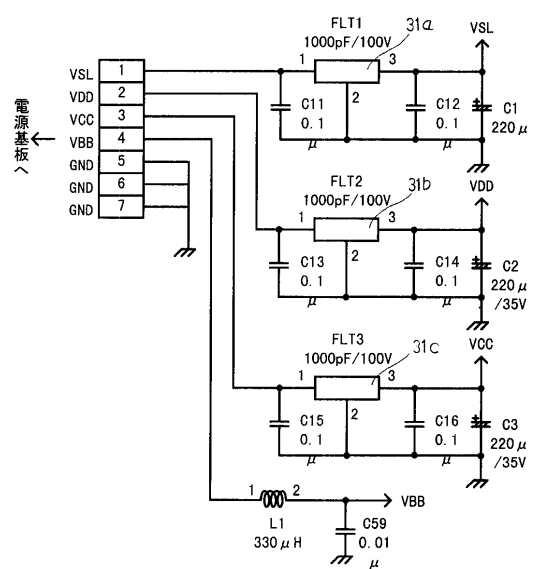
【図 3 4】



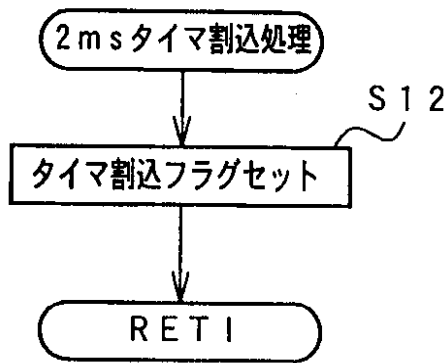
【 図 3 6 】



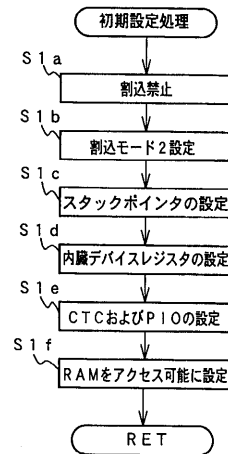
【 図 3 8 】



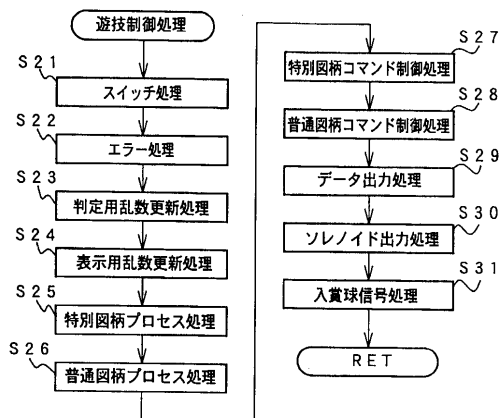
【図 4 4】



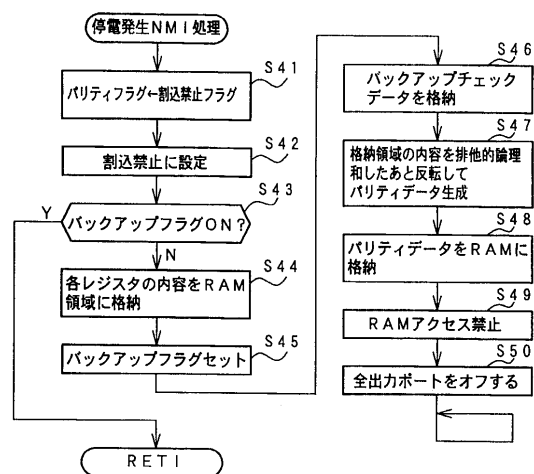
【図 4 5】



【図 4 6】



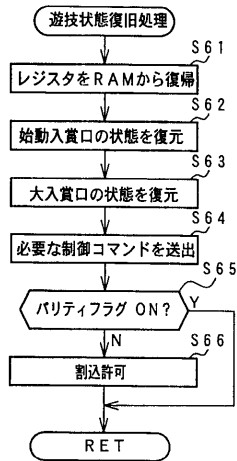
【図 4 7】



【図 4 8】

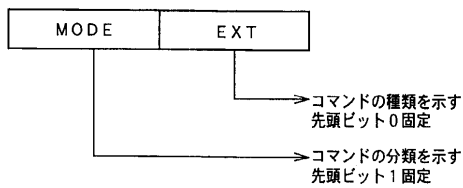
初期データ	00H
データ#1	F0H
データ#2	16H
データ#3	DFH
パリティデータ	C6H

【図 49】

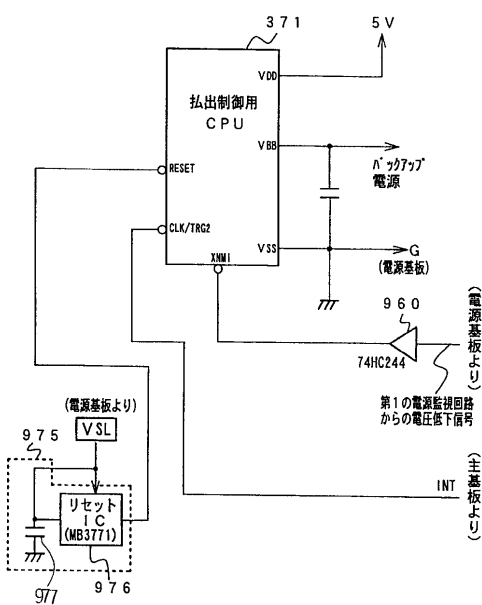


【図 50】

(払出制御コマンド)



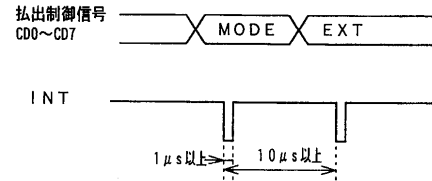
【図 54】



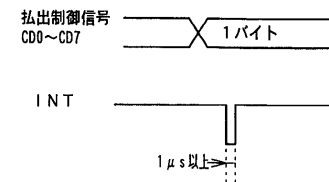
【図 51】

MODE	EXT	名称	内容
FF	00	払出可能状態指定	払い出しできることを指定
FF	01	払出停止状態指定	払い出しできないことを指定
F0	XX	賞球個数指定	賞球により払い出す個数を指定

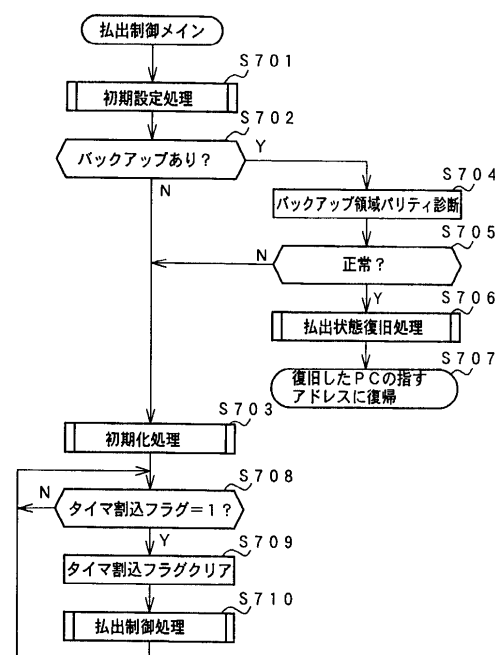
【図 52】



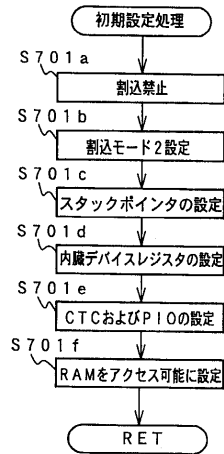
【図 53】



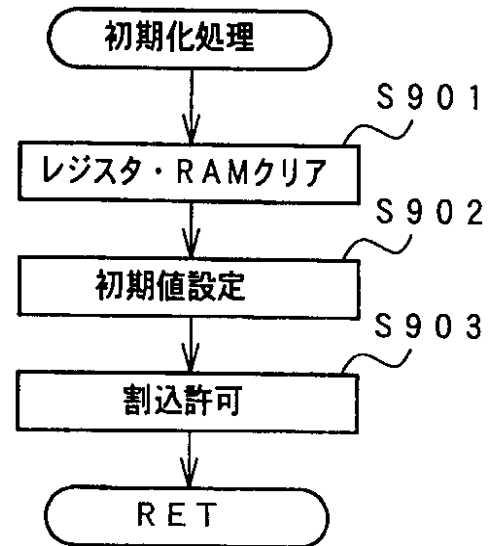
【図 55】



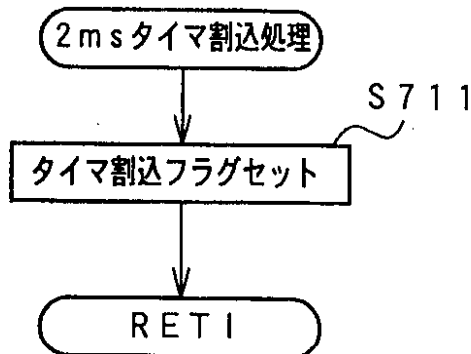
【図 56】



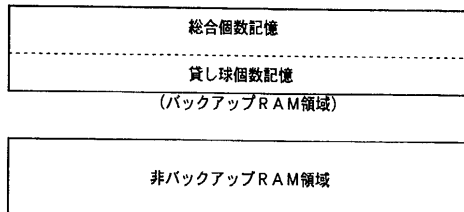
【図 57】



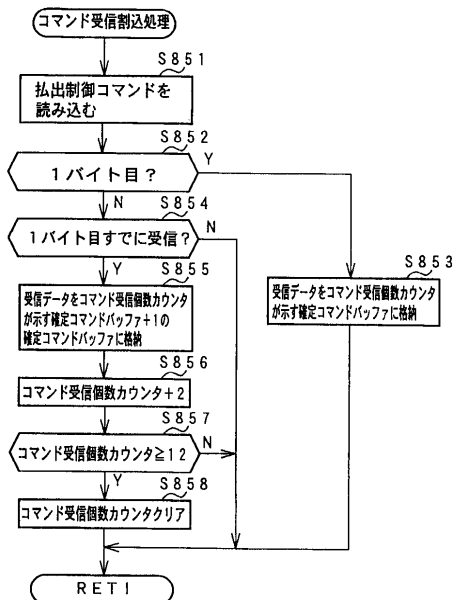
【図 58】



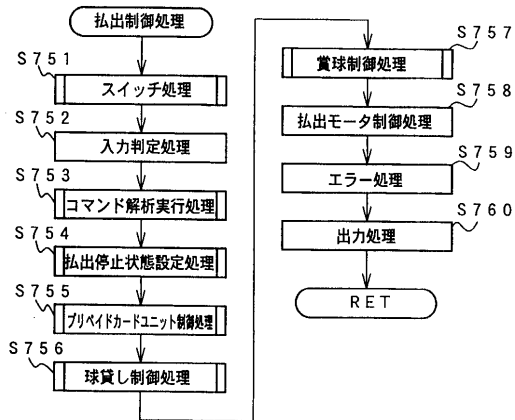
【図 59】



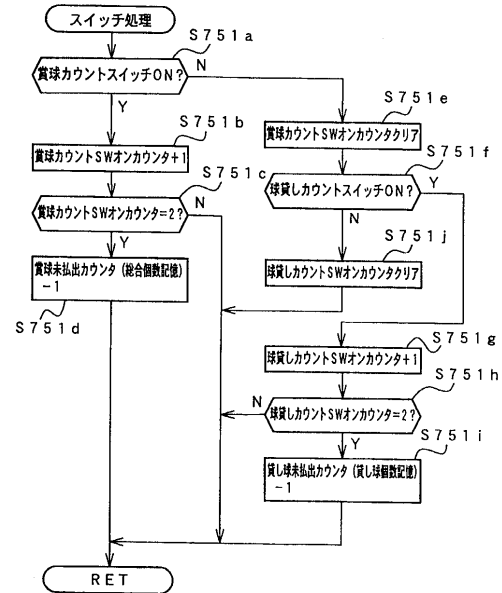
【図 60】



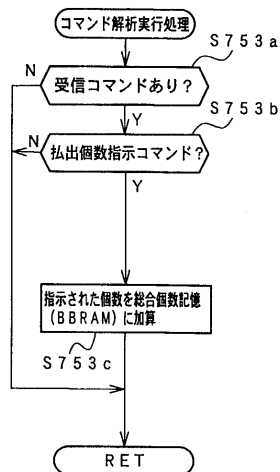
【図 6 1】



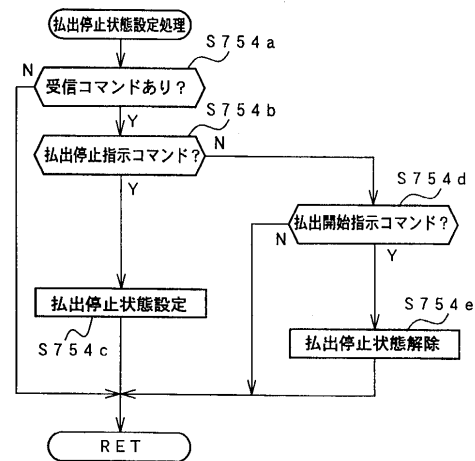
【図 6 2】



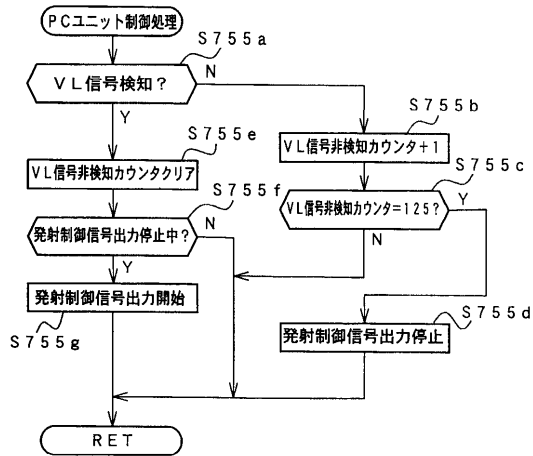
【図 6 3】



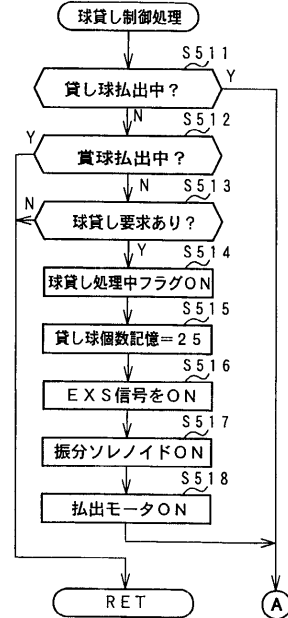
【図 6 4】



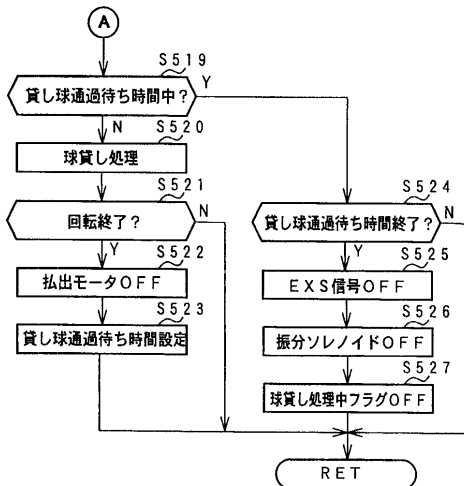
【図 65】



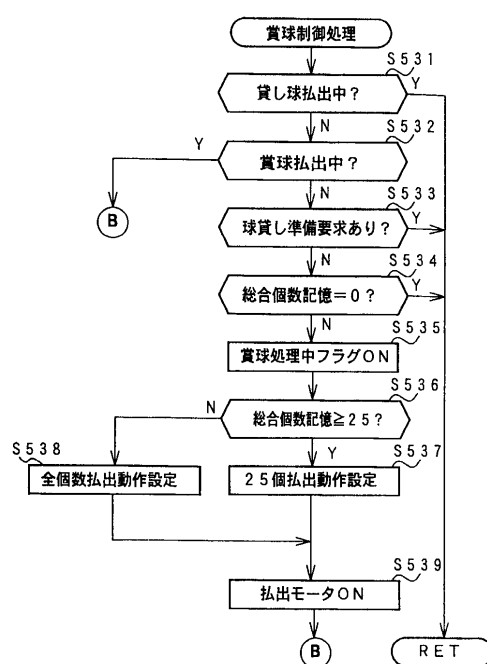
【図 66】



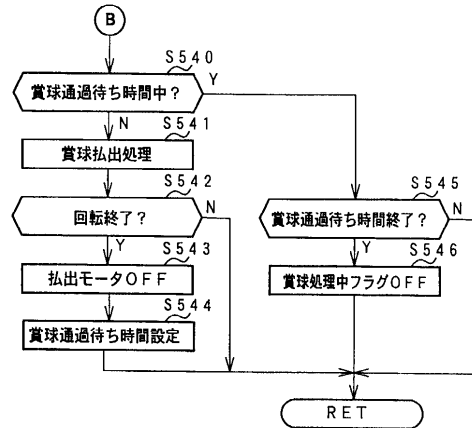
【図 67】



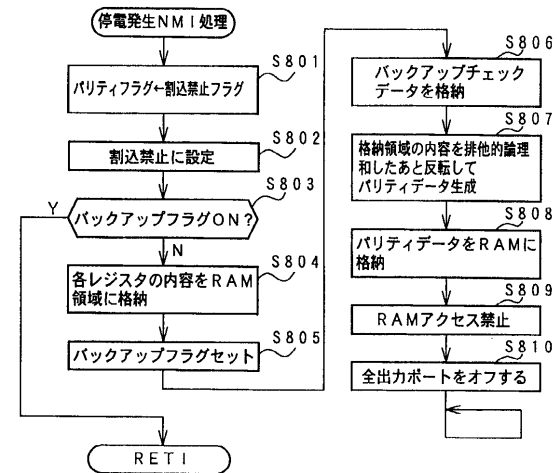
【図 68】



【図 69】



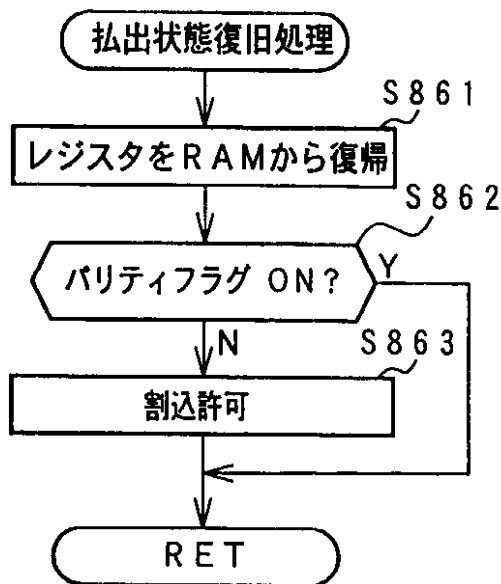
【図 70】



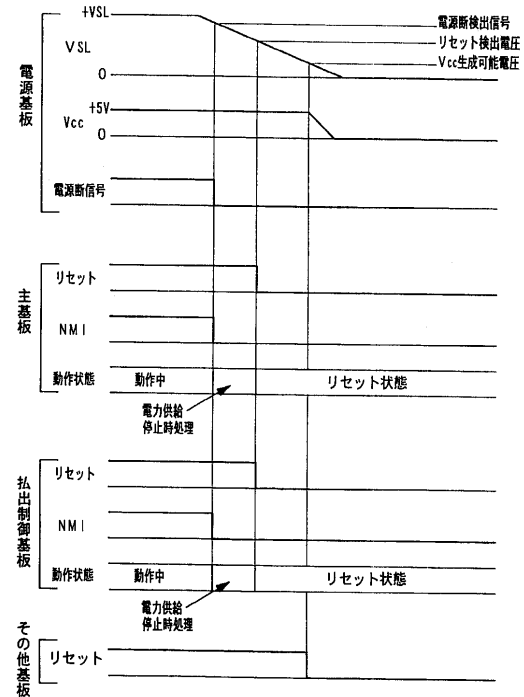
【図 71】

初期データ	00H
データ#1	F0H
データ#2	16H
データ#3	DFH
パリティデータ	C6H

【図 72】



【図 73】



フロントページの続き

審査官 吉村 尚

- (56)参考文献 特開平08-229208(JP,A)
特開昭62-080716(JP,A)
特開平11-327706(JP,A)
特開2000-005386(JP,A)

- (58)調査した分野(Int.Cl., DB名)
A63F 7/02