

BA:障壁層	IF1:絶縁膜
BU:バッファ層	IF2:絶縁膜
CH:チャネル層	S:基板
DE:ドレイン電極	SE:ソース電極
GE:ゲート電極	T:溝
GI:ゲート絶縁膜	

【特許請求の範囲】

【請求項 1】

基板の上方に形成された第 1 窒化物半導体層と、
前記第 1 窒化物半導体層上に形成され、前記第 1 窒化物半導体層よりバンドギャップが
広い第 2 窒化物半導体層と、
前記第 2 窒化物半導体層を貫通し、前記第 1 窒化物半導体層の途中まで到達する溝と、
前記溝内にゲート絶縁膜を介して配置されたゲート電極と、
前記ゲート電極の両側の前記第 2 窒化物半導体層の上方にそれぞれ形成された第 1 電極
および第 2 電極と、を有し、
前記ゲート絶縁膜は、前記溝の端部から前記第 1 電極側に延在し、前記溝の端部側に位
置する第 1 部と、前記第 1 部より前記第 1 電極側に位置し、前記第 1 部より膜厚の大きい
第 2 部とを有する、半導体装置。 10

【請求項 2】

請求項 1 記載の半導体装置において、
前記第 1 部は、前記第 2 窒化物半導体層上に配置された第 1 膜からなり、
前記第 2 部は、前記第 2 窒化物半導体層上に配置された前記第 1 膜と、前記第 1 膜上に
配置された第 2 膜とからなる、半導体装置。

【請求項 3】

請求項 2 記載の半導体装置において、
前記第 2 膜は、酸化アルミニウムを含有する膜である、半導体装置。 20

【請求項 4】

請求項 3 記載の半導体装置において、
前記第 1 膜は、窒化シリコンを含有する膜である、半導体装置。

【請求項 5】

請求項 1 記載の半導体装置において、
前記溝の側壁がテーパ形状である、半導体装置。

【請求項 6】

請求項 5 記載の半導体装置において、
前記溝の側面と前記溝の底面の延長面とのなす角度が、 90° 以下である、半導体装置 30

【請求項 7】

請求項 6 記載の半導体装置において、
前記角度が、 70° 以上 90° 以下である、半導体装置。

【請求項 8】

請求項 2 記載の半導体装置において、
前記溝の端部から前記第 1 膜までの距離は、前記第 2 膜の膜厚以上である、半導体装置 40

【請求項 9】

請求項 8 記載の半導体装置において、
前記溝の端部から前記第 1 膜までの距離は、 $0.2\ \mu\text{m}$ 以上である、半導体装置。 40

【請求項 10】

請求項 2 記載の半導体装置において、
前記溝の端部から前記第 1 膜までの距離は、 $5\ \text{nm}$ 以上 $0.1\ \mu\text{m}$ 以下である、半導体
装置。

【請求項 11】

基板の上方に形成された第 1 窒化物半導体層と、
前記第 1 窒化物半導体層上に形成され、前記第 1 窒化物半導体層よりバンドギャップが
広い第 2 窒化物半導体層と、
前記第 2 窒化物半導体層を貫通し、前記第 1 窒化物半導体層の途中まで到達する溝と、
前記溝内にゲート絶縁膜を介して配置されたゲート電極と、 50

前記ゲート電極の両側の前記第2窒化物半導体層の上方にそれぞれ形成された第1電極および第2電極と、を有し、

前記ゲート絶縁膜は、前記溝の両側の前記第2窒化物半導体層上に配置され、前記溝の形成領域を含む開口領域を有する第1膜と、前記開口領域を含む前記第1膜上に形成された第2膜とを有する、半導体装置。

【請求項12】

請求項11記載の半導体装置において、

前記第1膜は、前記溝の前記第1電極側の端部から後退して配置されている、半導体装置。

【請求項13】

請求項12記載の半導体装置において、

前記第1膜は、前記溝の前記第2電極側の端部から後退して配置されている、半導体装置。

【請求項14】

請求項11記載の半導体装置において、

前記第1膜は、窒化シリコンを含有する膜であり、

前記第2膜は、酸化アルミニウムを含有する膜である、半導体装置。

【請求項15】

請求項11記載の半導体装置において、

前記溝の側壁がテーパ形状である、半導体装置。

【請求項16】

請求項12記載の半導体装置において、

前記溝の端部から前記第1膜までの距離は、0.2 μm以上である、半導体装置。

【請求項17】

(a) 第1窒化物半導体層を形成し、前記第1窒化物半導体層上に、前記第1窒化物半導体層よりバンドギャップが広い第2窒化物半導体層を形成することにより積層体を形成する工程、

(b) 前記積層体上の第1開口部を有する第1膜をマスクとして、前記積層体をエッチングすることにより、前記第2窒化物半導体層を貫通し、前記第1窒化物半導体層の途中まで到達する溝を形成する工程、

(c) 前記第1膜の端部を前記溝の端部から後退させる工程、

(d) 前記(c)工程の後、前記溝の内部を含む前記第1膜上に、第2膜を形成する工程、

(e) 前記第2膜上に、ゲート電極を形成する工程、
を有する、半導体装置の製造方法。

【請求項18】

請求項17記載の半導体装置の製造方法において、

前記(b)工程は、

(b1) 前記積層体上に、前記第1開口部を有する前記第1膜と、前記第1膜上に形成され、前記第1開口部の第1端から後退した第3膜との積層膜を形成する工程、

(b2) 前記積層膜をマスクに、前記積層体をエッチングすることにより、前記溝を形成する工程、を有し、

前記(c)工程は、

(c1) 前記第3膜をマスクに、前記第1膜をエッチングする工程、

(c2) 前記第3膜を除去する工程、を有する、半導体装置の製造方法。

【請求項19】

請求項17記載の半導体装置の製造方法において、

前記第1膜は、窒化シリコンを含有する膜であり、

前記第2膜は、酸化アルミニウムを含有する膜である、半導体装置の製造方法。

【請求項20】

10

20

30

40

50

請求項 18 記載の半導体装置の製造方法において、

前記 (c) 工程は、前記第 1 膜の端部を前記溝の端部から $0.2\ \mu\text{m}$ 以上後退させる工程である、半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置および半導体装置の製造方法に関し、例えば、窒化物半導体を用いた半導体装置およびその製造方法に好適に利用できるものである。

【背景技術】

【0002】

近年、Si よりも大きなバンドギャップを有する III-V 族の化合物を用いた半導体装置が注目されている。その中でも、1) 絶縁破壊電界が大きい点、2) 電子飽和速度が大きい点、3) 熱伝導率が大きい点、4) AlGa_N と Ga_N との間に良好なヘテロ接合が形成できる点、および 5) 無毒であり安全性が高い材料である点などの利点を有する窒化ガリウム (Ga_N) を用いた半導体装置の開発が進められている。

【0003】

さらに、高耐圧および高速スイッチ特性から、窒化ガリウムを用いたパワー MISFET (Metal Insulator Semiconductor Field Effect Transistor) であって、ノーマリーオフ動作が可能である半導体装置の開発が進められている。

【0004】

例えば、以下の非特許文献 1 には、AlGa_N と Ga_N とのヘテロ接合を用い、ノーマリーオフ動作させるために、ゲートリセスをヘテロ接合よりバック側へ掘り込んだ構造の MISFET が開示されている。

【0005】

また、以下の非特許文献 2 には、ゲートリセスをヘテロ接合よりバック側へ掘り込む際に、絶縁膜をパターンニング開口したマスクを用い、その絶縁膜をデバイス中に残存させた MISFET が開示されている。

【0006】

また、以下の非特許文献 3 には、窒化膜を、AlGa_N/Ga_N ヘテロ接合系エピの表面保護膜に適用した場合における AlGa_N の表面ポテンシャルの低減効果についての記載がある。例えば、窒化膜を、Cat-CVD (Catalytic Chemical Vapor Deposition) で形成した場合に、表面ポテンシャル低減効果がかなり大きいことが開示されている。

【0007】

また、以下の非特許文献 4 には、ECR スパッタ成膜による各種の保護膜を AlGa_N/Ga_N ヘテロ接合系エピの表面保護膜に適用した場合において、表面保護膜と AlGa_N との界面での表面ポテンシャル障壁高さと界面シート電荷密度についての記載がある。

【0008】

また、以下の特許文献 1 には、ゲートリセスを有するトランジスタではないが、フィールドプレート層の厚さを段階的に変化させたヘテロ接合電界効果トランジスタが開示されている。

【0009】

また、以下の特許文献 2 および特許文献 3 には、ゲートリセスを有する半導体装置ではないが、ゲート電極と一体に形成された第 1 フィールドプレート電極と、ソース電極と一体に形成された第 2 フィールドプレート電極とを有する半導体装置が開示されている。

【先行技術文献】

【特許文献】

【0010】

【特許文献 1】特許第 4888115 号公報

【特許文献 2】特許第 4417677 号公報

【特許文献 3】米国特許第 7075125 号明細書

10

20

30

40

50

【非特許文献】

【0011】

【非特許文献1】N. Ikeda et al., "Over 1.7 kV normally-off GaN hybrid MOS-HFETs with a lower on-resistance on a Si substrate," IE3 International Symposium on Power semiconductor Devices and ICs (ISPSD), pp. 284-287, 2011.

【非特許文献2】K. Ota et al., "A Normally-off GaN FET with High Threshold Voltage Uniformity Using A Novel Piezo Neutralization Technique," International Electron Device Meeting (IEDM) 2009, IEDM09-154, 2009.

【非特許文献3】N. Onojima et al., "Reduction in potential barrier height of AlGaIn/GaN heterostructures by SiN passivation," J. Appl. Phys. 101, 043703 (2007) 10

【非特許文献4】N. Maeda et al., "Systematic Study of Deposition Effect (Si₃N₄, SiO₂, AlN, and Al₂O₃) on Electrical Properties in AlGaIn/GaN Heterostructures," Jpn. J. Appl. Phys., Vol. 46, No. 2 (2007), pp. 547-554

【発明の概要】

【発明が解決しようとする課題】

【0012】

本発明者は、上記のような窒化物半導体を用いた半導体装置の研究開発に従事しており、ノーマリーオフ型の半導体装置の特性向上についてについて、鋭意検討している。その過程において、窒化物半導体を用いた半導体装置の特性について更なる改善の余地があることが判明した。 20

【0013】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0014】

本願において開示される実施の形態のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0015】

本願において開示される一実施の形態に示される半導体装置は、溝内にゲート絶縁膜を介して配置されたゲート電極を有する半導体装置である。このゲート絶縁膜を、溝の端部から第1電極側に延在し、溝の端部側に位置する第1部と、第1部より第1電極側に位置し、前記第1部より膜厚の大きい第2部とを有するように構成する。 30

【0016】

本願において開示される一実施の形態に示される半導体装置の製造方法は、第1膜をマスクとして、第1窒化物半導体層および第2窒化物半導体層の積層体をエッチングすることにより、第2窒化物半導体層を貫通し、第1窒化物半導体層の途中まで到達する溝を形成する工程を有する。そして、第1膜の端部を溝の端部から後退させた後、溝の内部を含む第1膜上に、第2膜を形成する。 40

【発明の効果】

【0017】

本願において開示される以下に示す代表的な実施の形態に示される半導体装置によれば、半導体装置の特性を向上させることができる。

【0018】

また、本願において開示される以下に示す代表的な実施の形態に示される半導体装置の製造方法によれば、特性の良好な半導体装置を製造することができる。

【図面の簡単な説明】

【0019】

【図1】実施の形態1の半導体装置の構成を示す断面図である。

【図2】実施の形態1の半導体装置の製造工程を示す断面図である。 50

【図 3】実施の形態 1 の半導体装置の製造工程を示す断面図であって、図 2 に続く製造工程を示す断面図である。

【図 4】実施の形態 1 の半導体装置の製造工程を示す断面図であって、図 3 に続く製造工程を示す断面図である。

【図 5】実施の形態 1 の半導体装置の製造工程を示す断面図であって、図 4 に続く製造工程を示す断面図である。

【図 6】実施の形態 1 の半導体装置の製造工程を示す断面図であって、図 5 に続く製造工程を示す断面図である。

【図 7】実施の形態 1 の半導体装置の製造工程を示す断面図であって、図 6 に続く製造工程を示す断面図である。

【図 8】実施の形態 1 の半導体装置の製造工程を示す断面図であって、図 7 に続く製造工程を示す断面図である。

【図 9】実施の形態 1 の半導体装置の製造工程を示す断面図であって、図 8 に続く製造工程を示す断面図である。

【図 10】実施の形態 1 の半導体装置の製造工程を示す断面図であって、図 9 に続く製造工程を示す断面図である。

【図 11】実施の形態 1 の半導体装置の製造工程を示す断面図であって、図 10 に続く製造工程を示す断面図である。

【図 12】実施の形態 1 の半導体装置の製造工程を示す断面図であって、図 11 に続く製造工程を示す断面図である。

【図 13】実施の形態 1 の半導体装置の製造工程を示す断面図であって、図 12 に続く製造工程を示す断面図である。

【図 14】実施の形態 1 の半導体装置の製造工程を示す断面図であって、図 13 に続く製造工程を示す断面図である。

【図 15】実施の形態 1 の半導体装置の製造工程を示す断面図であって、図 14 に続く製造工程を示す断面図である。

【図 16】実施の形態 1 の半導体装置の製造工程を示す断面図であって、図 15 に続く製造工程を示す断面図である。

【図 17】比較例の半導体装置の構成を模式的に示す断面図である。

【図 18】実施の形態 1 の半導体装置のゲート電極近傍の構成を模式的に示す断面図である。

【図 19】実施の形態 1 の半導体装置の変形例 1 の構成を模式的に示す断面図である。

【図 20】実施の形態 1 の半導体装置の変形例 2 の構成を模式的に示す断面図である。

【図 21】実施の形態 2 の半導体装置の構成を模式的に示す断面図である。

【図 22】実施の形態 2 の半導体装置の製造工程を示す断面図である。

【図 23】実施の形態 2 の半導体装置の製造工程を示す断面図であって、図 22 に続く製造工程を示す断面図である。

【図 24】実施の形態 2 の半導体装置の製造工程を示す断面図であって、図 23 に続く製造工程を示す断面図である。

【図 25】実施の形態 2 の半導体装置の製造工程を示す断面図であって、図 24 に続く製造工程を示す断面図である。

【図 26】実施の形態 2 の半導体装置の製造工程を示す断面図であって、図 25 に続く製造工程を示す断面図である。

【図 27】実施の形態 2 の半導体装置の製造工程を示す断面図であって、図 26 に続く製造工程を示す断面図である。

【図 28】実施の形態 2 の半導体装置の製造工程を示す断面図であって、図 27 に続く製造工程を示す断面図である。

【図 29】実施の形態 2 の半導体装置の製造工程を示す断面図であって、図 28 に続く製造工程を示す断面図である。

【図 30】実施の形態 2 の半導体装置の製造工程を示す断面図であって、図 29 に続く製造工程を示す断面図である。

10

20

30

40

50

造工程を示す断面図である。

【図 3 1】実施の形態 2 の半導体装置の他の製造工程を示す断面図である。

【図 3 2】実施の形態 2 の半導体装置の他の製造工程を示す断面図であって、図 3 1 に続く製造工程を示す断面図である。

【図 3 3】半導体装置のオン抵抗と後退量との関係を示すグラフである。

【図 3 4】半導体装置のオン抵抗とテーパ角との関係を示すグラフである。

【図 3 5】半導体装置の S 値とテーパ角との関係を示すグラフである。

【図 3 6】後退量 $L_d = 0$ の場合、後退量 $L_d = 0.2 \mu m$ の場合およびフィールドプレート電極がない場合の半導体装置の電界強度分布を示すグラフである。

【図 3 7】フィールドプレート電極がない半導体装置の構成を模式的に示す断面図である。 10

【図 3 8】実施の形態 3 の半導体装置の構成を模式的に示す断面図である。

【図 3 9】実施の形態 3 の半導体装置の製造工程を示す断面図である。

【図 4 0】実施の形態 3 の半導体装置の製造工程を示す断面図であって、図 3 9 に続く製造工程を示す断面図である。

【図 4 1】実施の形態 3 の半導体装置の製造工程を示す断面図であって、図 4 0 に続く製造工程を示す断面図である。

【図 4 2】実施の形態 3 の半導体装置の製造工程を示す断面図であって、図 4 1 に続く製造工程を示す断面図である。

【図 4 3】実施の形態 3 の半導体装置の製造工程を示す断面図であって、図 4 2 に続く製造工程を示す断面図である。 20

【図 4 4】実施の形態 3 の半導体装置の製造工程を示す断面図であって、図 4 3 に続く製造工程を示す断面図である。

【図 4 5】実施の形態 3 の半導体装置の製造工程を示す断面図であって、図 4 4 に続く製造工程を示す断面図である。

【図 4 6】実施の形態 4 の電子装置の構成を示す回路図である。

【発明を実施するための形態】

【0020】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、応用例、詳細説明、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。 30

【0021】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数等（個数、数値、量、範囲等を含む）についても同様である。 40

【0022】

以下、実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一または関連する符号を付し、その繰り返しの説明は省略する。また、複数の類似の部材（部位）が存在する場合には、総称の符号に記号を追加し個別または特定の部位を示す場合がある。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0023】

また、実施の形態で用いる図面においては、断面図であっても図面を見易くするためにハッチングを省略する場合もある。 50

【0024】

また、断面図において、各部位の大きさは実デバイスと対応するものではなく、図面を分かりやすくするため、特定の部位を相対的に大きく表示する場合がある。

【0025】

(実施の形態1)

以下、図面を参照しながら本実施の形態の半導体装置について詳細に説明する。図1は、本実施の形態の半導体装置の構成を示す断面図である。図2～図16は、本実施の形態の半導体装置の製造工程を示す断面図である。

【0026】

[構造説明]

図1は、本実施の形態の半導体装置の構成を示す断面図である。図1に示す半導体装置は、窒化物半導体を用いたMIS (Metal Insulator Semiconductor) 型の電界効果トランジスタ (FET; Field Effect Transistor) である。この半導体装置は、高電子移動度トランジスタ (HEMT: High Electron Mobility Transistor) やパワートランジスタとも呼ばれる。本実施の形態の半導体装置は、いわゆるリセスゲート型の半導体装置である。

【0027】

本実施の形態の半導体装置においては、基板S上に、核生成層NUC、歪緩和層STR、バッファ層BU、チャンネル層 (電子走行層ともいう) CHおよび障壁層BAが順に形成されている。ゲート電極GEは、障壁層BAを貫通し、チャンネル層の途中まで到達する溝Tの内部にゲート絶縁膜GIを介して形成されている。チャンネル層CHや障壁層BAは窒化物半導体よりなり、障壁層BAは、チャンネル層CHよりバンドギャップが広い窒化物半導体である。

【0028】

チャンネル層CHと障壁層BAとの界面近傍のチャンネル層CH側に、2次元電子ガス2DEGが生成される。また、ゲート電極GEに正の電位 (閾値電位) が印加された場合には、ゲート絶縁膜GIとチャンネル層CHとの界面近傍には、チャンネルCが形成される。このチャンネルCが形成される領域の抵抗としては、溝Tの底面に沿って生じるMISチャンネルの抵抗であるチャンネル抵抗Rch、溝Tのソース電極SE側の側面 (側壁ともいう) に沿って生じるMISチャンネルの抵抗であるチャンネル抵抗Ras、および溝Tのドレイン電極DE側の側面に沿って生じるMISチャンネルの抵抗であるチャンネル抵抗Radがある。

【0029】

上記2次元電子ガス2DEGは次のメカニズムで形成される。チャンネル層CHや障壁層BAを構成する窒化物半導体 (ここでは、窒化ガリウム系の半導体) は、それぞれ、禁制帯幅 (バンドギャップ) や電子親和力が異なる。このため、これらの半導体の接合面に、井戸型ポテンシャルが生成される。この井戸型ポテンシャル内に電子が蓄積されることにより、チャンネル層CHと障壁層BAとの界面近傍に、2次元電子ガス2DEGが生成される。

【0030】

ここで、チャンネル層CHと障壁層BAとの界面近傍に形成される、2次元電子ガス2DEGは、ゲート電極GEが形成されている溝Tにより分断されている。このため、本実施の形態の半導体装置においては、ゲート電極GEに正の電位 (閾値電位) が印加されていない状態においてオフ状態を維持でき、ゲート電極GEに正の電位 (閾値電位) を印加した状態においてオン状態を維持できる。このように、ノーマリーオフ動作を行うことができる。

【0031】

本実施の形態の半導体装置の構成について、さらに、詳細に説明する。図1に示すように、本実施の形態の半導体装置は、基板S上に、核生成層NUCが形成され、核生成層NUC上に、歪緩和層STRが形成されている。核生成層NUCは、歪緩和層STRなどの上部に形成される層が成長する際の結晶核を生成させるために形成する。また、上部に形

10

20

30

40

50

成される層から基板 S に、上部に形成される層の構成元素（例えば、Ga など）が拡散して、基板 S が変質することを防ぐために形成する。また、歪緩和層 STR は、基板 S に対する応力を緩和して、基板 S に反りやクラックが発生することを抑制するために形成する。

【0032】

この歪緩和層 STR 上には、バッファ層 BU が形成され、バッファ層 BU 上に、窒化物半導体からなるチャネル層（電子走行層ともいう）CH が形成され、チャネル層 CH 上に、窒化物半導体からなる障壁層 BA が形成されている。即ち、歪緩和層 STR の主面（上面）上に、バッファ層 BU とチャネル層 CH と障壁層 BA とが、下から順に形成（積層）されている。障壁層 BA 上には、ソース電極 SE およびドレイン電極 DE がそれぞれオーミック層を介して形成されている。バッファ層 BU は、チャネル層 CH と歪緩和層 STR との間に位置する中間層である。

10

【0033】

ゲート電極 GE は、絶縁膜 IF1 および障壁層 BA を貫通し、チャネル層 CH の途中まで掘り込まれた溝（トレンチ、リセスともいう）T の内部にゲート絶縁膜 GI を介して形成されている。

【0034】

ゲート絶縁膜 GI は、絶縁膜 IF1 と絶縁膜 IF2 との積層膜よりなる。絶縁膜 IF1 は、開口領域 OA1 に開口部を有する。この開口部は、溝 T の形成領域（開口領域 OA2）よりドレイン電極 DE 側に、距離 Ld だけ広い領域に設けられる。言い換えれば、絶縁膜 IF1 は、溝 T のドレイン電極 DE 側の端部から距離 Ld だけ後退している。この距離 Ld を“後退量 Ld”と呼ぶこともある。

20

【0035】

このように、絶縁膜 IF1 を、溝 T のドレイン電極 DE 側の端部から距離 Ld だけ後退させて配置し、さらに、溝 T の内部を含む絶縁膜 IF1 の上部に絶縁膜 IF2 を配置する。これにより、絶縁膜 IF1 と絶縁膜 IF2 との積層膜よりなるゲート絶縁膜 GI の膜厚が、溝 T のドレイン電極 DE 側の端部においては、絶縁膜 IF1 の膜厚と対応する膜厚 T1 となり、後退量 Ld を超えたドレイン電極 DE 側においては、絶縁膜 IF1 と絶縁膜 IF2 との膜厚の和に対応する膜厚 T2 ($> T1$) となる。

【0036】

また、別の言い方をすれば、ゲート絶縁膜 GI は、溝 T のドレイン電極 DE 側の端部からドレイン電極 DE までの間において、絶縁膜 IF2 の単層膜よりなる第 1 部と、この第 1 部よりドレイン電極 DE 側に位置し、絶縁膜 IF1 と絶縁膜 IF2 との積層膜よりなる第 2 部とを有する。溝 T のドレイン電極 DE 側の端部から第 2 部（絶縁膜 IF2 の溝 T 側の端部）までが距離 Ld となる。

30

【0037】

絶縁膜 IF1 と絶縁膜 IF2 との積層膜よりなるゲート絶縁膜 GI 上にゲート電極 GE が配置されている。このゲート電極 GE は、一方向（図 1 中では右側、ドレイン電極 DE 側）に張り出した形状である。この張り出し部は、フィールドプレート電極（フィールドプレート電極部ともいう）FP と呼ばれる。このフィールドプレート電極 FP は、ドレイン電極 DE 側の溝 T の端部からドレイン電極 DE 側へ延在するゲート電極 GE の一部の領域である。

40

【0038】

よって、ゲート電極 GE（フィールドプレート電極 FP）は、絶縁膜 IF2 の単層膜よりなる第 1 部上に位置し、また、この第 1 部よりドレイン電極 DE 側に位置し、絶縁膜 IF1 と絶縁膜 IF2 との積層膜よりなる第 2 部上にも位置することとなる。言い換えれば、フィールドプレート電極 FP の下層には、絶縁膜 IF2 の単層膜よりなる第 1 部と、この第 1 部よりドレイン電極 DE 側に位置し、絶縁膜 IF1 と絶縁膜 IF2 との積層膜よりなる第 2 部とが配置される。

【0039】

50

このように、ゲート絶縁膜 G I を、溝 T のドレイン電極 D E 側の端部に位置する第 1 部と、この第 1 部よりドレイン電極 D E 側に位置し、上記第 1 部より膜厚の大きい第 2 部とで構成し、この上部に、フィールドプレート電極 F P を含むゲート電極 G E を配置する。これにより、溝 T のドレイン電極 D E 側の端部のゲート絶縁膜 G I の膜厚 (T 1) が低減するため、チャンネル C が形成される溝 T の底面や側面のうち、ドレイン電極 D E 側の底面や側面において、ゲート変調が効きやすくなる。言い換えれば、よりチャンネル C が形成され易くなる。よって、溝 T のドレイン電極 D E 側の側面に沿って生じるチャンネル抵抗 R_{ad} を低減することができる。

【0040】

また、上記第 1 部および上記第 2 部を設けることで、追って詳細に説明するように、フィールドプレート電極 F P の下方の電界集中箇所が 2 箇所に分散する (図 18 参照)。このため、電界集中が緩和され、ゲート耐圧が向上する。さらに、これにより、フィールドプレート電極 F P の長さを短縮でき、ひいてはゲート電極 G E とドレイン電極 D E との間の距離を短縮できる。よって、デバイスの縮小化や高集積化が可能となる。

【0041】

このゲート電極 G E の両側の障壁層 B A 上には、ソース電極 S E およびドレイン電極 D E が形成されている。なお、溝 T の端部からソース電極 S E までの距離より、溝 T の端部からドレイン電極 D E までの距離の方が大きい。このソース電極 S E およびドレイン電極 D E は、それぞれ絶縁膜 I F 1 や絶縁層 I L 1 の開口部を介して障壁層 B A と接続するように形成されている。この接続は、オーミック接続である。

【0042】

ゲート電極 G E 上には、絶縁層 I L 1 が形成されている。また、上記ソース電極 S E およびドレイン電極 D E は、絶縁層 I L 1 中に形成されたコンタクトホール内およびその上部に形成されている。この絶縁層 I L 1、ソース電極 S E およびドレイン電極 D E 上には、絶縁層 I L 2 が形成されている。

【0043】

〔製法説明〕

次いで、図 2 ～図 16 を参照しながら、本実施の形態の半導体装置の製造方法を説明するとともに、当該半導体装置の構成をより明確にする。図 2 ～図 16 は、本実施の形態の半導体装置の製造工程を示す断面図である。

【0044】

図 2 に示すように、基板 S 上に、核生成層 N U C、歪緩和層 S T R およびバッファ層 B U を順次形成する。基板 S として、例えば、(111) 面が露出しているシリコン (S i) からなる半導体基板を用い、その上部に、核生成層 N U C として、例えば、窒化アルミニウム (A l N) 層を有機金属気相成長 (M O C V D : Metal Organic Chemical Vapor Deposition) 法などを用いてヘテロエピタキシャル成長させる。次いで、核生成層 N U C 上に、歪緩和層 S T R として、窒化ガリウム (G a N) 層と窒化アルミニウム (A l N) 層との積層膜 (A l N / G a N 膜) を、繰り返し積層した超格子構造体を形成する。例えば、窒化ガリウム (G a N) 層および窒化アルミニウム (A l N) 層を、有機金属気相成長法などを用いて、それぞれ 2 ～ 3 n m 程度の膜厚で、それぞれ 100 層 (合計 200 層) 程度、繰り返しヘテロエピタキシャル成長させる。なお、基板 S としては、上記シリコンの他、S i C やサファイアなどからなる基板を用いてもよい。さらに通常、核生成層 N U C を含んで核生成層 N U C 以降の I I I 族窒化物層は、すべて I I I 族元素面成長 (すなわち本件の場合、ガリウム面成長あるいはアルミ面成長) で形成する。

【0045】

次いで、歪緩和層 S T R 上に、バッファ層 B U を形成する。歪緩和層 S T R 上に、バッファ層 B U として、例えば、A l G a N 層を、有機金属気相成長法などを用いてヘテロエピタキシャル成長させる。

【0046】

次いで、バッファ層 B U 上に、チャンネル層 C H を形成する。例えば、バッファ層 B U 上

に、窒化ガリウム（GaN）層を、有機金属気相成長法などを用いてヘテロエピタキシャル成長させる。このチャンネル層CHの膜厚は、例えば、3nm以上である。

【0047】

次いで、チャンネル層CH上に、障壁層BAとして、例えば、AlGaN層を、有機金属気相成長法などを用いてヘテロエピタキシャル成長させる。この障壁層BAのAlGaN層のAlの組成比は、前述したバッファ層BUのAlGaN層のAlの組成比より大きくする。

【0048】

このようにして、バッファ層BU、チャンネル層CHおよび障壁層BAの積層体が形成される。この積層体は、上記ヘテロエピタキシャル成長、即ち、 $[0001]$ 結晶軸（C軸）方向に積層するIII族面成長により形成される。言い換えれば、 (0001) Ga面成長により上記積層体が形成される。この積層体のうち、チャンネル層CHと障壁層BAとの界面近傍には、2次元電子ガス2DEGが生成される。

【0049】

次いで、図3に示すように、障壁層BA上に、カバー膜として絶縁膜IF1を形成する。カバー膜としては、窒化シリコン膜を用いることが好ましい。この窒化シリコン膜は、GaNデバイスにおける電流コラプス現象を抑制するのに有効である。また、窒化シリコン膜の成膜方法としては、CVD法やECRスパッタ法があるが、ECRスパッタ法は装置が複雑になるきらいがあるので、量産ではCVD法が多用される。そこで例えば、絶縁膜IF1として、窒化シリコン膜（窒化シリコンを含有する膜）を、CVD（Chemical Vapor Deposition）法などを用いて、900オングストローム（ $1\text{Å} = 10^{-10}\text{m}$ ）程度の膜厚で堆積する。次いで、絶縁膜IF1上に、マスク用の絶縁膜IFMとして、酸化シリコン膜を、CVD法などを用いて、900オングストローム程度の膜厚で堆積する。

【0050】

次いで、図4に示すように、フォトリソグラフィ技術を用いて、開口領域OA1に開口部を有するフォトレジスト膜PR1を形成する。次いで、図5に示すように、フォトレジスト膜PR1をマスクとして、マスク用の絶縁膜IFMをエッチングする。酸化シリコン膜のエッチングガスとしては、例えば、 C_4H_8 などの炭化水素ガスを用いることができる。これにより、図5に示すように、絶縁膜IF1上に、開口領域OA1に開口部を有するマスク用の絶縁膜IFMが形成される。次いで、図6に示すように、プラズマ剥離処理などによりフォトレジスト膜PR1を除去する。

【0051】

次いで、図7に示すように、フォトリソグラフィ技術を用いて、開口領域OA1の内側に位置する開口領域OA2に開口部を有するフォトレジスト膜PR2を形成する。次いで、図8に示すように、フォトレジスト膜PR2をマスクとして、絶縁膜IF1をエッチングする。窒化シリコン膜のエッチングガスとしては、例えば、 SF_6 や CF_4 などのフッ素系のガスを用いることができる。下層の障壁層BA（AlGaN層）は、フッ素系のガスによりほとんどエッチングされないため、マスク用の絶縁膜IFM（酸化シリコン膜）のエッチングガスとして、フッ素系のガスを用いて好適である。

【0052】

次いで、プラズマ剥離処理などによりフォトレジスト膜PR2を除去する。これにより、図9に示すように、障壁層BA上に、開口領域OA2に開口部を有する絶縁膜IF1が形成される。さらに、この絶縁膜IF1上には、開口領域OA2の一端から後退した絶縁膜IFMであって、開口領域OA1に開口部を有するマスク用の絶縁膜IFMが配置される。この絶縁膜IF1は、ゲート絶縁膜GIの一部となる。また、絶縁膜IFMは、絶縁膜IF1を後述する溝Tの端部から後退させるためのエッチング時のマスクとなる。

【0053】

次いで、図10に示すように、絶縁膜IF1および絶縁膜IFMの積層膜をマスクとして、障壁層BAおよびチャンネル層CH（積層体ともいう）をエッチングすることにより、絶縁膜IF1および障壁層BAを貫通してチャンネル層CHの途中まで達する溝Tを形成す

10

20

30

40

50

る。エッチングガスとしては、例えば、塩素系のガス（ BCl_3 など）を用いる。ここで、図 10 には明示していないが、溝 T を形成するためのエッチングの際、絶縁膜 IFM の表面や絶縁膜 IF1 の露出部において、これらの膜がエッチングされ、その膜厚が低減してもよい。このエッチングの後、エッチングダメージの回復のために、熱処理（アニール）を行ってもよい。

【0054】

次いで、図 11 に示すように、マスク用の絶縁膜 IFM をマスクとして、絶縁膜 IF1 をエッチングする。これにより、絶縁膜 IF1 の溝 T 側の端部が、一方向（図 11 中では右側）に後退する。後退量（後退距離）を“ L_d ”とする。この方向は、後述するドレイン電極 DE 側である。次いで、図 12 に示すように、マスク用の絶縁膜 IFM をエッチングにより除去する。

10

【0055】

また、残存するマスク用の絶縁膜 IFM および絶縁膜 IF1 の積層膜を、所定の膜厚分（絶縁膜 IF1 の露出部の膜厚分）だけエッチバックし、絶縁膜 IF1 の溝 T 側の端部を後退させてもよい。この際、マスク用の絶縁膜 IFM が完全に除去されるよう、エッチング量を調整してもよい。また、マスク用の絶縁膜 IFM が残存する場合には、別途エッチングにより残存する絶縁膜 IFM を除去してもよい。

【0056】

次いで、図 13 に示すように、溝 T 内および障壁層 BA の露出部を含む絶縁膜 IF1 上に、絶縁膜 IF2 を形成する。この絶縁膜 IF1 と絶縁膜 IF2 とは、ゲート絶縁膜 GI として機能する。なお、ゲート電極 GE に正の電位（閾値電位）を印加した状態において、ゲート変調に寄与するゲート絶縁膜 GI は、主として絶縁膜 IF2 の部分である。

20

【0057】

例えば、絶縁膜 IF2 として、アルミナ（酸化アルミニウム膜、 Al_2O_3 ）を ALD（Atomic Layer Deposition）法などを用いて、溝 T 内および障壁層 BA の露出部を含む絶縁膜 IF1 上に堆積する。絶縁膜 IF2 として、アルミナ（アルミナを含有する膜）の他、酸化シリコン膜や、酸化シリコン膜よりも誘電率の高い高誘電率膜を用いてもよい。高誘電率膜として、酸化ハフニウム膜（ HfO_2 膜）を用いてもよい。また、高誘電率膜として、ハフニウムアルミネート膜、 HfON 膜（ハフニウムオキシナイトライド膜）、 HfSiO 膜（ハフニウムシリケート膜）、 HfSiON 膜（ハフニウムシリコンオキシナイトライド膜）、 HfAlO 膜のような他のハフニウム系絶縁膜を用いてもよい。

30

【0058】

このように、ゲート絶縁膜 GI を上記のような絶縁膜 IF1 と絶縁膜 IF2 との積層膜で構成する。これにより、溝 T の側壁側には、絶縁膜 IF2 の単層膜よりなる第 1 膜厚部が設けられる。また、後述するドレイン電極 DE 側には、絶縁膜 IF1 および絶縁膜 IF2 の積層膜よりなる第 2 膜厚部が設けられる。第 2 膜厚部の膜厚 T2 は、第 1 膜厚部の膜厚 T1 より大きい（図 13 参照）。

【0059】

次いで、溝 T の内部のゲート絶縁膜 GI 上にゲート電極 GE を形成する。例えば、ゲート絶縁膜 GI 上に、導電性膜として、例えば、ニッケル（ Ni ）膜と、その上部の金（ Au ）膜からなる積層膜（ Au/Ni 膜ともいう）を、スパッタリング法などを用いて堆積する。次いで、フォトリソグラフィ技術およびエッチング技術を用いて、 Au/Ni 膜をパターニングすることによりゲート電極 GE を形成する。なお、この Au/Ni 膜のエッチングの際、下層の絶縁膜 IF2 をエッチングしてもよい。

40

【0060】

このパターニングの際、ゲート電極 GE を、一方向（図 13 中では右側、ドレイン電極 DE 側）に張り出した形状にパターニングする。言い換えれば、ゲート電極 GE の一部として、フィールドプレート電極（フィールドプレート電極部ともいう）FP を設けるようにパターニングを行う。フィールドプレート電極 FP は、ゲート電極 GE の一部の領域であり、ドレイン電極 DE 側の溝 T の端部からドレイン電極 DE 側へ延在する電極部分を

50

指す。

【0061】

即ち、フィールドプレート電極FPは、絶縁膜IF2の単層膜よりなる第1膜厚部上、およびこの第1膜厚部よりドレイン電極DE側に位置し、絶縁膜IF1と絶縁膜IF2との積層膜よりなる第2膜厚部上を覆うように配置される。

【0062】

次いで、図14に示すように、後述のソース電極SEおよびドレイン電極DEの形成領域の絶縁膜IF1を除去する。フォトリソグラフィ技術およびエッチング技術を用いて、絶縁膜IF1をパターンニングすることにより、ソース電極SEおよびドレイン電極DEの形成領域の障壁層BAを露出させる。なお、この絶縁膜IF1の除去を後述するコンタクトホールC1の形成時に行ってもよい。

10

【0063】

次いで、図15に示すように、ゲート電極GE上に、絶縁層IL1を形成する。ゲート電極GE、絶縁膜IF1および障壁層BA上に、絶縁層IL1として、例えば、酸化シリコン膜をCVD法などを用いて形成する。この後、フォトリソグラフィ技術およびエッチング技術を用いて、絶縁層IL1中にコンタクトホールC1を形成する。このコンタクトホールC1は、ゲート電極GEの両側の障壁層BA上に配置される。

【0064】

次いで、図16に示すように、コンタクトホールC1の内部を含む絶縁層IL1上に、オーミック層（図示せず）を形成する。例えば、チタン（Ti）膜と、その上部のアルミニウム（Al）膜からなる積層膜（Al/Ti膜ともいう）を、蒸着法などを用いて、コンタクトホールC1内を含む絶縁層IL1上に堆積する。さらに、例えば、チタン（Ti）膜と、その上部の窒化チタン（TiN）膜からなる積層膜（TiN/Ti膜ともいう）を、スパッタリング法などを用いて、Al/Ti膜上に堆積する。これにより、チタン（Ti）膜、アルミニウム（Al）膜、チタン（Ti）膜および窒化チタン（TiN）膜の積層膜（TiN/Ti/Al/Ti膜ともいう）を形成し、例えば、550℃で30分程度の熱処理を行う。この熱処理により、TiN/Ti/Al/Ti膜とGaN系半導体界面の接触がオーミック接触となる。次いで、TiN/Ti/Al/Ti膜（オーミック層、図示せず）上に、アルミニウム合金膜を、スパッタリング法などを用いて堆積する。アルミニウム合金としては、例えば、AlとSiの合金（Al-Si）、AlとCu（銅）との合金（Al-Cu）、AlとSiとCu（Al-Si-Cu）などを用いることができる。次いで、フォトリソグラフィ技術およびエッチング技術を用いて、TiN/Ti/Al/Ti膜およびアルミニウム合金膜をパターンニングすることにより、コンタクトホールC1内に、オーミック層（図示せず）を介してソース電極SEおよびドレイン電極DEが形成される。

20

30

【0065】

次いで、ソース電極SEおよびドレイン電極DE上を含む絶縁層IL1上に、絶縁層（カバー膜、表面保護膜ともいう）IL2を形成する。ソース電極SEおよびドレイン電極DE上を含む絶縁層IL1上に、絶縁層IL2として、例えば、酸窒化シリコン（SiON）膜を、CVD法などを用いて堆積する。

40

【0066】

以上の工程により、図1に示す半導体装置を形成することができる。なお、上記工程は、一例であり、上記工程以外の工程により、本実施の形態の半導体装置を製造してもよい。

【0067】

このように、本実施の形態によれば、ゲート絶縁膜GIを構成する絶縁膜IF1と絶縁膜IF2のうち、絶縁膜IF1を、溝Tのドレイン電極DE側の端部から距離Ldだけ後退させて配置し、さらに、溝Tの内部を含む絶縁膜IF1の上部に絶縁膜IF2を配置する構成としたので、フィールドプレート電極FPの下層のゲート絶縁膜GIを、階段状の構造（二段構造）とすることができる。言い換えれば、フィールドプレート電極FPの下

50

層には、絶縁膜 I F 2 の単層膜よりなる第 1 部と、この第 1 部よりドレイン電極 D E 側に位置し、絶縁膜 I F 1 と絶縁膜 I F 2 との積層膜よりなる第 2 部とが配置される。

【0068】

これにより、前述したように、溝 T のドレイン電極 D E 側の端部のゲート絶縁膜 G I の膜厚 (T 1) が低減するため、チャネル C が形成される溝 T の底面や側面のうち、ドレイン電極 D E 側の底面部や側面において、ゲート変調が効きやすくなる。言い換えれば、よりチャネル C が形成され易くなる。よって、溝 T のドレイン電極 D E 側の側面に沿って生じるチャネル抵抗 R a d を低減することができる。

【0069】

また、上記第 1 部および上記第 2 部を設けることで、追って詳細に説明するように、フィールドプレート電極 F P の下方の電界集中箇所が 2 箇所に分散する (図 18 参照)。このため、電界集中が緩和され、ゲート耐圧が向上する。さらに、これにより、フィールドプレート電極 F P の長さを短縮でき、ひいてはゲート電極 G E とドレイン電極 D E との間の距離を短縮できる。よって、デバイスの縮小化や高集積化が可能となる。

【0070】

図 17 は、比較例の半導体装置の構成を模式的に示す断面図である。図 18 は、本実施の形態の半導体装置のゲート電極近傍の構成を模式的に示す断面図である。

【0071】

図 17 に示す比較例の半導体装置においては、絶縁膜 I F 1 の溝 T 側の端部をドレイン電極 D E 側に後退しておらず、絶縁膜 I F 1 が溝 T の側壁まで延在している。この場合、溝 T のドレイン電極 D E 側の端部において、絶縁膜の膜厚は、絶縁膜 I F 1 と絶縁膜 I F 2 との膜厚の和に対応する膜厚 (T 2) となる。即ち、図 18 に示す本実施の形態の半導体装置の場合より厚膜化することとなる (T 2 > T 1)。

【0072】

よって、図 17 に示す比較例の半導体装置においては、溝 T のドレイン電極 D E 側の側面に沿って生じるチャネル抵抗 R a d が増大する恐れがある。半導体装置の動作時において、溝 T のドレイン電極 D E 側の側面に沿って生じるチャネル C は、ドレイン電極 D E にバイアスされた大きな正のドレイン電圧の影響を受けて、正の電位となっている。しかしながら、前述したように、溝 T のドレイン電極 D E 側の端部の絶縁膜の膜厚 (T 2) が大きいと、ゲート電極 G E のフィールドプレート電極 F P と障壁層 B A (半導体領域、窒化物半導体領域) との距離が大きくなり、溝 T のドレイン電極 D E 側の端部のチャネル C は、ゲート電圧で十分変調されなくなる。したがって、溝 T のドレイン電極 D E 側の端部のチャネル C は、実効的に高い閾値 V t h を持つことになり、オン抵抗が高くなってしま

【0073】

また、チャネル狭窄により、さらに、オン抵抗が増大する。即ち、障壁層 B A である A l G a N 層の表面には負の分極電荷 (e) が発生している (図 17 参照)。しかしながら、絶縁膜 I F 1 として用いた窒化シリコン膜 (S i N 膜) は、上記分極電荷 (e) を十分に補償できない (非特許文献 3 等参照)。特に、熱 C V D 法やプラズマ C V D (Plasma-Enhanced CVD) により窒化シリコン膜 (S i N 膜) を成膜した場合、S i リッチな膜組成になる傾向がある。本発明者の検討によれば、S i リッチな窒化シリコン膜は、A l G a N 層の表面の負の分極電荷 (e) を補償する効果がさらに小さいことが判明した。

【0074】

したがって、溝 T のドレイン電極 D E 側の端部のチャネル部を、熱 C V D 法やプラズマ C V D により成膜した S i リッチな窒化シリコン膜で覆う構造では、補償されずに残存した負の分極電荷 (e) の影響を受けて、溝 T のドレイン電極 D E 側の端部のチャネル C でチャネル狭窄が生じやすい。これにより、半導体装置のオン抵抗がさらに上昇する。

【0075】

なお、障壁層 B A である A l G a N 層の表面を G a N よりなるキャップ層で覆うことにより、障壁層 B A (半導体領域、窒化物半導体領域) の最表面の分極電荷 (e) を負から

10

20

30

40

50

正にすることが可能である。このようにして、上記チャネル狭窄によるオン抵抗増加の問題を解決する手法が考えられる。しかしながら、Ga_{0.5}Nよりなるキャップ層を用いた構造では、Ga_{0.5}Nよりなるキャップ層／AlGa_{0.5}N層よりなる障壁層BAの界面における負の分極電荷の影響によって、肝心のAlGa_{0.5}N層よりなる障壁層BA／Ga_{0.5}Nよりなるチャネル層CHの界面のチャネルCのシート電荷濃度N_sが減少してしまう。このように、Ga_{0.5}Nよりなるキャップ層を用いても、オン抵抗の増大を抑制することは困難である。

【0076】

また、図17に示す比較例の半導体装置においては、半導体装置の動作時において、ゲート電極GEのフィールドプレート電極FPのドレイン電極DE側の端部（地点P2）に電界が集中する。このため、フィールドプレート電極FPのドレイン電極DE側の端部（地点P2）の直下の障壁層BA（半導体領域、窒化物半導体領域）において破壊が生じやすい。

10

【0077】

これに対し、本実施の形態（図18）の半導体装置においては、絶縁膜IF1の溝T側の端部をドレイン電極DE側に後退させたので、溝Tのドレイン電極DE側の端部において、絶縁膜の膜厚（T1）が小さくなる。このため、ゲート電極GEのフィールドプレート電極FPと半導体領域（窒化物半導体領域）との距離が小さくなり、溝Tのドレイン電極DE側の端部のチャネル部での、ゲート電圧による変調が大きくなる。したがって、溝Tのドレイン電極DE側の端部のチャネル部の閾値V_{th}を低下させることができ、オン抵抗を低減することができる。

20

【0078】

また、障壁層BAであるAlGa_{0.5}N層の表面の負の分極電荷（e）を十分に補償できない絶縁膜IF1（窒化シリコン膜、SiN膜）を後退させたので、溝Tのドレイン電極DE側の端部においては、絶縁膜IF2と障壁層BAであるAlGa_{0.5}N層とが接触する。特に、絶縁膜IF2として、絶縁膜IF1（窒化シリコン膜、SiN膜）より、負の分極電荷（e）の補償効果の大きい絶縁膜材料を選定することにより、チャネル狭窄の発生を抑制することができる。特に、絶縁膜IF2として、アルミナを用いた場合には、窒化シリコン膜より、AlGa_{0.5}N層の表面の負の分極電荷（e）の補償効果が大きいので、アルミナとAlGa_{0.5}N層との界面の負の分極電荷（e）を相殺することができる（例えば、非特許文献4参照）。このため、溝Tのドレイン電極DE側の端部のチャネル部でのチャネル狭窄の発生を抑制することができ、オン抵抗を低減することができる。

30

【0079】

また、本実施の形態（図18）の半導体装置においては、絶縁膜IF1の溝T側の端部をドレイン電極DE側に後退させ、フィールドプレート電極FPの下層のゲート絶縁膜GIを、階段状の構造（二段構造）としたので、電界集中が緩和される。即ち、図18に示すように、半導体装置の動作時において、電界集中箇所が、絶縁膜IF1の溝T側の端部（地点P1）とゲート電極GEのフィールドプレート電極FPのドレイン電極DE側の端部（地点P2）の2か所に分散する。絶縁膜IF1の溝T側の端部（地点P1）は、第1膜厚部と第2膜厚部との境界である。このように、電界集中箇所が、2か所に分散されることにより、電界集中が緩和され、ゲート耐圧が増大する（実施の形態2の図36も参照）。また、ゲート電極GEのフィールドプレート電極FPの長さや、ゲート電極GEとドレイン電極DEとの距離を、短縮することができ、半導体装置の小型化や高集積化が可能となる。

40

【0080】

以下に、本実施の形態の変形例について説明する。

【0081】

（変形例1）

上記実施の形態においては、絶縁膜IF1の溝T側の端部をドレイン電極DE側にのみ後退させたが、絶縁膜IF1の溝T側のドレイン電極DE側の端部およびソース電極SE側の端部のそれぞれを後退させてもよい。図19は、本実施の形態の半導体装置の変形例

50

1の構成を模式的に示す断面図である。

【0082】

図19に示すように、絶縁膜IF1のドレイン電極DE側の端部を、溝Tの端部からドレイン電極DE側に後退量Ldだけ後退させ、さらに、絶縁膜IF1のソース電極SE側の端部を溝Tの端部からソース電極SE側に後退量Lsだけ後退させる。この場合、溝Tの端部とソース電極SEとの間においても、ゲート電極GEの下層のゲート絶縁膜GIが階段状の構造(二段構造)となる。他の構成は、上記実施の形態と同様であるため、その説明を省略する。また、製造方法においては、開口領域OA1の形成領域を、開口領域OA2からソース電極SE側に距離Lsの幅だけ大きくし、ドレイン電極DE側に距離Ldの幅だけ大きくする。これにより、開口領域OA2より大きい開口領域OA1を設定することができる。そして、開口領域OA1に開口部を有するマスク用の絶縁膜IFMを形成し、これをマスクとして絶縁膜IF1をエッチングする。他の工程は、上記実施の形態と同様であるため、その説明を省略する。

10

【0083】

(変形例2)

上記実施の形態においては、溝Tの側壁を、障壁層BAやチャネル層CHの表面に対しほぼ垂直(テーパ角 $\theta = 90^\circ$)に形成したが、溝Tの側壁を、テーパ形状としてもよい。図20は、本実施の形態の半導体装置の変形例2の構成を模式的に示す断面図である。

20

【0084】

図20に示すように、本例においては、溝Tの側面(側壁)と溝Tの底面の延長面とのなす角度(テーパ角 θ ともいう)が、 90° 未満である。言い換えれば、溝Tの側面(側壁)と(111)面とのなす角度が、 90° 未満となっている。他の構成は、上記実施の形態と同様であるため、その説明を省略する。また、製造方法においては、溝Tの側壁がテーパ形状となるように、溝Tの形成の際のエッチング条件を調整する。例えば、異方的なエッチングガス成分より等方的なエッチングガスの成分が大きい条件下でエッチングを行う。他の工程は、上記実施の形態と同様であるため、その説明を省略する。

【0085】

(実施の形態2)

実施の形態1の変形例1においては、絶縁膜IF1の溝T側のドレイン電極DE側の端部およびソース電極SE側の端部のそれぞれを後退させ、また、変形例2においては、溝Tの側壁をテーパ形状としたが、絶縁膜IF1の溝T側のドレイン電極DE側の端部およびソース電極SE側の端部のそれぞれを後退させつつ、溝Tの側壁をテーパ形状としてもよい。図21は、本実施の形態の半導体装置の構成を模式的に示す断面図である。

30

【0086】

[構造説明]

図21に示すように、本実施の形態の半導体装置においては、絶縁膜IF1の溝T側のドレイン電極DE側の端部をドレイン電極DE側に後退量Ldだけ後退させ、さらに、絶縁膜IF1の溝T側のソース電極SE側の端部をソース電極SE側に後退量Lsだけ後退させている。そして、さらに、溝Tの側面(側壁)と溝Tの底面の延長面とのなす角度 θ が、 90° 未満となっている。他の構成は、実施の形態1と同様であるため、その説明を省略する。

40

【0087】

[製法説明]

次いで、図22～図30を参照しながら、本実施の形態の半導体装置の製造方法を説明するとともに、当該半導体装置の構成をより明確にする。図22～図30は、本実施の形態の半導体装置の製造工程を示す断面図である。なお、実施の形態1と同様の工程については、その詳細な説明を省略する。

【0088】

まず、実施の形態1と同様に、基板S上に、核生成層NUC、歪緩和層STR、バッフ

50

ァ層BU、チャネル層CHおよび障壁層BAの積層体を形成する（図2参照）。

【0089】

次いで、図22に示すように、障壁層BA上に、カバー膜として絶縁膜IF1を形成する。例えば、絶縁膜IF1として、窒化シリコン膜を、CVD法などを用いて、900オングストローム程度の膜厚で堆積する。次いで、絶縁膜IF上に、マスク用の絶縁膜IFMとして、酸化シリコン膜を、CVD法などを用いて、900オングストローム程度の膜厚で堆積する。

【0090】

次いで、図23に示すように、フォトリソグラフィ技術を用いて、開口領域OA1に開口部を有するフォトレジスト膜PR1を形成する。例えば、開口幅は、 $1.8\mu\text{m}$ 程度である。次いで、図24に示すように、フォトレジスト膜PR1をマスクとして、マスク用の絶縁膜IFMをエッチングする。酸化シリコン膜のエッチングガスとしては、例えば、 C_4H_8 などの炭化水素ガスを用いることができる。次いで、プラズマ剥離処理などによりフォトレジスト膜PR1を除去する。これにより、図25に示すように、絶縁膜IF1上に、開口領域OA1に開口部を有するマスク用の絶縁膜IFMが形成される。

【0091】

次いで、図26に示すように、フォトリソグラフィ技術を用いて、開口領域OA1の内側に位置する開口領域OA2に開口部を有するフォトレジスト膜PR2を形成する。例えば、開口領域OA2は、開口領域OA1の略中央部に位置し、開口幅は、 $1\mu\text{m}$ 程度である。次いで、図27に示すように、フォトレジスト膜PR2をマスクとして、絶縁膜IF1をエッチングする。窒化シリコン膜のエッチングガスとしては、例えば、 SF_6 や CF_4 などのフッ素系のガスを用いることができる。下層の障壁層BA（AlGaIn層）は、フッ素系のガスによりほとんどエッチングされないため、マスク用の絶縁膜IFM（酸化シリコン膜）のエッチングガスとして、フッ素系のガスを用いて好適である。次いで、プラズマ剥離処理などによりフォトレジスト膜PR2を除去する。これにより、図28に示すように、障壁層BA上に、開口領域OA2に開口部を有する絶縁膜IF1が形成される。さらに、この絶縁膜IF1上には、開口領域OA2の両端から後退した絶縁膜IFMであって、開口領域OA1に開口部を有するマスク用の絶縁膜IFMが配置される。この絶縁膜IF1は、ゲート絶縁膜GIの一部となる。また、絶縁膜IFMは、絶縁膜IF1を後述する溝Tの端部から後退させるためのエッチング時のマスクとなる。

【0092】

次いで、図29に示すように、絶縁膜IFMおよび絶縁膜IF1をマスクとして、障壁層BAおよびチャネル層CHをエッチングすることにより、絶縁膜IF1および障壁層BAを貫通してチャネル層CHの途中まで達する溝Tを形成する。エッチングガスとしては、例えば、 BCl_3 などの塩素系のガスを用いることができる。溝Tの深さ、即ち、障壁層BAの表面から溝Tの底面までの距離は、例えば、300オングストローム程度である。また、溝Tの側壁と、溝Tの底面の延長面とのなす角度（テーパ角 θ ）は、 BCl_3 を用いた一般的なドライエッチングによれば、 $60\sim 80^\circ$ 程度に制御することが可能である。また、 BCl_3 により、絶縁膜IFMの表面および絶縁膜IF1の露出部から所定の膜厚分がエッチングされる。絶縁膜IFMの残存膜厚は、例えば、600オングストローム程度、絶縁膜IF1の露出部の残存膜厚は、例えば、600オングストローム程度である。

【0093】

次いで、絶縁膜IFMの表面および絶縁膜IF1の露出部から所定の膜厚分だけエッチバックすることにより、絶縁膜IFMを除去するとともに、絶縁膜IF1を残存させる。絶縁膜IF1の露出部の残存膜厚は、例えば、80nm程度である。これにより、絶縁膜IF1の溝T側の一端部が、一方向（図30中では右側）に、後退量 L_d だけ後退し、絶縁膜IF1の溝T側の他の端部が、他の方向（図30中では左側）に、後退量 L_s だけ後退した絶縁膜IF1を得ることができる。一方向は、後述するドレイン電極DE側であり、他の方向は、後述するソース電極SE側である。後退量 L_s 、 L_d は、それぞれ

絶縁膜 I F 2 の膜厚以上、具体的には、 $0.2\ \mu\text{m}$ 以上とすることが好ましい。また、後退量 L s、L s は、同程度としてもよい。このエッチバックの後、エッチングダメージの回復のために、熱処理（アニール）を行ってもよい。

【0094】

この後、実施の形態 1 と同様に、絶縁膜 I F 2、ゲート電極 G E、ソース電極 S E およびドレイン電極 D E 等を形成する（図 2 1 参照）。

【0095】

即ち、溝 T 内および障壁層 B A の露出部を含む絶縁膜 I F 1 上に、絶縁膜 I F 2 を形成する。例えば、絶縁膜（ゲート絶縁膜）I F 2 として、アルミナを A L D 法などを用いて、 100nm 程度、堆積する。

10

【0096】

次いで、絶縁膜 I F 2 上にゲート電極 G E を形成する。例えば、ゲート絶縁膜 G I 上に、導電性膜として、例えば、T i N 膜を、スパッタリング法などを用いて堆積する。次いで、フォトリソグラフィ技術およびエッチング技術を用いて、T i N 膜をパターニングすることによりゲート電極 G E を形成する。

【0097】

このパターニングの際、ゲート電極 G E を、一方向（図 2 1 中では右側、ドレイン電極 D E 側）に張り出した形状にパターニングする。言い換えれば、ゲート電極 G E の一部として、フィールドプレート電極 F P を設けるようにパターニングを行う。即ち、フィールドプレート電極 F P は、絶縁膜 I F 2 の単層膜よりなる第 1 部上、およびこの第 1 部よりドレイン電極 D E 側に位置し、絶縁膜 I F 1 と絶縁膜 I F 2 との積層膜よりなる第 2 部上を覆うように配置される。

20

【0098】

次いで、後述のソース電極 S E およびドレイン電極 D E の形成領域の絶縁膜 I F 1 を除去する。次いで、ゲート電極 G E 上に絶縁層（図示せず）を形成し、フォトリソグラフィ技術およびエッチング技術を用いて、絶縁層中にコンタクトホールを形成する。次いで、コンタクトホール内を含む絶縁層上に、オーミック層（図示せず）を形成する。例えば、A l 合金/T i 膜（オーミック層、図示せず）を形成し、さらに、この上に、アルミニウム膜を、スパッタリング法などを用いて堆積する。次いで、フォトリソグラフィ技術およびエッチング技術を用いて A l 合金/T i 膜およびアルミニウム膜をパターニングすることにより、オーミック層（図示せず）を介してソース電極 S E およびドレイン電極 D E が形成される。

30

【0099】

この後、ソース電極 S E およびドレイン電極 D E 上に、例えば、酸化窒化シリコン（S i O N）膜を、C V D 法などを用いて堆積し、絶縁層（図示せず）を形成する。

【0100】

以上の工程により、図 2 1 に示す半導体装置を形成することができる。

【0101】

このように、本実施の形態においても、実施の形態 1 と同様に、絶縁膜 I F 1 の溝 T 側の端部をドレイン電極 D E 側に後退させたので、溝 T のドレイン電極 D E 側の端部のチャネル部の閾値 V_{th} を低下させることができ、オン抵抗を低減することができる。また、溝 T のドレイン電極 D E 側の端部のチャネル部でのチャネル狭窄の発生を抑制することができ、オン抵抗を低減することができる。さらに、半導体装置の動作時において、電界集中箇所が、絶縁膜 I F 1 の溝 T 側の端部（地点 P 1）とゲート電極 G E のフィールドプレート電極 F P のドレイン電極 D E 側の端部（地点 P 2）の 2 か所に分散し、電界集中が緩和され、ゲート耐圧が向上する（図 2 1、図 1 8 参照）。

40

【0102】

なお、上記工程においては、絶縁膜 I F 1 の溝 T 側の端部をドレイン電極 D E 側に後退させるため、マスク用の絶縁膜 I F M を用いたが、絶縁膜 I F 1 と、障壁層 B A およびチャネル層 C H のエッチング選択比を調整し、溝 T の形成の際、絶縁膜 I F 1 の溝 T の端部

50

からの膜減り（後退）を利用して、後退量 L_d 、 L_s を確保してもよい。図 3 1 および図 3 2 は、本実施の形態の半導体装置の他の製造工程を示す断面図である。

【0103】

図 3 1 に示すように、障壁層 BA 上に、カバー膜として絶縁膜 $IF1$ を形成する。次いで、フォトリソグラフィ技術およびエッチング技術を用いて、絶縁膜 $IF1$ の開口領域 $O A 1$ に開口部を形成する。次いで、この絶縁膜 $IF1$ をマスクとして、障壁層 BA およびチャネル層 CH をエッチングする。この際、エッチング条件を調整することで、絶縁膜 $IF1$ の膜減りを利用し、絶縁膜 $IF1$ の表面から所定の膜厚分および溝 T の側壁から所定の膜厚分の絶縁膜 $IF1$ をエッチングする。これにより、絶縁膜 $IF1$ を溝 T の側壁から後退させることができる。例えば、この場合、後退量 L_d 、 L_s を、 $5\text{ nm} \sim 0.1\text{ }\mu\text{ m}$ の範囲で制御することができる。

10

【0104】

但し、後退量 L_d 、 L_s を制御性よく、大きく確保、例えば、絶縁膜 $IF2$ の膜厚以上、または $0.2\text{ }\mu\text{ m}$ 以上の後退量（ L_d 、 L_s ）確保するためには、マスク用の絶縁膜 IFM を用いた上記工程を採用することが好ましい。

【0105】

なお、上記工程は、一例であり、上記工程以外の工程により、本実施の形態の半導体装置を製造してもよい。

【0106】

（評価結果）

20

本実施の形態の半導体装置（図 2 1）の諸特性（オン抵抗、 S 値、および電界強度）の評価結果について以下に説明する。なお、後退量 L_d 、 L_s とし、ゲート長（開口領域 $O A 2$ の幅）は $1\text{ }\mu\text{ m}$ 、フィールドプレート電極の長さは $2\text{ }\mu\text{ m}$ 、ゲート電極 GE とドレイン電極 DE との間の距離は $10\text{ }\mu\text{ m}$ とした。

【0107】

図 3 3 は、半導体装置のオン抵抗と後退量との関係を示すグラフである。縦軸は、オン抵抗 R_{on} [$\Omega\text{ mm}$] を、横軸は、後退量 L_d [$\mu\text{ m}$] を示す。このオン抵抗 R_{on} は、前述の溝 T の底面に沿って生じるチャネル抵抗 R_{ch} 、溝 T のソース電極 SE 側の側面に沿って生じるチャネル抵抗 R_{as} および溝 T のドレイン電極 DE 側の側面に沿って生じるチャネル抵抗 R_{ad} の和（ $R_{on} = R_{ch} + R_{as} + R_{ad}$ ）である。また、バイアス条件として、ドレイン電圧 $V_d = 0.1\text{ V}$ 、ゲート電圧 $V_g = 10\text{ V}$ とした。また、絶縁膜 $IF2$ であるアルミナの膜厚は 100 nm 、絶縁膜 $IF1$ の残存膜厚は 60 nm 、溝 T の深さは 40 nm 、上記テーパ角 θ を約 90° とした。

30

【0108】

上記条件の半導体装置の場合、図 3 3 に示すように、オン抵抗 R_{on} は、後退量 L_d の増加に伴い低下する。例えば、後退量 L_d が $0.02\text{ }\mu\text{ m}$ 程度でも、オン抵抗 R_{on} の低下が確認される。また、後退量 L_d が $0.1\text{ }\mu\text{ m}$ 程度では、オン抵抗 R_{on} が十分低下し、そして、後退量 L_d が $0.2\text{ }\mu\text{ m}$ 以上においては、オン抵抗 R_{on} は、ほぼ一定となり、絶縁膜 $IF1$ を全面除去した場合（ $L_d \sim \infty$ ）と、同程度のオン抵抗 R_{on} が得られることが判明した。

40

【0109】

次いで、上記条件のうち、後退量 $L_d = 0$ （後退なし）、後退量 $L_d = 0.2\text{ }\mu\text{ m}$ とした半導体装置について、オン抵抗 R_{on} とテーパ角 θ [$^\circ$] との関係を検討した。図 3 4 は、半導体装置のオン抵抗とテーパ角との関係を示すグラフである。縦軸は、オン抵抗 R_{on} [$\Omega\text{ mm}$] を、横軸は、テーパ角 θ [$^\circ$] を示す。

【0110】

後退量 $L_d = 0$ （後退なし）の場合には、テーパ角 θ の増加に伴い、オン抵抗 R_{on} が増加している。また、後退量 $L_d = 0.2\text{ }\mu\text{ m}$ の場合も、テーパ角 θ の増加に伴い、オン抵抗 R_{on} が増加するものの、その増加率は小さくなることが判明した。また、テーパ角 θ が $50 \sim 90^\circ$ の範囲において、絶縁膜 $IF1$ を溝 T 側の端部から後退させた場

50

合には、後退させなかった場合よりオン抵抗 R_{on} を低減できることが判明した。また、特に、テーパ角 θ が $70 \sim 80^\circ$ の一般的なエッチング条件で形成される形状においも、絶縁膜 I F 1 を溝 T 側の端部から後退させた場合には、後退させなかった場合よりオン抵抗 R_{on} を低減でき、後退させなかった場合のオン抵抗の $40 \sim 30\%$ 程度の値までオン抵抗を抑制できることが判明した。

【0111】

また、前述したように、絶縁膜（ゲート絶縁膜）I F 2 としてアルミナを用いた場合には、障壁層 B A である A l G a N 層の表面の負の分極電荷（e）を補償する効果が大きいので、アルミナと A l G a N との界面の負の分極電荷（e）を低減することができる。その結果、溝 T のドレイン電極 D E 側の端部のチャネル部でのチャネル狭窄の発生を抑制することができる。

10

【0112】

このように、絶縁膜 I F 1 を溝 T 側の端部から後退させることにより、ゲート電極 G E のフィールドプレート電極 F P と障壁層 B A（半導体領域、窒化物半導体領域）との距離を小さくでき、オン抵抗を低減できるという効果 1 に加え、アルミナの負の分極電荷（e）の補償による効果 2 により、図 3 4 に示すオン抵抗の抑制効果が確認できたものと考えられる。

【0113】

次いで、後退量 $L_d = 0$ （後退なし）、後退量 $L_d = 0.2 \mu m$ とした半導体装置について、S 値とテーパ角 $\theta [^\circ]$ との関係を検討した。図 3 5 は、半導体装置の S 値とテーパ角との関係を示すグラフである。縦軸は、S 値 [$mV/d e c.$] を、横軸は、テーパ角 $\theta [^\circ]$ を示す。S 値 [$mV/d e c.$] は、オン・オフの切り替わりの鋭さを示す値（Subthreshold Swing）である。この S 値は、通常のアプリケーションでは小さいほうが良いとされている。この S 値については、ドレイン電圧 $V_d = 0.1 V$ を印加した状態で、ゲート電圧 V_g を掃引して、ドレイン電流 I_d が 1×10^{-5} （ $1 E - 5$ ） $\sim 1 \times 10^{-6}$ （ $1 E - 6$ ） [A/mm] となるとところで定義した。

20

【0114】

後退量 $L_d = 0$ （後退なし）の場合には、テーパ角 θ の増加に伴い、S 値が増加している。また、後退量 $L_d = 0.2 \mu m$ の場合は、テーパ角 θ が増加しても、S 値はほとんど変化しない、即ち、S 値のテーパ角 θ の依存性がほとんどないことが判明した。

30

【0115】

このように、絶縁膜 I F 1 を溝 T 側の端部から後退させた半導体装置の構成を採用することにより、オン抵抗を大幅に低減でき、さらに、S 値も大幅に改善することが判明した。これも、前述した効果 1 および効果 2 によるものと考えられる。

【0116】

次いで、上記条件のうち、後退量 $L_d = 0$ （後退なし）、後退量 $L_d = 0.2 \mu m$ およびフィールドプレート電極 F P が不在半導体装置について、溝 T の底面のソース電極 S E 側の端部から、同じ深さでドレイン電極 D E 方向に延在する領域（箇所）の電界強度分布について検討した。図 3 6 は、後退量 $L_d = 0$ の場合、後退量 $L_d = 0.2 \mu m$ の場合およびフィールドプレート電極 F P が不在場合の半導体装置の電界強度分布を示すグラフである。

40

【0117】

縦軸は、電界強度 [V/cm] を、横軸は、溝 T の底面のソース電極 S E 側の端部から、同じ深さでドレイン電極 D E 方向に延在する領域（箇所）の横方向の距離 [μm] である。電界強度は、ドレイン電圧 $V_d = 100 V$ のオフ時（ゲート電圧 $V_g = 0 V$ ）のものであり、2 次元デバイス・シミュレーションで算出した。また、ゲート長（開口領域 O A 2 の幅）は $2 \mu m$ 、フィールドプレート電極の長さは $3 \mu m$ 、ゲート電極 G E とドレイン電極 D E との間の距離は $10 \mu m$ とした。絶縁膜 I F 2 であるアルミナの膜厚は $100 nm$ 、絶縁膜 I F 1 の残存膜厚は $60 nm$ 、溝 T の深さは $40 nm$ 、溝 T の側壁と溝 T の底面の延長面とのなす角度（テーパ角 θ ）を約 90° とした。

50

【0118】

図36には、(1) フィールドプレート電極FPがない半導体装置（基本構造、レファレンス）、(2) 後退量 $L_d = 0$ の半導体装置、即ち、図17に示すような比較例の半導体装置（一段FP構造の半導体装置）および(3) 後退量 $L_d = 1 \mu m$ の半導体装置、即ち、本実施の形態の半導体装置（二段FP構造の半導体装置）の3種の半導体装置の電界強度分布が示されている。図37は、(1)のフィールドプレート電極FPがない半導体装置の構成を模式的に示す断面図である。図37に示す半導体装置においては、絶縁膜IF1の溝T側の端部をドレイン電極DE側に後退しておらず、さらに、ドレイン電極DE側の溝Tの端部からドレイン電極DE側へ延在するフィールドプレート電極FPが設けられていない。

10

【0119】

図36に示すように、(1)のフィールドプレート電極FPがない半導体装置（基本構造、レファレンス）の場合には、ゲート電極GEのドレイン電極DE側の端部に大きな電界が集中していることが分かる。よって、上記端部において、破壊されやすくなる。

【0120】

また、(2)の後退量 $L_d = 0$ の半導体装置（一段FP構造）では、ゲート電極GEのドレイン電極DE側の端部における電界集中は、(1)の場合と比較して大幅に緩和されている。しかしながら、フィールドプレート電極FPのドレイン電極DE側の端部に、比較的大きな電界集中が確認される。よって、フィールドプレート電極FPのドレイン電極DE側の端部において、破壊されやすくなる。実際の半導体装置の耐圧評価においても、フィールドプレート電極FPのドレイン電極DE側の端部の耐圧の劣化が確認されている。

20

【0121】

これに対し、(3)の後退量 $L_d = 1 \mu m$ の半導体装置においては、絶縁膜IF1の溝T側の端部（前述の地点P1）とゲート電極GEのフィールドプレート電極FPのドレイン電極DE側の端部（前述の地点P2）の2か所に分散する（図18参照）。このため、(2)の場合と比較して、フィールドプレート電極FPのドレイン電極DE側の端部の電界集中が大幅に緩和される。また、ゲート電極GEのドレイン電極DE側の端部における電界集中も、(2)の場合と比較して緩和され、ドレイン電圧 $V_d = 100 V$ を印加した状態で、最大電界強度、 8.0×10^5 (8×10^5) [V/cm]程度にまで抑制できている。このように、溝Tの底面のソース電極SE側の端部からフィールドプレート電極FPのドレイン電極DE側の端部までの領域において、全体的に電界集中が緩和されていることが分かる。これにより、半導体装置のオフ耐圧特性が向上する。

30

【0122】

このように、本実施の形態の半導体装置（二段FP構造の半導体装置）によれば、フィールドプレート電極FPの下部の電界集中が緩和され、ゲート耐圧が向上する。さらに、これにより、フィールドプレート電極FPの長さを短縮でき、ひいてはゲート電極GEとドレイン電極DEとの間の距離を短縮できる。よって、デバイスの縮小化や高集積化が可能となる。

【0123】

なお、上記実施の形態1および2においては、溝Tのドレイン電極DE側の端部のチャネルCが、実効的に高い閾値 V_{th} を持つことを抑制し、オン抵抗の低減を図ることを詳細に説明したが、閾値 V_{th} を向上させ、例えば、 $V_{th} \geq 2 V$ などにより、ノーマリーオフ特性を安定化することも可能である。例えば、バッファ層BUとしてAlGaIn層を適用し、チャネル層CH（GaIn層）とバッファ層BU（AlGaIn層）との界面（GaIn/AlGaIn）の負の分極電荷を利用して、伝導帯下端のポテンシャルを持ち上げることで、閾値 V_{th} を向上させ、ノーマリーオフ特性をより安定化してもよい。

40

【0124】

（実施の形態3）

50

本実施の形態においては、チャネル部に不純物を含有する半導体領域を形成することにより、閾値 V_{th} を向上させ、ノーマリーオフ特性をより安定化する例について説明する。図 38 は、本実施の形態の半導体装置の構成を模式的に示す断面図である。

【0125】

〔構造説明〕

図 38 に示すように、本実施の形態の半導体装置においては、溝 T の底面、即ち、チャネルが形成される領域に、不純物を含有する半導体領域 DS が形成されている。なお、他の構成は、実施の形態 2（図 21）と同様であるため、その詳細な説明を省略する。即ち、本実施の形態の半導体装置においては、絶縁膜 IF1 の溝 T 側のドレイン電極 DE 側の端部をドレイン電極 DE 側に後退量 L_d だけ後退させ、さらに、絶縁膜 IF1 の溝 T 側のソース電極 SE 側の端部をソース電極 SE 側に後退量 L_s だけ後退させている。そして、さらに、溝 T の側面（側壁）と溝 T の底面の延長面とのなす角度が 90° 未満となっている。

10

【0126】

〔製法説明〕

次いで、図 39～図 45 を参照しながら、本実施の形態の半導体装置の製造方法を説明するとともに、当該半導体装置の構成をより明確にする。図 39～図 45 は、本実施の形態の半導体装置の製造工程を示す断面図である。なお、実施の形態 1 や 2 と同様の工程については、その詳細な説明を省略する。

【0127】

20

まず、実施の形態 1 と同様に、基板 S 上に、核生成層 NUC、歪緩和層 STR、バッファ層 BU、チャネル層 CH および障壁層 BA の積層体を形成する（図 2 参照）。

【0128】

次いで、図 39 に示すように、障壁層 BA 上に、カバー膜として絶縁膜 IF1 を形成する。例えば、絶縁膜 IF1 として、窒化シリコン膜を、CVD 法などを用いて、 900 Å 程度の膜厚で堆積する。この後、実施の形態 2 と同様にして、開口領域 OA2 に開口部を有する絶縁膜 IF1 を形成し、開口領域 OA2 の障壁層 BA およびチャネル層 CH をエッチングすることにより溝 T を形成する。この溝 T の側壁と、溝 T の底面の延長面とのなす角度（テーパ角 θ ）は、 90° 未満である。次いで、開口領域 OA1 の絶縁膜 IF1 をエッチングすることにより、絶縁膜 IF1 の端部を後退させる。開口領域 OA2 は、開口領域 OA1 の略中央部に位置する。

30

【0129】

次いで、図 40 に示すように、フォトリソグラフィ技術を用いて、開口領域 OA3 に開口部を有するフォトレジスト膜 PR3 を形成する。開口領域 OA3 は、開口領域 OA2 の略中央部に位置する。

【0130】

次いで、図 41 に示すように、フォトレジスト膜 PR3 をマスクとして、開口領域 OA3 のチャネル層 CH に不純物イオンを注入する。これにより、溝 T の底面に、不純物を含有する半導体領域 DS が形成されている。

【0131】

40

ここでは、不純物として Mg（マグネシウム）を用い、 $10\text{ KeV} \sim 15\text{ KeV}$ の打ち込みエネルギーで、 $1\text{ E}18/\text{cm}^2$ ($1 \times 10^{18}/\text{cm}^2$) 程度の Mg をチャネル層（GaN 層）CH にイオン打ち込みする。これにより、p 型の不純物を含有する半導体領域 DS を形成することができる。また、不純物として F（フッ素）をチャネル層（エピ層基板）CH に導入してもよい。不純物としてフッ素（F）を注入するには、 CF_4 プラズマ処理が有効である。試料を CF_4 プラズマ中に暴露させると、フッ素イオン (F^-) がチャネル層（エピ層基板）CH 中に導入される。具体的には、反応性イオンエッチング装置内で、例えば 135 W の電力で 200 秒程度の処理を行えばよい。ただし CF_4 プラズマ処理による表面損傷を回復させるために、処理後に 400°C で 10 分程度の熱処理を行うことが好ましい。なお、ここでは、半導体領域 DS の底面の高さをバッファ層 BU の表面と同

50

程度の高さとしたが、半導体領域 D S は、少なくともチャネルが形成される領域に形成されていればよい。よって、半導体領域 D S の底面が、チャネル層 C H の底面より高くてもよく、また、半導体領域 D S の底面が、バッファ層 B U の表面より低くてもよい。次いで、図 4 2 に示すように、プラズマ剥離処理などによりフォトリソ膜 P R 3 を除去する。

【0132】

次いで、図 4 3 に示すように、溝 T の内部を含む絶縁膜 I F 1 上に、被覆膜（保護膜ともいう）C F を形成する。被覆膜 C F として、例えば、酸化シリコン膜を、C V D 法などを用いて堆積する。次いで、不純物（ここでは、M g）を活性化するために、熱処理（アニール）を行う。次いで、被覆膜 C F をエッチングなどにより除去する。

10

【0133】

次いで、図 4 4 に示すように、絶縁膜 I F 2 およびゲート電極 G E を形成する。絶縁膜 I F 2 およびゲート電極 G E は、実施の形態 1 または 2 と同様にして形成することができる（図 1 3 参照）。

【0134】

次いで、図 4 5 に示すように、ソース電極 S E およびドレイン電極 D E を形成する。ソース電極 S E およびドレイン電極 D E は、実施の形態 1 または 2 と同様にして形成することができる（図 1 4 ～図 1 6 参照）。

【0135】

このように、本実施の形態においても、実施の形態 1 や 2 と同様に、絶縁膜 I F 1 の溝 T 側の端部をドレイン電極 D E 側に後退させたので、オン抵抗を低減することができる。また、電界集中が緩和され、ゲート耐圧が向上する（図 2 1、図 1 8 参照）。

20

【0136】

さらに、溝 T の底面、即ち、チャネルが形成される領域に、p 型不純物やフッ素（フッ素陰イオン）を含有する半導体領域 D S を形成したので、その箇所のポテンシャルが持ち上がり閾値 V_{th} を向上させることができ、ノーマリーオフ特性をより安定化することができる。

【0137】

なお、上記工程は、一例であり、上記工程以外の工程により、本実施の形態の半導体装置を製造してもよい。

30

【0138】

（実施の形態 4）

上記実施の形態 1 ～ 3 で説明した半導体装置（トランジスタ）を適用する電子装置に制限は無いが、例えば、図 4 6 に示す電子装置に適用することができる。図 4 6 は、本実施の形態の電子装置の構成を示す回路図である。

【0139】

図 4 6 に示す電子装置 2 2 は、車両に用いられる電子装置であり、電源 2 4 および負荷 2 6 と接続されている。電源 2 4 は、例えば、車両に搭載されているバッテリーである。負荷 2 6 は、例えば、車両に搭載されている電子部品、例えば、ヘッドランプ、パワーウインドウの動力源、車両の動力源となるモータである。そして、この電子装置 2 2 は、電源 2 4 から負荷 2 6 に供給する電力を制御している。

40

【0140】

電子装置 2 2 は、回路基板（例えば、プリント配線基板）上に搭載された、トランジスタ 2 1 0 を有する半導体装置、半導体装置 2 2 0、および制御回路 2 3 0 を有する。半導体装置 2 2 0 は、マイコンを有しており、回路基板の配線を介してトランジスタ 2 1 0 に接続されている。半導体装置 2 2 0 は、制御回路 2 3 0 を介してトランジスタ 2 1 0 を制御する。

【0141】

詳細には、半導体装置 2 2 0 は、制御回路 2 3 0 に制御信号を入力する。そして制御回路 2 3 0 は、半導体装置 2 2 0 から入力された制御信号にしたがって、トランジスタ 2 1

50

0 のゲート電極に信号を入力する。このように、半導体装置 220 は、制御回路 230 を介してトランジスタ 210 を制御する。このトランジスタ 210 が制御されることにより、電源 24 から電力が、適宜、負荷 26 に供給される。

【0142】

例えば、この電子装置 22 のトランジスタ 210 として、上記実施の形態 1～3 で説明した半導体装置（トランジスタ）を適用することができる。

【0143】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、実施の形態 3 の半導体領域 DS を実施の形態 1（図 1）の半導体装置に適用してもよい。

【符号の説明】

【0144】

2DEG 2次元電子ガス

22 電子装置

24 電源

26 負荷

210 トランジスタ

220 半導体装置

230 制御回路

BA 障壁層

BU バッファ層

C チャンネル

C1 コンタクトホール

CF 被覆膜

CH チャンネル層

DE ドレイン電極

DS 半導体領域

e 分極電荷

FP フィールドプレート電極

GE ゲート電極

GI ゲート絶縁膜

IF1 絶縁膜

IF2 絶縁膜

IFM 絶縁膜

IL1 絶縁層

IL2 絶縁層

Ld 後退量

LS 後退量

NUC 核生成層

OA1 開口領域

OA2 開口領域

OA3 開口領域

P1 地点

P2 地点

PR1 フォトリジスト膜

PR2 フォトリジスト膜

PR3 フォトリジスト膜

S 基板

SE ソース電極

10

20

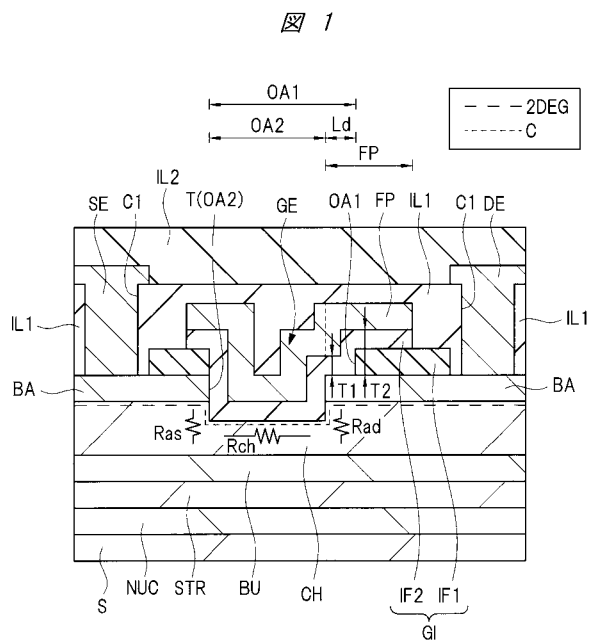
30

40

50

S T R 歪緩和層
 T 溝
 T 1 膜厚
 T 2 膜厚

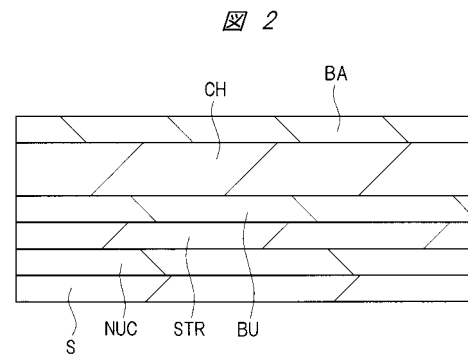
【図 1】



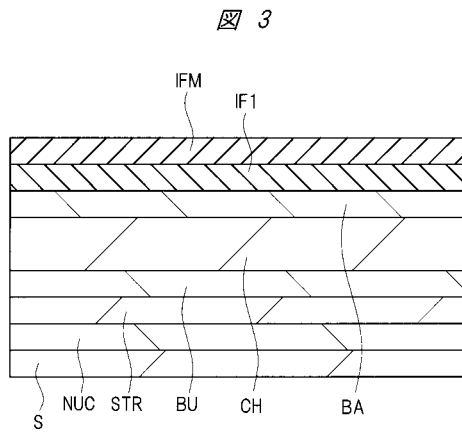
BA : 障壁層
 BU : バッファ層
 CH : チャネル層
 DE : ドレイン電極
 GE : ゲート電極
 GI : ゲート絶縁膜

IF1 : 絶縁膜
 IF2 : 絶縁膜
 S : 基板
 SE : ソース電極
 T : 溝

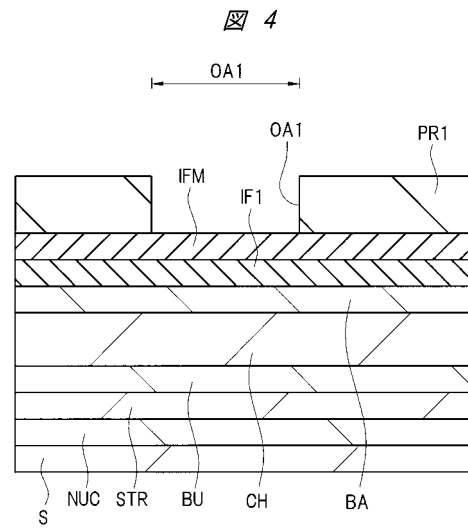
【図 2】



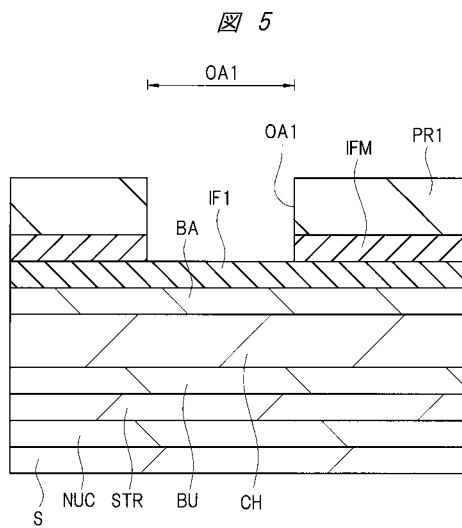
【図 3】



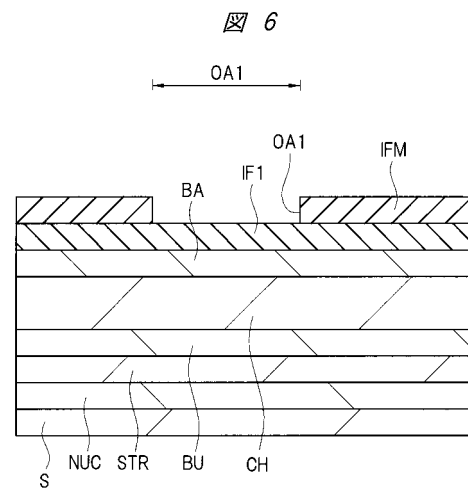
【図 4】



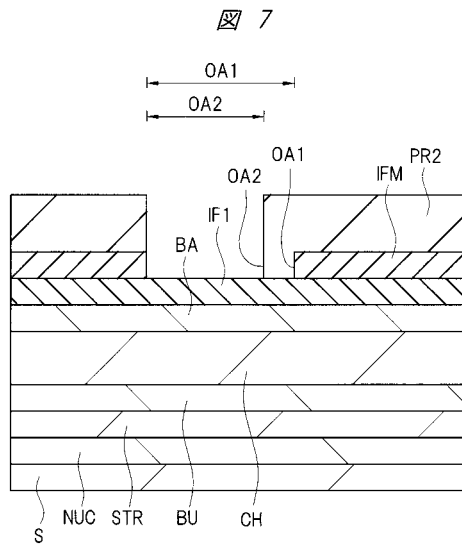
【図 5】



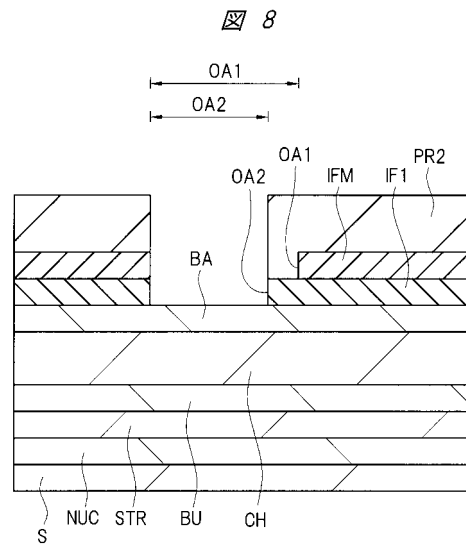
【図 6】



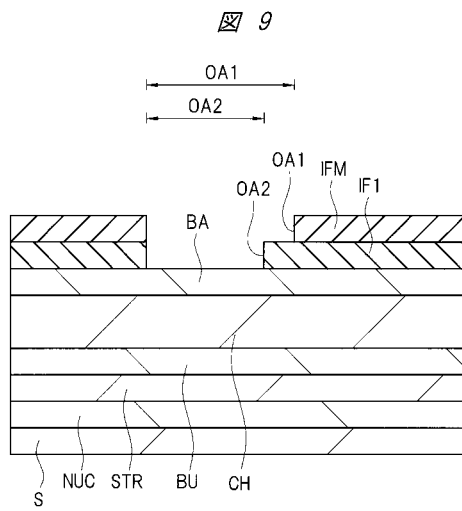
【図 7】



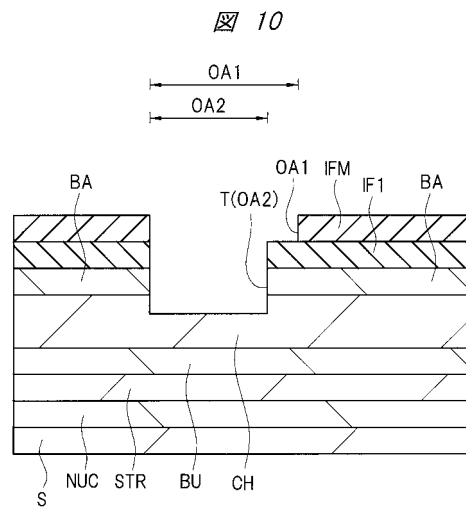
【図 8】



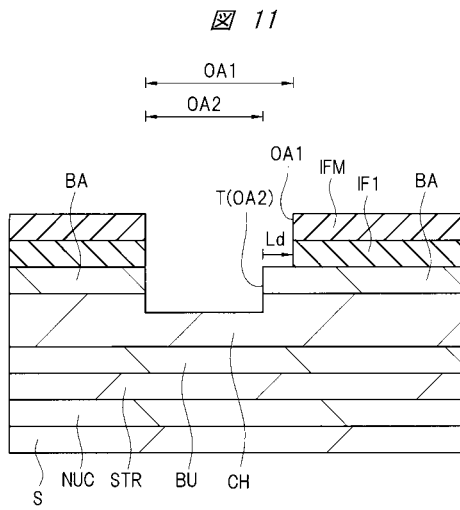
【図 9】



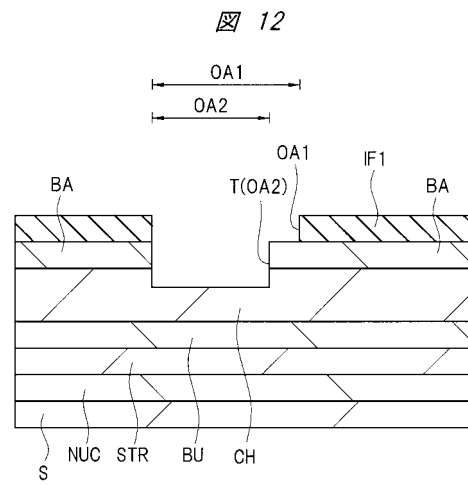
【図 10】



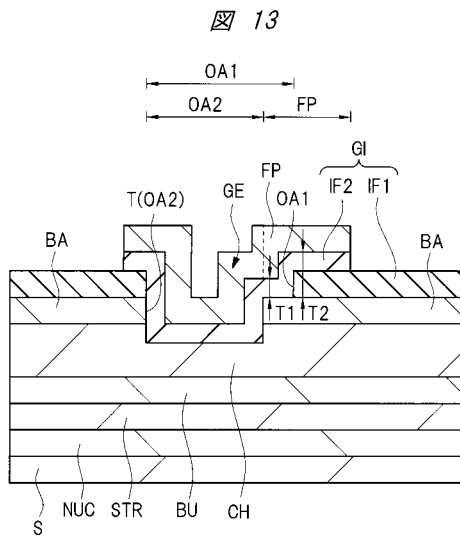
【図 1 1】



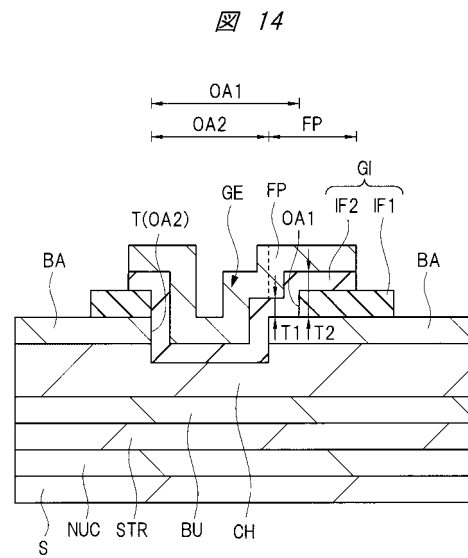
【図 1 2】



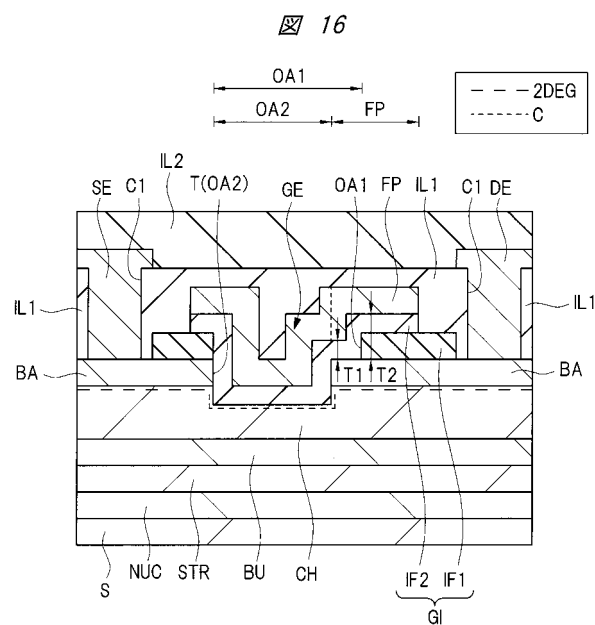
【図 1 3】



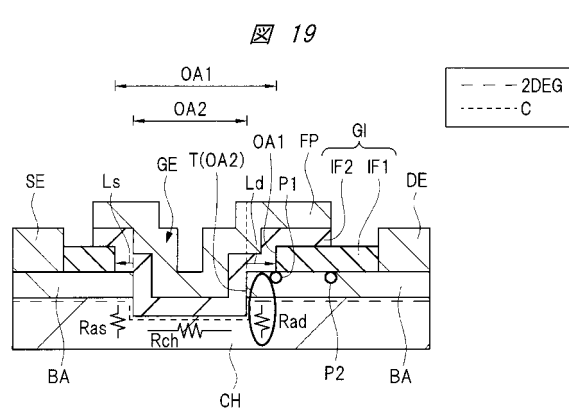
【図 1 4】



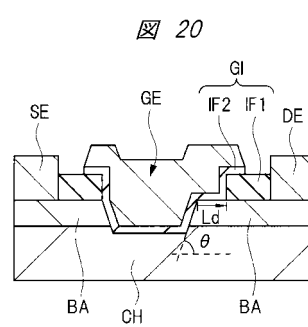
【図 16】



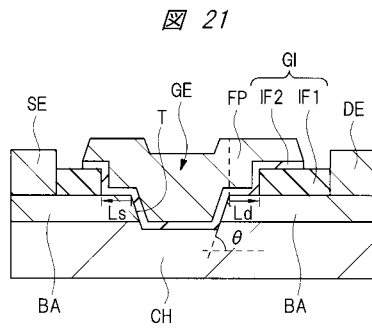
【図 19】



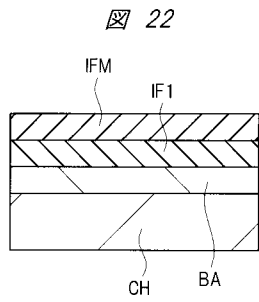
【図 20】



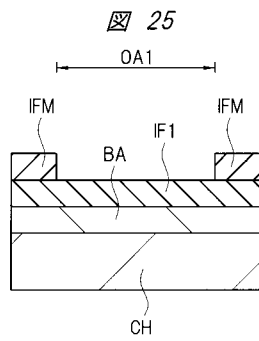
【図 2 1】



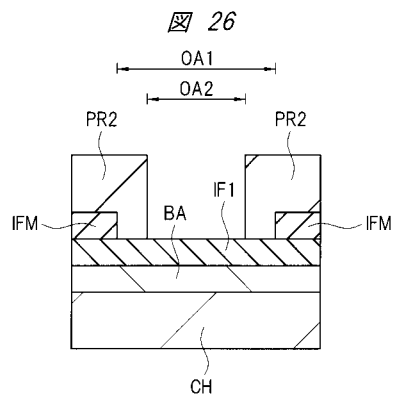
【図 2 2】



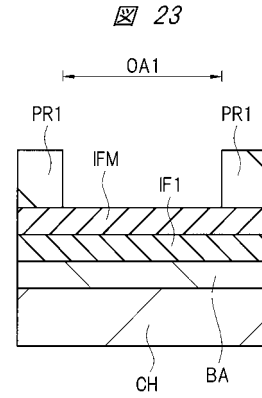
【図 2 5】



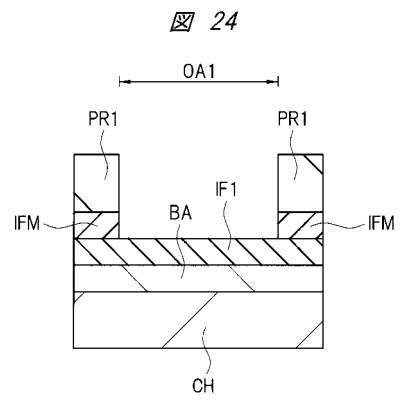
【図 2 6】



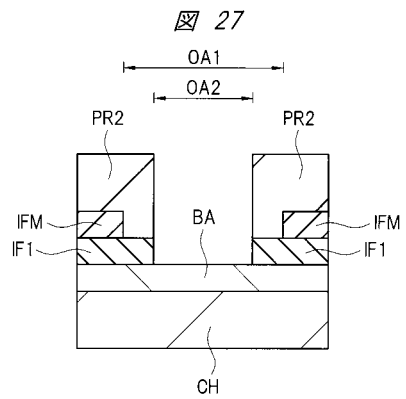
【図 2 3】



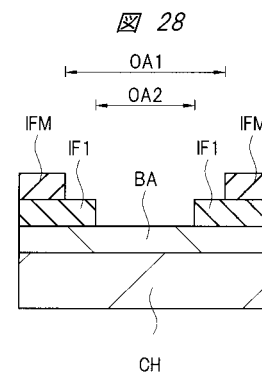
【図 2 4】



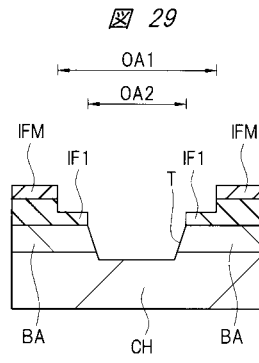
【図 2 7】



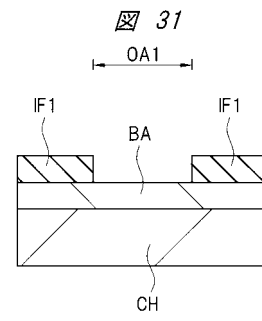
【図 2 8】



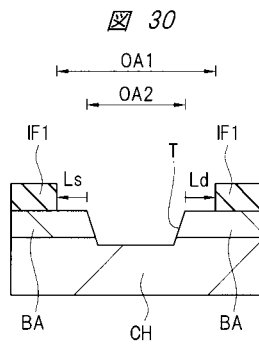
【図 29】



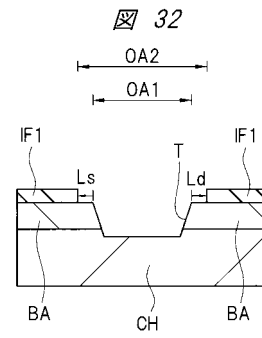
【図 31】



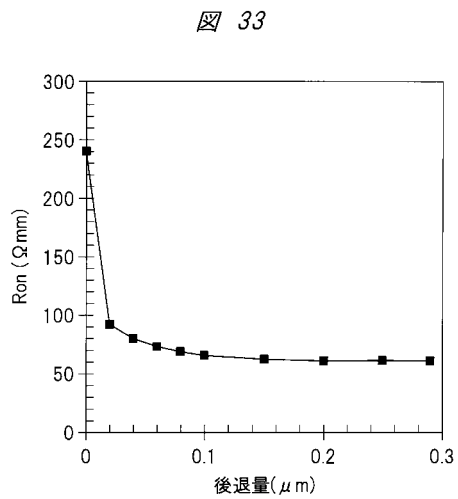
【図 30】



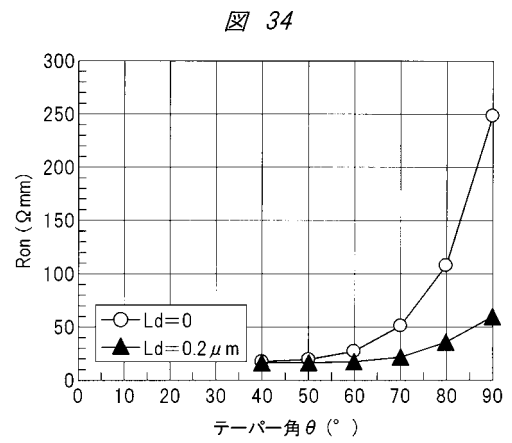
【図 32】



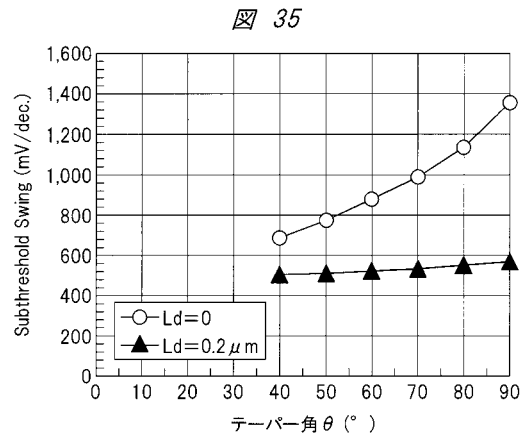
【図 33】



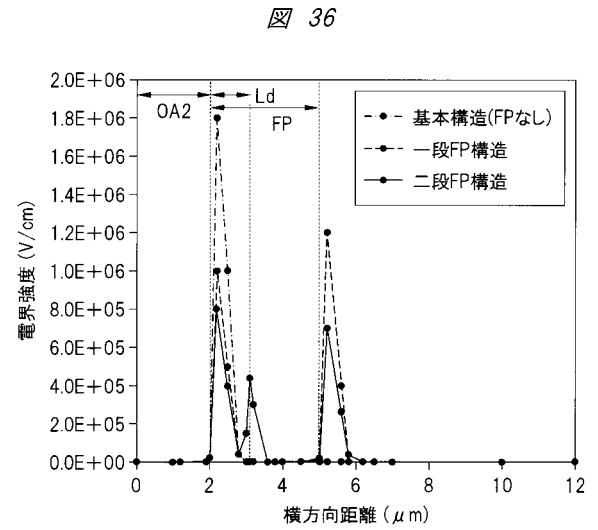
【図 34】



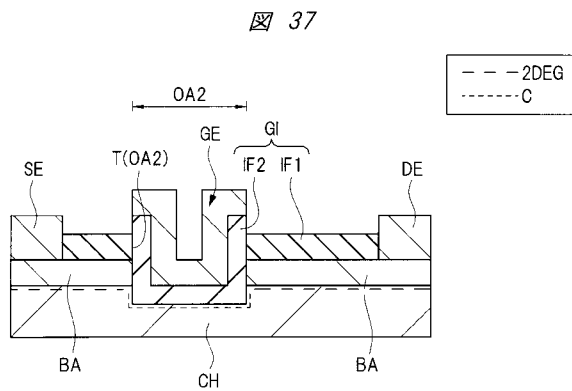
【図 35】



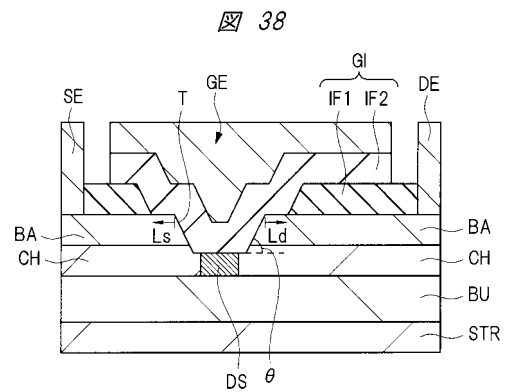
【図 36】



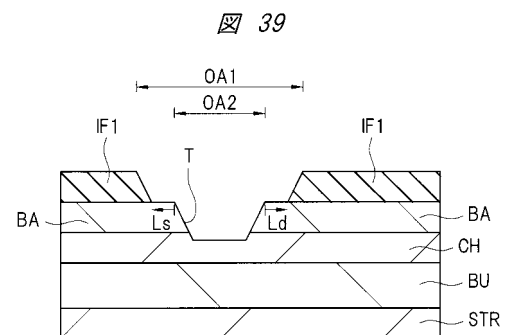
【図 37】



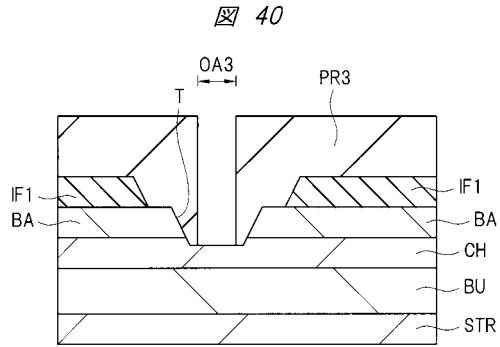
【図 38】



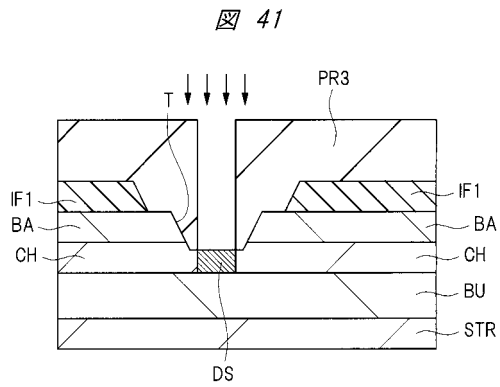
【図 39】



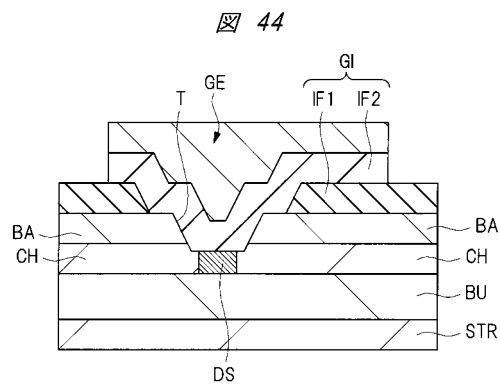
【図 4 0】



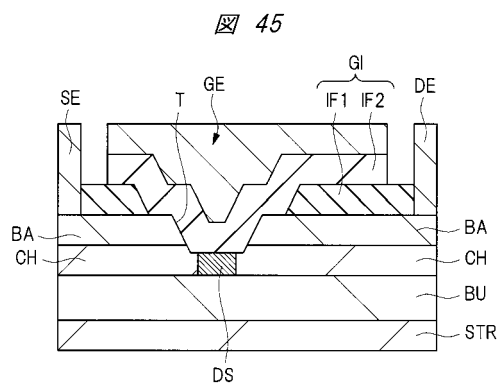
【図 4 1】



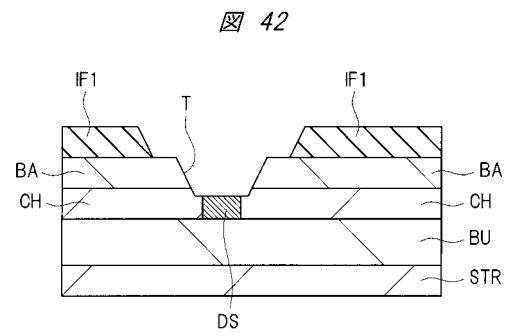
【図 4 4】



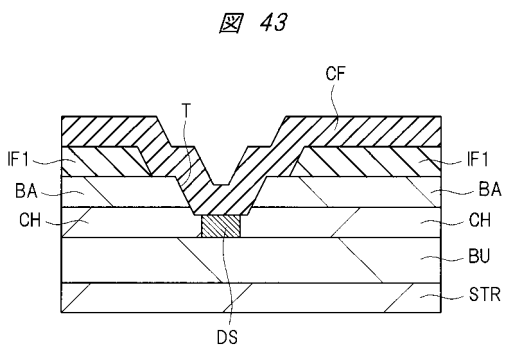
【図 4 5】



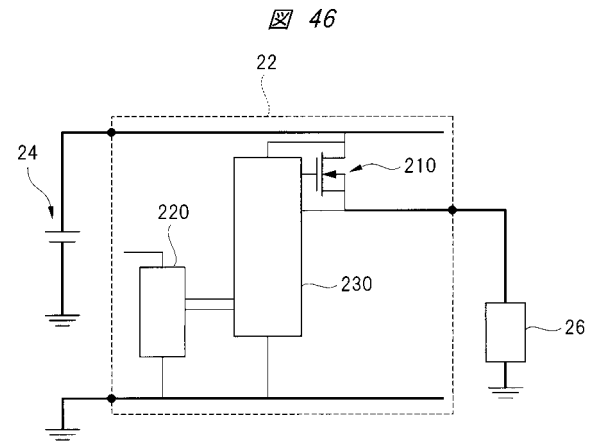
【図 4 2】



【図 4 3】



【図 4 6】



フロントページの続き

(51)Int.Cl. F I テーマコード (参考)
H01L 29/06 (2006.01)

- (72)発明者 中山 達峰
 神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内
- (72)発明者 岡本 康宏
 神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内
- (72)発明者 川口 宏
 神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内
- (72)発明者 竹脇 利至
 神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内
- (72)発明者 名倉 延宏
 神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内
- (72)発明者 永井 隆行
 神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内
- (72)発明者 三浦 喜直
 神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内
- (72)発明者 宮本 広信
 神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内

Fターム(参考) 5F102 FA03 GB01 GC01 GD10 GJ02 GJ03 GJ10 GK04 GK08 GL04
 GM04 GN04 GQ01 GR01 GR04 GR12 GS01 GS04 GS06 GV06
 GV07 GV08
 5F140 AA19 AA30 BA01 BA02 BA06 BA09 BA17 BA20 BB03 BB06
 BB12 BB18 BC06 BC12 BD01 BD04 BD05 BD07 BD11 BD13
 BD18 BE01 BE03 BE09 BE10 BE11 BF05 BF11 BF15 BF43
 BG30 BJ07 BJ11 BJ15 BJ16 BJ17 BJ20 BK29 CC01 CC03
 CC09 CC12 CD09