

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成20年6月19日(2008.6.19)

【公開番号】特開2007-220126(P2007-220126A)

【公開日】平成19年8月30日(2007.8.30)

【年通号数】公開・登録公報2007-033

【出願番号】特願2007-41667(P2007-41667)

【国際特許分類】

G 05 B 19/02 (2006.01)

G 06 F 11/00 (2006.01)

G 11 B 7/085 (2006.01)

【F I】

G 05 B 19/02 C

G 05 B 19/02 P

G 06 F 9/06 6 3 0 J

G 11 B 7/085 B

【手続補正書】

【提出日】平成20年4月22日(2008.4.22)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

プログラムデータで動作する制御装置において、

プログラムデータを読み出し可能な第1の記憶手段と、

プログラムデータを読み書き可能で、前記第1の記憶手段とは異なるアドレスが割り振られる第2の記憶手段と、

前記第2の記憶手段にデータを書き込む書き込み手段と、

前記第1または第2の記憶手段の出力を選択して出力する第1の選択手段と、

前記第1または第2の記憶手段にアドレスを出力して前記第1の選択手段の出力をプログラムデータとして動作する制御手段と、

前記制御手段または前記書き込み手段の出力信号を選択して前記第2の記憶手段のアドレス信号として出力する第2の選択手段と、

前記第1および第2の記憶手段が接続されるバスとは独立したバスにより前記制御手段と接続されるパラメータデータを読み書き可能な第3の記憶手段と、

を備え、

前記第1の選択手段は前記制御手段が出力するアドレスに応じて前記第1または第2の記憶手段の出力を選択し、前記第1の記憶手段からのプログラムデータにより制御動作を行なっている間に、前記第2の選択手段は前記書き込み手段の出力を選択して出力し、前記書き込み手段は前記第2の記憶手段へのデータ書き込みを実行可能としたことを特徴とする制御装置。

【請求項2】

請求項1に記載の制御装置において、

前記制御手段は前記第1または第2の記憶手段を読み出すためのアドレスを生成するリードアドレス生成手段を備え、前記リードアドレス生成手段はプログラムデータに応じて前記第1または第2の記憶手段の出力を選択するようアドレスを生成することを特徴とす

る制御装置。

【請求項 3】

プログラムデータで動作する制御装置において、

プログラムデータを読み出し可能な第1の記憶手段と、

プログラムデータを読み書き可能で、前記第1の記憶手段とは異なるアドレスが割り振られる第2の記憶手段と、

前記第2の記憶手段にデータを書き込む書き込み手段と、

前記第1または第2の記憶手段の出力を選択して出力する第1の選択手段と、

前記第1または第2の記憶手段にアドレスを出力して前記第1の選択手段の出力をプログラムデータとして動作する制御手段と、

前記制御手段または前記書き込み手段の出力信号を選択して前記第2の記憶手段のアドレス信号として出力する第2の選択手段と、

前記第1および第2の記憶手段が接続されるバスとは独立したバスにより前記制御手段と接続されるパラメータデータを読み書き可能な第3の記憶手段と、

を備え、

前記第1の選択手段は前記パラメータデータに応じて動作する前記制御手段が出力するアドレスに従って前記第1または第2の記憶手段の出力を選択し、前記第1の記憶手段からのプログラムデータにより制御動作を行なっている間に、前記第2の選択手段は前記書き込み手段の出力を選択して出力し、前記書き込み手段は前記第2の記憶手段へのデータ書き込みを実行可能としたことを特徴とする制御装置。

【請求項 4】

請求項3に記載の制御装置において、

前記制御手段は前記第1または第2の記憶手段を読み出すためのアドレスを生成するリードアドレス生成手段を備え、前記リードアドレス生成手段は前記第3の記憶手段に記憶されたパラメータデータに応じて前記第1または第2の記憶手段の出力を選択するようアドレスを生成することを特徴とする制御装置。

【請求項 5】

請求項1乃至4の何れかに記載の制御装置において、

プログラムデータとして、前記第1の記憶手段の出力と前記第2の記憶手段の出力を任意に切り換えるようにプログラムを構成することを特徴とする制御装置。

【請求項 6】

請求項1乃至5の何れかに記載の制御装置において、

前記第1乃至第3の記憶手段は1チップの半導体素子で構成されることを特徴とする制御装置。

【請求項 7】

請求項1乃至6の何れかに記載の制御装置において、

前記第2の記憶手段はS R A Mであることを特徴とする制御装置。

【請求項 8】

プログラムデータで動作する制御装置において、

プログラムデータが書き込まれた読み出し専用の第1の記憶手段と、

プログラムデータを読み書き可能で、前記第1の記憶手段とは異なるアドレスが割り振られる第2の記憶手段と、

前記第2の記憶手段にデータを書き込む書き込み手段と、

前記第1または第2の記憶手段の出力を選択して出力する第1の選択手段と、

前記第1の選択手段の出力プログラムにより制御動作を行なう制御回路と、

前記第1および第2の記憶手段が接続されるバスとは独立したバスにより前記制御手段と接続されるパラメータデータを読み書き可能な第3の記憶手段と、

前記制御回路または前記書き込み手段の出力信号を選択して前記第2の記憶手段のアドレス信号として出力する第2の選択手段とが1チップの半導体素子に収められた構成を有し、

前記第1の選択手段により前記第1の記憶手段からのプログラムデータにより制御動作を行なっている間に、前記第2の選択手段は前記書き込み手段の出力を選択して出力し、前記第2の記憶手段へのデータ書き込みが可能な構成としたことを特徴とする制御装置。

【請求項9】

請求項1乃至8の何れかに記載の制御装置において、

前記第1の記憶手段に記憶されているプログラムデータは、シーケンス処理における各ルーチンの間に前記第3の記憶手段に記憶されているパラメータデータを判別し、前記判別の結果に応じて前記第1の記憶手段または前記第2の記憶手段に記憶されているプログラムを選択して実行するように構成されていることを特徴とする制御装置。

【請求項10】

請求項1乃至9の何れかに記載の制御装置において、

前記第2の記憶手段に記憶されているプログラムデータは、所定の処理を実行した後に前記第1の記憶手段に記憶されているプログラムへ戻るように構成されていることを特徴とする制御装置。

【請求項11】

請求項1乃至10の何れかに記載の制御装置において、

前記第3の記憶手段に記憶されるパラメータデータは、制御装置を介して前記書き込み手段によって設定されることを特徴とする制御装置。

【請求項12】

請求項1乃至11の何れかに記載の制御装置において、

前記第2の記憶手段の記憶容量は前記第1の記憶手段の記憶容量に対して小さいことを特徴とする制御装置。

【請求項13】

請求項1乃至12の何れかに記載の制御装置を用いた光ディスク装置であって、前記制御装置への制御命令を出力するシステムコントローラと、光ディスクを所定の速度で回転させるスピンドルモータと、レーザ光を光ディスクの記録面上に集光させる対物レンズと、レーザ光源や対物レンズを動かすアクチュエータを備えると共に光ディスクからの反射光量に応じた信号を出力する光ピックアップと、

該光ピックアップの出力信号を用いて、サーボエラー信号を生成して前記制御装置に供給するサーボエラー信号生成回路とを有し、

前記システムコントローラから前記制御装置へプログラムデータをダウンロードして、前記サーボエラー信号に対してサーボ制御を行なうことを特徴とする光ディスク装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0046

【補正方法】変更

【補正の内容】

【0046】

そこで、例えばフォーカスジャンプを例にすると、ROM3に格納されているフォーカスジャンブルーチンは図5に示すようにいくつかの小さな処理に区分することができる。これらの処理とは、サーボループを開く(図5のステップS8)、加速ジャンプパルスを印加(図5のステップS9)、サーボループを閉じる(図5のステップS10)などである。ここで、例えばこれらの一部の処理に関してのみ変更が必要であるならば、SRAM7にダウンロードする必要があるプログラムデータは小さい容量であるのでSRAM7は小さいメモリ空間でよい。