(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4067588号
(P4067588)

(45)発行日　平成20年3月26日(2008.3.26)　(24)登録日　平成20年1月18日(2008.1.18)

(51)Int.Cl.			F I		
G02F	1/1339	(2006.01)	G02F	1/1339	500
G02F	1/1368	(2006.01)	G02F	1/1368	
G09F	9/30	(2006.01)	G09F	9/30	323

請求項の数 2　(全 12 頁)

(21)出願番号　特願平7-349227
(22)出願日　平成7年12月19日(1995.12.19)
(65)公開番号　特開平9-171183
(43)公開日　平成9年6月30日(1997.6.30)
審査請求日　平成14年12月18日(2002.12.18)
審判番号　不服2005-4515(P2005-4515/J1)
審判請求日　平成17年3月15日(2005.3.15)

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(73)特許権者　000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町２２番２２号
(72)発明者　西　毅
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　小沼　利光
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　辻　隆博
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

最終頁に続く

(54)【発明の名称】液晶表示装置の作製方法

(57)【特許請求の範囲】
【請求項１】
画素領域に配置される薄膜トランジスタと周辺駆動回路領域に配置される薄膜トランジスタが同一の基板上に存在するアクティブマトリクス型の液晶表示装置を複数作製する方法であって、
基板上に画素領域及び周辺駆動回路領域を複数組形成し、
前記基板上にスペーサーを散布し、
封止材により前記基板を複数に区分けし、前記基板と対向基板の貼り合わせを行い、
前記基板を分断して多面取りを行うことを特徴とし、
且つ、前記スペーサー散布時において、
前記周辺駆動回路領域を、散布されるスペーサーと同電位になるように電位が保たれたマスクで覆うことにより、前記画素領域のみにスペーサーを散布することを特徴とする液晶表示装置の作製方法。
【請求項２】
請求項１において、
前記基板は、ステージ上に配置され、
前記マスクと前記ステージ間に直流電界を印加することを特徴とする液晶表示装置の作製方法。
【発明の詳細な説明】
【０００１】

【発明の属する技術分野】
本発明は、画素薄膜トランジスタと周辺駆動回路薄膜トランジスタが同一基板上に存在するアクティブマトリクス型液晶表示装置の構成に関する。
【０００２】
【従来の技術】
従来のアクティブマトリクス型液晶表示装置を構成するパネルの状態を図４に示す。図４から明らかなように、画素領域４０４は対向基板４０５及び封止材４０２（シール材ともいう）で取り囲まれているのに対して、周辺駆動回路領域４０３の薄膜トランジスタ（以下ＴＦＴと称する）は大気に剥き出しの構成となっていた。
【０００３】
このため、パネル組立工程中のアクティブマトリクス型液晶表示装置の基板の取り扱いには細心の注意が必要であった。このような状況において、その製造プロセスにおいて、取り扱いが楽なアクティブマトリクス型液晶表示装置の形態が望まれていた。
【０００４】
さらに、画素領域上には対向基板４０５が存在しており、結果的に画素領域が保護されている形となっている。しかし、周辺駆動回路は薄い酸化膜で覆われているのみであり、耐湿性や汚染に対して弱くなっているのが実態で、信頼性の点からも問題があった。
【０００５】
従って、アクティブマトリクス型液晶表示装置の周辺駆動回路が直接触れられないような構成として、対向基板が存在する領域を周辺駆動回路が形成されている部分まで拡大し、周辺駆動回路も液晶材が存在する領域内に含める方法が考案された。この方法は、特願平７－５０５２７等に示される。
【０００６】
【発明が解決しようとする課題】
しかしながら、このような構成とした場合、次のような問題が発生した。
液晶表示装置の組み立て工程の内、相対向する２枚の基板を接着する工程では、基板面に垂直に圧力をかけながら封止材を硬化させる方法を取るのが一般的である。通常の液晶表示装置では、これら２枚の基板間隔を一定に保つために、２枚の基板間にスペーサーを介在させる。従ってこの工程時には基板上に形成された素子等にスペーサーを介して圧力がかかることになる。
【０００７】
特に上記の構成の液晶表示装置の場合、周辺駆動回路領域上にも対向基板が存在するため、周辺駆動回路にもスペーサーを介して圧力がかかっていた。
【０００８】
周辺駆動回路領域においてはＴＦＴの存在密度が画素領域に比べ高い。従って、従来の液晶表示装置のようにスペーサーの散布密度が基板全面で一様な場合、スペーサーによる周辺駆動回路の損傷は画素領域に比べ多く発生してしまう。その結果信頼性や歩留りが低下してしまう。
【０００９】
【課題を解決するための手段】
本発明では上記問題を解決するため、アクティブマトリクス型の液晶表示装置において下記の構成とするものである。
即ち、
画素領域に配置される薄膜トランジスタと周辺駆動回路領域に配置される薄膜トランジスタとが同一の基板上に存在するアクティブマトリクス型の液晶表示装置であって、
前記画素領域と周辺駆動回路領域とでスペーサーの散布密度が異なることを特徴とする。
【００１０】
また、他の構成として、
画素領域に配置される薄膜トランジスタと周辺駆動回路領域に配置される薄膜トランジスタとが同一の基板上に存在するアクティブマトリクス型の液晶表示装置であって、

前記画素領域にはスペーサーが存在し、
前記周辺駆動回路領域にはスペーサーが存在しないことを特徴とする。
【００１１】
また上記構成とするため、
アクティブマトリクス型液晶表示装置の画素領域に配置される薄膜トランジスタと周辺駆動回路を構成する薄膜トランジスタとを同一基板上に集積化した構成を得る場合において、周辺駆動回路の信頼性を向上させるため、スペーサーを散布時に周辺駆動回路ＴＦＴの存在領域にマスクを設けることにより、スペーサーを散布しない構成として、周辺駆動回路の歩留りを向上させる。
【００１２】
または、スペーサーを散布する方法として、静電気を利用した手段を利用する場合において、静電気を発生させるための電圧の印加方法を工夫する。例えば、周辺駆動回路の信頼性を向上させるため、スペーサーを散布時に周辺駆動回路ＴＦＴの存在領域に画素ＴＦＴの存在領域とは異なる値の電圧を印加し、そのことにより、スペーサーの散布密度を小さくして、周辺駆動回路の歩留りを向上させる。
【００１３】
またスペーサーを散布時に、アクティブマトリクス型液晶表示デバイスの基板を保持するステージの周辺駆動回路ＴＦＴの存在領域上に画素ＴＦＴの存在領域と異なる値の電圧を印加して、スペーサーの散布密度を小さくして、周辺駆動回路の歩留りを向上させる。あるいは、スペーサーを散布時に、周辺駆動回路ＴＦＴの存在領域上には静電気を発生させるための電圧を印加しないようにし、画素ＴＦＴの存在領域のみに静電気を発生させる電位を加えるようにする。そしてこのことにより、選択的に画素領域のみにスペーサーが散布されるようにする。または周辺駆動回路領域に散布されるスペーサーの密度を下げるようにする。
【００１４】
【発明の実施の形態】
周辺駆動回路領域を液晶が存在している領域に存在させた場合、周辺駆動回路領域に散布するスペーサーの密度を小さくする、また周辺駆動回路領域にスペーサーを散布しないようにすることで、スペーサーが存在することで発生する周辺駆動回路を構成するＴＦＴの損傷を減少させる。そして、画素領域と周辺駆動回路を同一基板上に形成した構成を有する液晶表示装置の信頼性を高めることができる。
【００１５】
【実施例】
〔実施例１〕
以下において、本実施例のアクティブマトリクス型液晶表示装置の組立工程を以下に説明する。
【００１６】
本実施例では基板として無アルカリガラスを用いる。まず、このガラス基板上に公知の方法または適当な方法により、マトリクス状に配置された画素領域と、この画素領域を駆動回路するための周辺駆動回路を構成する。画素領域においては、数百×数百の数で配置された画素電極のそれぞれに、スイッチング素子として、少なくとも１つの薄膜トランジスタを配置させる。
【００１７】
周辺駆動回路領域は、前記画素領域に配置される薄膜トランジスタを駆動するための回路が薄膜トランジスタでもって構成される。周辺駆動回路としては、シフトレジスタやアドレスデコーダが利用される。
【００１８】
ＴＦＴ基板・カラーフィルター基板は、各々表面処理に用いられたエッチング液やレジスト剥離液等の各種薬品を十分に洗浄する。
【００１９】

次に、上記の方法により作製したＴＦＴが形成されている基板（以下ＴＦＴ基板）上、及びカラーフィルターが形成されている基板（以下カラーフィルター基板）上に配向膜を形成する。配向膜材料にはブチルセロソルブかｎ－メチル－２－ピロリドン、あるいはγ－ブチロラクトンといった溶媒に、溶媒の約１０重量％のポリイミドを溶解したものを用いる。これをポリイミドワニスと呼ぶ。本実施例では低温焼成型ポリイミドワニスとして日本合成ゴム製ＡＬ－３０４６を用いる。ポリイミドワニスを上記基板上に塗布する方法としては、スピナーを用いる方法、あるいはフレキソ印刷もしくはスクリーン印刷装置によって印刷する方法などを利用することが出来る。

【００２０】

そして、ＴＦＴ基板及びカラーフィルター基板の両基板に塗布した配向膜を加熱・硬化（ベーク）させる。本実施例ではベークは１８０℃の熱風を送り加熱し、ポリイミドワニスを焼成・硬化させる。

【００２１】

次に、配向膜が形成されたガラス基板表面を、毛足の長さ２～３ｍｍのバフ布（レイヨン・ナイロン等の繊維）で一定方向に擦り、微細な溝を作るラビング工程を行う。そしてＴＦＴ基板にスペーサーを散布する。スペーサー散布の方式は後述する。

【００２２】

次に、ＴＦＴ基板の外枠に封止材を塗布する。封止材塗布には、ＴＦＴ基板とカラーフィルタ基板を接着する役割と、注入する液晶材が外部に流出するのを防ぐ目的がある。封止材の材料としては、エポキシ樹脂とフェノール硬化剤をエチルセロソルブの溶媒に溶かしたものを使用することができる。

【００２３】

封止材塗布後に２枚のガラス基板の貼り合わせを行う。重ね合わされたＴＦＴ基板とカラーフィルタ基板を、１６０℃、３時間プレスすることにより、封止材を加熱硬化させ、ＴＦＴ基板とカラーフィルタ基板を接着・固定する。

【００２４】

最後に、ＴＦＴ基板とカラーフィルタ基板が貼り合わされた液晶パネルの液晶注入口より液晶材を注入し、その後エポキシ系樹脂で液晶注入口を封止する。以上のようにして、アクティブマトリクス型液晶表示装置を組み立てる。

【００２５】

次に、スペーサーの散布方式について図１を用いて説明する。まず基板１０１の表示領域上にスペーサーを散布する。スペーサーは粒径５．０μｍのプラスチックスペーサー（ミクロパール、積水ファインケミカル製）を用いる。このスペーサーを窒素ガスにより搬送し、配管１０４中で分散させる。スペーサーは散布機のチャンバー１０６内の天井に設けられた散布ノズル１０５から基板上に噴出させる。ノズルは天井にゴムパッキンで固定されていて、ノズルの先端が縦横に動くようになっている。そしてスペーサー噴出時には、ノズルを縦横に振って基板上にスペーサーが均一に散布されるようにする。また散布量はスペーサーの散布密度が平均１００個／mm^2 となるように調節する。

【００２６】

スペーサーが周辺駆動回路部分には散布されないように、散布時には図１のように基板１０１上にマスク１０２を基板と接触しないように設置する。マスクの駆動回路以外の部分には図１に示すように穴１０３を開けてある。穴の形状はソースドライバー部分に相当する位置には５２ｍｍ×１６ｍｍ、ゲイトドライバーに相当する位置には８ｍｍ×８０ｍｍとする。また、基板とマスクの間隔は１ｍｍとする。

【００２７】

次に、本実施例のアクティブマトリクス回路を得る作製工程について、図５を用いて説明する。図の左側に周辺駆動回路のＴＦＴの作製工程を、右側にアクティブマトリクス回路のＴＦＴの作製工程を、それぞれ示す。

【００２８】

まず、無アルカリガラス基板（石英基板でもよい）５０１上に下地酸化膜５０２として厚

さ１０００～３０００Åの酸化珪素膜を形成する。この酸化珪素膜の形成方法としては、酸素雰囲気中でのスパッタ法やプラズマＣＶＤ法を用いればよい。

【００２９】

次に、プラズマＣＶＤ法やＬＰＣＶＤ法によってアモルファスもしくは多結晶のシリコン膜を３００～１５００Å、好ましくは５００～１０００Å形成する。そして、５００℃以上、好ましくは、８００～９５０℃の温度で熱アニールをおこない、シリコン膜を結晶化させる。

【００３０】

熱アニールによって結晶化させたのち、光アニールをおこなって、さらに結晶性を高めてもよい。また、熱アニールによる結晶化の際に、特開平６－２４４１０３、同６－２４４１０４に記述されているように、ニッケル等のシリコンの結晶化を促進させる元素（触媒元素）を添加してもよい。

【００３１】

次にシリコン膜をエッチングして、島状の周辺駆動回路のＴＦＴの活性層５０３（Ｐチャネル型ＴＦＴ用）、５０４（Ｎチャネル型ＴＦＴ用）とマトリクス回路のＴＦＴ（画素ＴＦＴ）の活性層５０５を形成する。さらに、酸素雰囲気中でのスパッタ法によって、厚さ５００～２０００Åの酸化珪素のゲイト絶縁膜５０６を形成する。ゲイト絶縁膜の形成方法としては、プラズマＣＶＤ法を用いてもよい。プラズマＣＶＤ法によって酸化珪素膜を形成する場合には、原料ガスとして、一酸化二窒素（N_2O）もしくは酸素（O_2）とモノシラン（SiH_4）を用いることが好ましい。

【００３２】

その後、厚さ２０００Å～５μm、好ましくは２０００～６０００Åの多結晶シリコン膜（導電性を高めるため微量の燐を含有する）をＬＰＣＶＤ法によって基板全面に形成する。そして、これをエッチングして、ゲイト電極５０７、５０８、５０９を形成する。（図５（Ａ））

【００３３】

その後、イオンドーピング法によって、全ての島状活性層に、ゲイト電極をマスクとして自己整合的に不純物イオンの注入を行う。ここではフォスフィン（PH_3）をドーピングガスとして燐を注入する。ドーズ量は1×10^{12}～5×10^{13}原子／cm^2とする。この結果、弱いＮ型領域５１０、５１１、５１２が形成される。（図５（Ｂ））

【００３４】

次に、Ｐチャネル型ＴＦＴの活性層５０３を覆うフォトレジストのマスク５１３、および、画素ＴＦＴの活性層５０５のうち、ゲイト電極に平行にゲイト電極５０９の端から３μm離れた部分までを覆うフォトレジストのマスク５１４を形成する。

【００３５】

そして、再び、イオンドーピング法によって、フォスフィンをドーピングガスとして燐を注入する。ドーズ量は1×10^{14}～5×10^{15}原子／cm^2とする。この結果、強いＮ型領域（ソース／ドレイン）５１５、５１６が形成される。

【００３６】

画素ＴＦＴの活性層５０５の弱いＮ型領域５１２のうち、マスク５１４に覆われていた領域５１７は今回のドーピングでは燐が注入されないので、弱いＮ型のままとなる。（図５（Ｃ））

【００３７】

次に、Ｎチャネル型ＴＦＴの活性層５０４、５０５をフォトレジストのマスク５１８で覆い、ジボラン（B_2H_6）をドーピングガスとして、イオンドーピング法により、島状領域５０３に硼素を注入する。ドーズ量は5×10^{14}～8×10^{15}原子／cm^2とする。このドーピングでは、硼素のドーズ量が図５（Ｃ）における燐のドーズ量を上回るため、先に形成されていた弱いＮ型領域５１０は強いＰ型領域５１９に反転する。

【００３８】

以上のドーピングにより、強いＮ型領域（ソース／ドレイン）５１５、５１６、強いＰ型

領域（ソース／ドレイン）５１９、弱いＮ型領域（低濃度不純物領域）５１７が形成される。本実施例においては、低濃度不純物領域５１７の幅ｘは、約３μｍとする。（図５（Ｄ））

【００３９】

その後、４５０～８５０℃で０．５～３時間の熱アニールを施すことにより、ドーピングによるダメージを回復せしめ、ドーピング不純物を活性化、シリコンの結晶性を回復させる。その後、全面に層間絶縁物５２０として、プラズマＣＶＤ法によって酸化珪素膜を厚さ３０００～６０００Å形成する。これは、窒化珪素膜あるいは酸化珪素膜と窒化珪素膜の多層膜であってもよい。そして、層間絶縁物５２０をウェットエッチング法によってエッチングして、ソース／ドレインにコンタクトホールを形成する。

【００４０】

そして、スパッタ法によって、厚さ２０００～６０００Åのチタン膜を形成し、これをエッチングして、周辺回路の電極・配線５２１、５２２、５２３および画素ＴＦＴの電極・配線５２４、５２５を形成する。さらに、プラズマＣＶＤ法によって、厚さ１０００～３０００Åの窒化珪素膜５２６をパッシベーション膜として形成し、これをエッチングして、画素ＴＦＴの電極５２５に達するコンタクトホールを形成する。

【００４１】

最後に、スパッタ法で成膜した厚さ５００～１５００ÅのＩＴＯ（インディウム錫酸化物）膜をエッチングして、画素電極５２７を形成する。このようにして、周辺論理回路とアクティブマトリクス回路を一体化して形成する。（図５（Ｅ））

【００４２】

本実施例において作製したアクティブマトリクス型液晶表示デバイスの断面図を図３に示す。図３においてＴＦＴ基板３０２の一方の面には、画素ＴＦＴ３０８、透明電極３０５及び配向膜３０６が形成され、他方の面には偏光板３０１が設けられている。

【００４３】

また、カラーフィルター基板３０３の一方の面にはカラーフィルター３０４、透明電極３０５、配向膜３０６が形成され、他方の面には偏光板３０１が設けられている。

【００４４】

液晶材３１０は上記２枚の基板により挟持されており、２枚のガラス基板の間隔を一定に保つためのスペーサー３０７が液晶材中に領域により異なる散布密度で存在する。本実施例の場合、周辺駆動回路部分３０９のスペーサーの散布密度は０である。

【００４５】

図７にはＴＦＴ基板上のスペーサー散布領域について示されている。本実施例においては、周辺駆動回路領域３０９にはスペーサーが存在せず、それ以外の領域（図中斜線で示した部分）にのみスペーサーが存在している。なお画素領域７０１におけるスペーサーの散布密度は平均１００個／mm^2 とする。

【００４６】

ＴＦＴ基板及びカラーフィルター基板は封止材３１１により接着されている。

【００４７】

また、図には示されていないが、周辺駆動回路領域の上面には光を遮蔽するクロム膜やアルミ膜等の遮蔽膜を形成する必要がある。

【００４８】

このようにして形成された液晶表示装置は、周辺駆動回路上にスペーサーは散布されていないので、外圧に対して極めて強く、周辺駆動回路の破壊を防ぎ、十分に保護することができる。

【００４９】

〔実施例２〕

スペーサーの散布方式以外は、実施例１と同様であるので、散布方式のみ図２を用いて説明する。

【００５０】

まず基板１０１の表示領域上にスペーサーを散布する。スペーサー散布時に用いた散布機は実施例１で使用したものと同じである。スペーサーは粒径５．０μｍのプラスチックスペーサー（ミクロパール、積水ファインケミカル製）を用いる。このスペーサーを窒素ガスにより搬送し、配管１０４中で分散させる。スペーサーは搬送中に配管との摩擦により自然に帯電する。

【００５１】

スペーサーが駆動回路部分には散布されないように、散布の際には図２のように基板１０１上にマスク２０２を基板と接触しないように設置する。マスクには駆動回路以外の部分には穴が開いている。穴の形状は実施例１と同じである。また、基板とマスクの間隔は１ｍｍとする。また、マスクには金属などの導電性の材料を使用し、マスクとステージ間には直流電界を印加することができるようにする。マスクの電位は基板を設置しているステージを基準にして、スペーサーの電位と同一の電位となるようにする。本実施例では－１ｋＶの電圧を印加する。

【００５２】

図７にはＴＦＴ基板上のスペーサー散布領域について示す。本実施例においては、周辺駆動回路領域４０３にはスペーサーが存在せず、それ以外の領域（図中斜線で示した部分）にのみスペーサーが存在している。スペーサーの散布密度は平均１００個／mm^2 とする。

【００５３】

このようにして形成された液晶表示装置は、周辺駆動回路上にスペーサーは散布されていないので、外圧に対して極めて強く、周辺駆動回路の破壊を防ぎ、十分に保護することができる。

【００５４】

〔実施例３〕

本実施例では、実施例１または実施例２のスペーサー散布方式を用いた場合のアクティブマトリクス型液晶表示装置の組み立て工程において、より均一なセル厚を得るための方法について示す。図６に本実施例の概要を示す。なお、スペーサーの散布方式以外は、実施例１または実施例２と同様である。

【００５５】

実施例１または実施例２と同様にして得られたＴＦＴ基板３０２またはカラーフィルター基板３０３に、これら２枚の基板を接着する役割と、注入する液晶材が外部に流出するのを防ぐ目的を持つ封止材３１１中に、粒径５．５μｍのプラスチックスペーサー（ミクロパール・積水ファインケミカル製）６０１を混入させる。この時、周辺駆動回路３０９上には封止材が覆わないようにする。また、この場合のスペーサーは、上記プラスチック材料に限定する必要はなく、例えばガラス、シリカ等を用いてもよい。

【００５６】

次に基板３０２とカラーフィルター基板３０３を貼り合わせ、接着剤を硬化させる。

【００５７】

この後、貼り合わせた基板全体を減圧状態にして、表示領域内に液晶材を注入、封止する。

【００５８】

このようにして形成された液晶表示装置は、ＴＦＴ基板３０２とカラーフィルター基板３０３間のセル厚を均一とすることができ、色むらのない良好な表示特性を示す。また、駆動回路上にスペーサーは散布されていないので、外圧に対して極めて強く、駆動回路の破壊を防ぎ、十分に保護することができる。

【００５９】

〔実施例４〕

本実施例では、実施例１または実施例２のスペーサー散布方式を用いた場合のアクティブマトリクス型液晶表示装置の組み立て工程において、一対のガラス基板から装置を複数製造するために、封止材で前記アクティブマトリクス表示装置を区分し、多面取りを行う場

合を示す。なお、スペーサーの散布方式以外は、実施例１と同様である。

【００６０】

本実施例においては、一対の大型のガラス基板を利用して実施例１に示すようなアクティブマトリクス表示用基板を複数組構成する。図８にその時の構成の例を示す。図８は実施例１で示したアクティブマトリクス表示用基板を大型基板に４組構成したものであり、各組の画素領域８０４、周辺駆動回路領域８０３の各素子の構成は実施例１に同じである。

【００６１】

また本実施例では図８に示すように、封止材８０１によって１枚の基板を４ヵ所に区分けする。本実施例にて使用した封止材は実施例１にて使用したものと同じである。更に、本実施例では大型のガラス基板を使用する。セル厚をより均一にするために、封止材中には実施例３に示すようなプラスチックスペーサーを混合させる。

【００６２】

スペーサー散布時のマスクは、実施例１や実施例２で述べたような周辺駆動回路領域に相当する位置の穴を、複数組の周辺駆動回路領域に対応するように形成したものを用いる。図８には、このようなマスクを利用した場合のＴＦＴ基板上のスペーサーが散布されている領域が示されている。実施例１や実施例２と同様に周辺駆動回路領域８０３にはスペーサーが存在せず、それ以外の領域（図中斜線で示した部分）にのみスペーサーが存在している。スペーサーの散布密度は平均１００個／mm^2 とする。

【００６３】

そして封止材を加熱硬化した後、スクライバーを使用してガラス基板にパネルサイズの溝を刻み、ブレイカーを使用して基板の溝の真上からウレタン性の丸材をエアシリンダーの圧力で落下させて、薄膜トランジスタ基板をパネルサイズに分断して多面取りを行う。

【００６４】

最後に、ＴＦＴ基板とカラーフィルタ基板が貼り合わされたアクティブマトリクス型液晶表示装置の液晶注入口より液晶材を注入し、その後エポキシ系樹脂で液晶注入口を封止する。以上のようにして、より均一なセル厚のアクティブマトリクス液晶表示装置を同時に多数作製することが可能となる。

【００６５】

【発明の効果】

周辺駆動回路領域のスペーサーの散布密度を画素領域より小さくすることにより、周辺駆動回路へのスペーサーによる損傷を少なくすることができ、周辺駆動回路の歩留りの向上が可能となる。

【図面の簡単な説明】

【図１】　本発明の実施例１におけるスペーサー散布方法の概略を示す図。

【図２】　本発明の実施例２におけるスペーサー散布方法の概略を示す図。

【図３】　本発明の実施例１におけるアクティブマトリクス型液晶表示装置の断面を示す図。

【図４】　従来のアクティブマトリクス型液晶表示装置の概略を示す図。

【図５】　実施例１におけるＴＦＴの作製工程を示す図。

【図６】　本発明の実施例３におけるアクティブマトリクス型液晶表示装置の断面を示す図。

【図７】　本発明の実施例１における方法でスペーサーを散布した場合の、ＴＦＴ基板上のスペーサー散布状態を示す図。

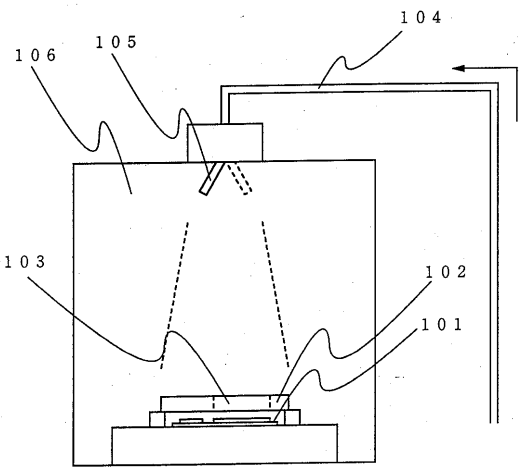
【図８】　本発明の実施例４におけるアクティブマトリクス型液晶表示装置の概略を示す図。

【符号の説明】

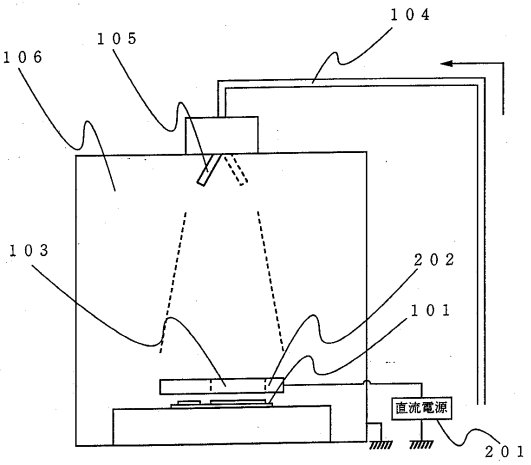
１０１	基板
１０２、２０２	マスク
１０３	穴
１０４	配管

１０５	散布ノズル
１０６	チャンバー
２０１	直流電源
３０１	偏光板
３０２、３０３、４０１、４０５	ガラス基板
３０４	カラーフィルタ
３０５	透明電極
３０６	配向膜
３０７	スペーサー
３０８、４０４	画素ＴＦＴ
３０９、４０３	駆動回路ＴＦＴ
３１０	液晶材
３１１、４０２、８０１	封止材
５０１	基板
５０２	下地膜（酸化珪素）
５０３～５０５	活性層（シリコン）
５０６	ゲイト絶縁膜（酸化珪素）
５０７～５０９	ゲイト電極・ゲイト線
５１０～５１２	弱いＮ型領域
５１３、５１４	フォトレジストのマスク
５１５、５１６	強いＮ型領域（ソース／ドレイン）
５１７	低濃度不純物領域
５１８	フォトレジストのマスク
５１９	強いＰ型領域（ソース／ドレイン）
５２０	層間絶縁物（酸化珪素）
５２１～５２５	金属配線・電極
５２６	パッシベーション膜（窒化珪素）
５２７	画素電極（ＩＴＯ）
６０１	スペーサー

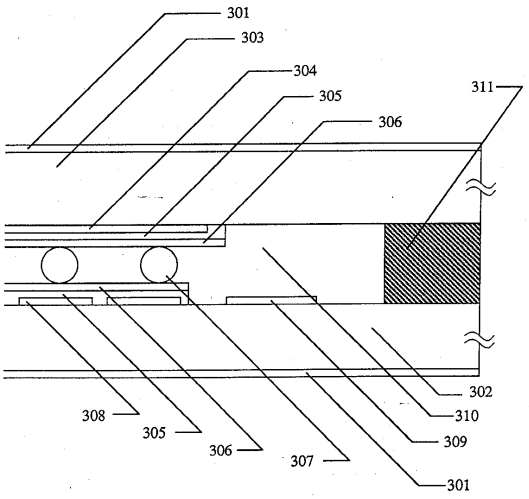
【図１】


１０４
１０５
１０６
１０３
１０２
１０１

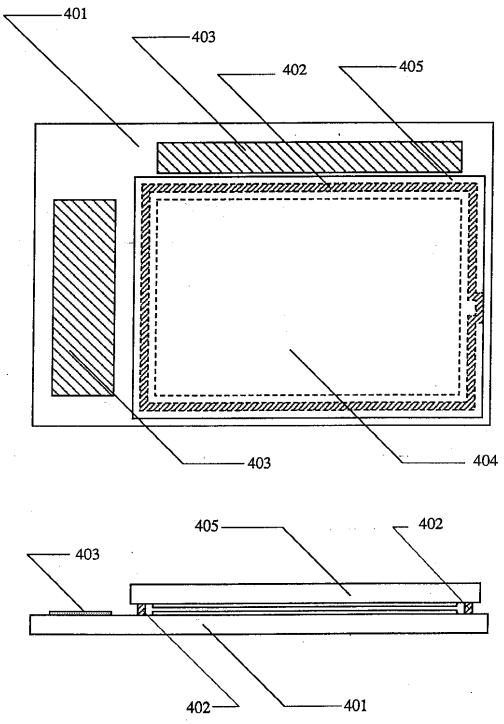
【図２】


１０４
１０５
１０６
１０３
２０２
１０１
直流電源
２０１

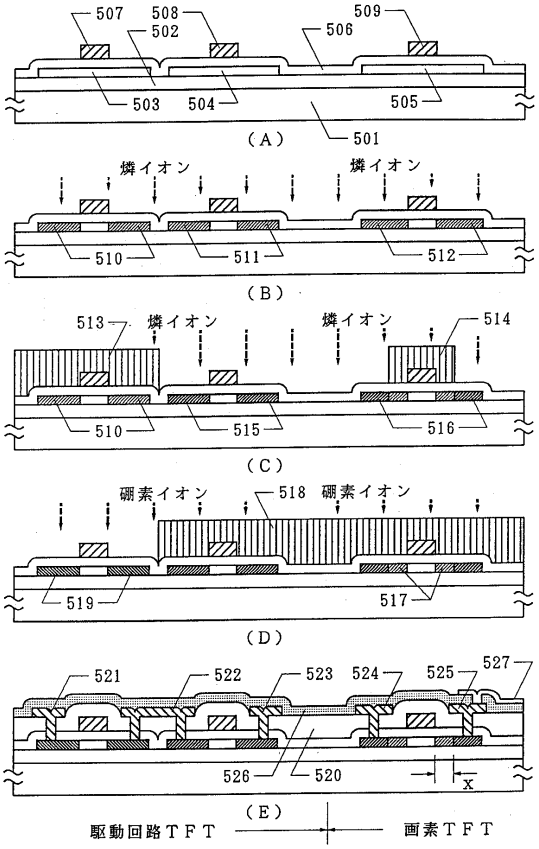
【図３】


301
303
304
305
306
311
302
310
309
308
305
306
307
301

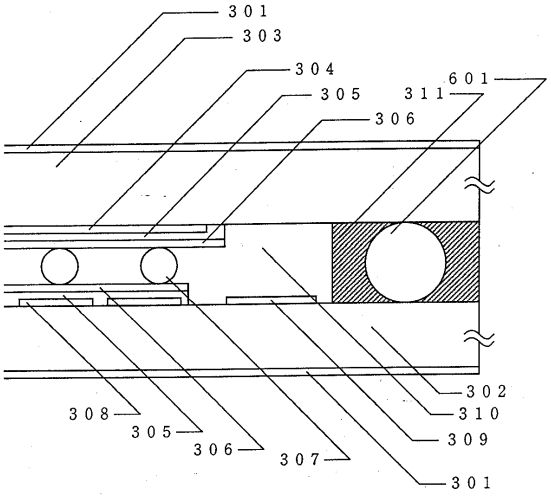
【図４】


401
403
402
405
403
404
405
402
403
402
401

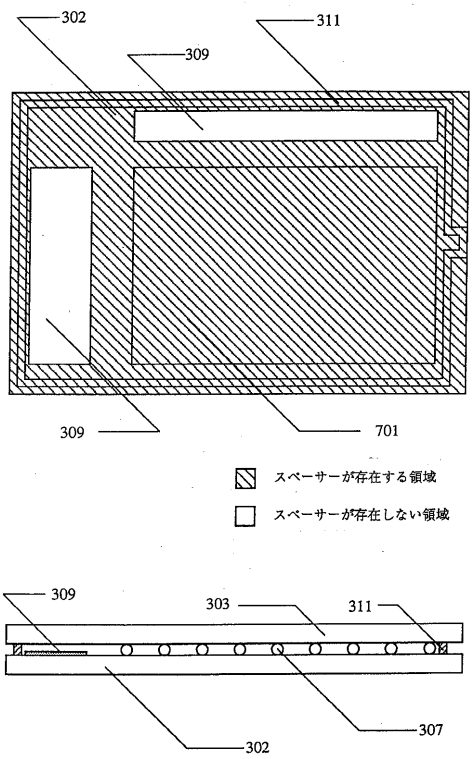
【図５】


507
508
502
509
506
503
504
505
501
（A）
燐イオン
燐イオン
510
511
512
（B）
513
燐イオン
燐イオン
514
510
515
516
（C）
硼素イオン
518
硼素イオン
519
517
（D）
521
522
523
524
525
527
526
520
x
（E）
駆動回路ＴＦＴ
画素ＴＦＴ

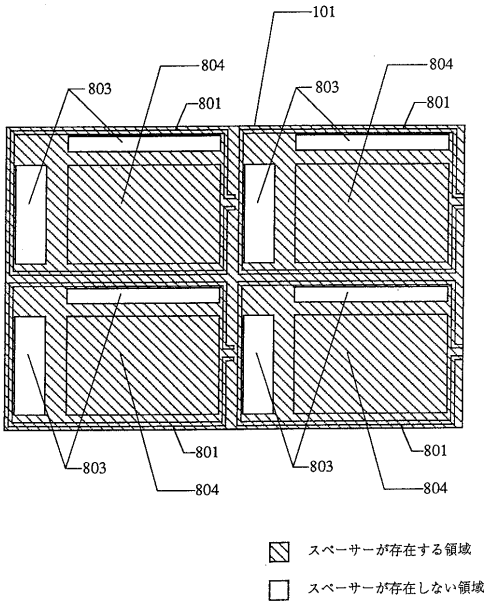
【図６】


３０１
３０３
３０４
３０５
３１１
６０１
３０６
３０２
３１０
３０９
３０１
３０８
３０５
３０６
３０７

【図７】


302
311
309
309
701
スペーサーが存在する領域
スペーサーが存在しない領域
309
303
311
307
302

【図８】


101
804
803
801
803
804
801
803
801
803
804
804
スペーサーが存在する領域
スペーサーが存在しない領域

フロントページの続き

(72)発明者　山元　良高
大阪府大阪市阿倍野区長池町２２番２２号　シャープ株式会社内
(72)発明者　足立　昌浩
大阪府大阪市阿倍野区長池町２２番２２号　シャープ株式会社内
(72)発明者　荻島　清志
大阪府大阪市阿倍野区長池町２２番２２号　シャープ株式会社内

合議体
審判長　吉野　公夫
審判官　吉田　禎治
審判官　三橋　健二

(56)参考文献　特開平７－２０９６５７（ＪＰ，Ａ）
特開平６－２２２３１８（ＪＰ，Ａ）
特開平１－２８９９１５（ＪＰ，Ａ）
特開平７－１５９７９４（ＪＰ，Ａ）
特開昭６３－２０８８２６（ＪＰ，Ａ）
実開平７－３２６４１（ＪＰ，Ｕ）
特開平３－２５１８２１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G02F1/1339,500