

274635

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

德 國 ( 地區 ) 申請專利，申請日期： 案號： ， 有 無主張優先權  
 1993年12月1日 No.P4340967.9

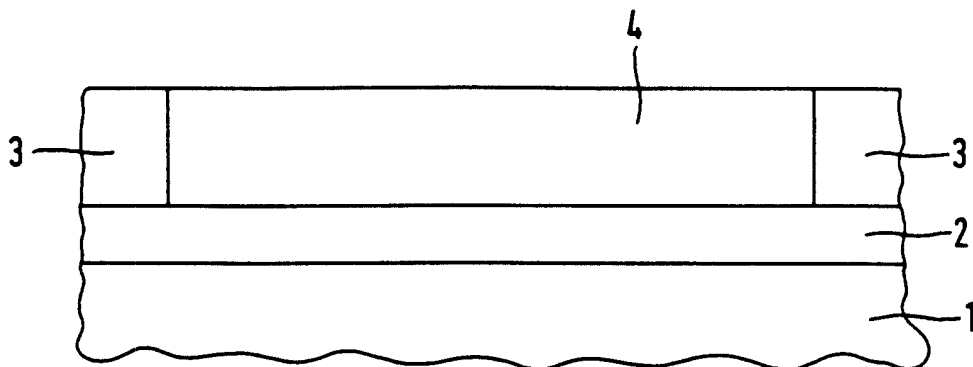
有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

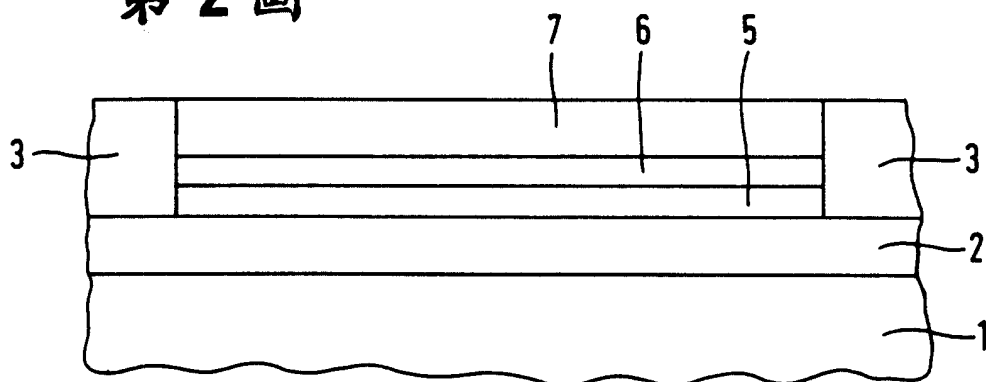
裝 訂 線

經濟部中央標準局員工消費合作社印製

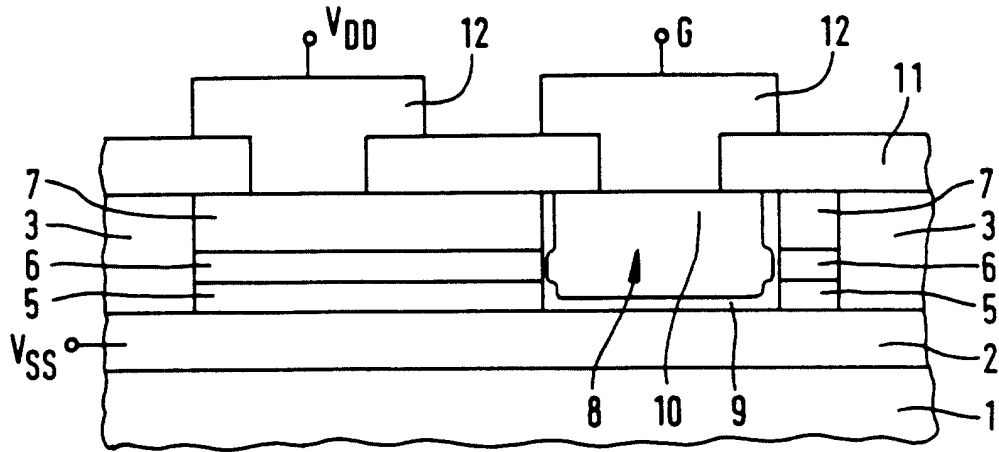
第 1 圖



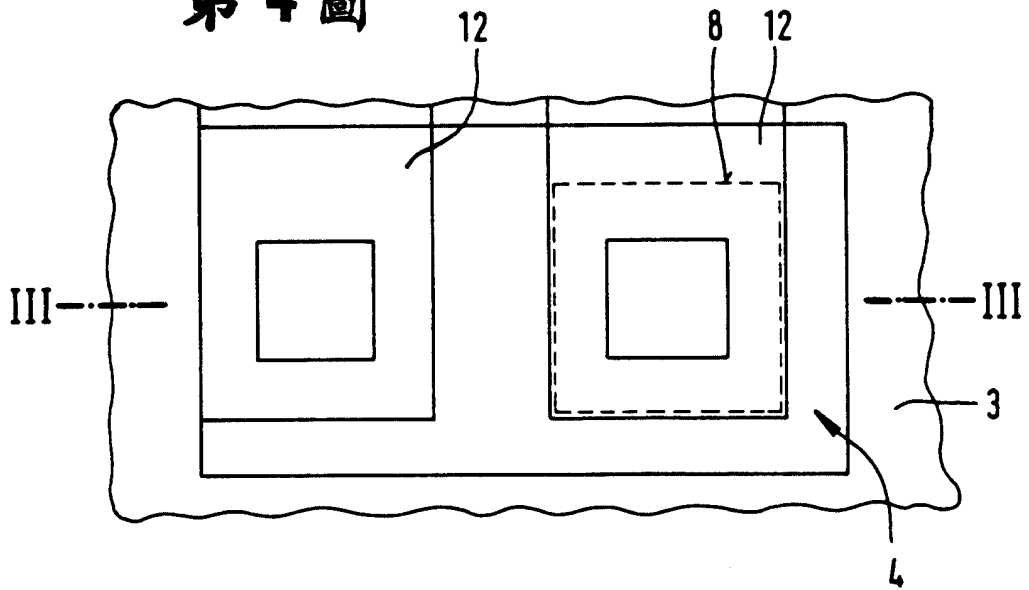
第 2 圖



第 3 圖



第 4 圖





公告本

274635 84年8月3日修正/更正/補充

申請日期	83.10.15
案號	83109590
類別	H01L 21/335

A4

C4

274635

(以上各欄由本局填註)

發明專利說明書 (84年8月修正)  
 發新 明型 專 利 說 明 書

一、發明 名稱	中 文	製造具有至少一金氧半電晶體之積體電路的方法
	英 文	Method for manufacturing an integrated circuit having at least one MOS transistor
二、發明 創作人	姓 名	1. 羅薩瑞屈 (Lothar RISCH) 2. 湯姆斯弗格森 (Thomas VOGELANG) 3. 法蘭茲赫夫曼 (Franz HOFMANN) 4. 卡爾赫夫曼 (Karl HOFMANN)
	國 籍	1-3 皆屬德國 4. 奧地利
	住、居所	1. 德國紐比堡 85579 提茲艾恩路 27 號 2. 德國慕尼黑 81379 伯屈斯瑞德街 57 號 3. 德國慕尼黑 80995 赫伯街 25B 4. 奧地利威尼森 30974 普費斯坦街 7 號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 SIEMENS AKTIENGESELLSCHAFT
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑威田巴契廣場 2 號
	代 表 人 姓 名	1. 寇爾伯 (Korbart prokurist) 2. 福克斯 (Dr. Fuchs Prokurist)

經濟部中央標準局員工消費合作社印製

裝

訂

線

## 五、發明說明( )

## 發明背景

## 發明領域

本發明係關於半導體元件之製造，特別是關於結合 MOS 電晶體之半導體元件的改良製造方法。

## 相關技術說明

積體電路，CMOS電晶體及邏輯閘目前一般藉平面矽製造技術而形成，其將源極，通道區域及汲極作橫向配置。這種設計所能獲得之閘長依所採用之光平板印刷術之解析度及結構和調整之公差而定。典型之 $0.6\mu\text{m}$ 閘長可藉16M殖生達成，而典型之 $0.35\mu\text{m}$ 閘長可用64M殖生達成。

鑑於MOS電晶體之電性質及於複雜邏輯電路上特別需要之高填裝密度，進一步縮小橫向通道長度是需要的。於這些設計上，許多n-通道及p-通道電晶體必須互相絕緣且互相連接。為了達成進一步之縮小，改良光平板印刷術及塗漆與蝕刻技術是需要的。由於光平板印刷術之有限解析度及因這些製程的結構與調整上之公差而日增的問題，具有低於 $100\text{nm}$ 通道長之電晶體是否能藉這些製程可靠地製成是令人懷疑的。再者，縮小橫向通道長度之結果導致MOS電晶體之電性質改變，此種改變必須藉將雜質注入通道區域及增加源極/汲極結構設計之複雜度予以補償。當用電子束平板印刷術替代光學平板印刷術時可藉平面技術達成較小結構。製造個別的，功能性的具有通道長縮短到 $50\text{nm}$ 之MOS電晶體已在實驗室級上藉電子束印刷器達成。但是，因電子束平板印刷術製

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( &gt; )

程動作緩慢，故在作大量生產半導體時不經濟不適合。

在1980年代(請參閱，譬如，F.E. Holmes et al., Solid State Electronics, 17(1974), pp. 791 ff)曾提出製造垂直電晶體之所謂V-MOS技術以作為上述製程之另一替代製程。這些元件之源極，通道區域及汲極成垂直層予生成於基片上。閘介電體及閘電極區域形成在具有V-型輪廓之溝的表面上。因此能製出具有通道長度短於在當時之平板印刷術(lithography)所容許之長度之電晶體。這種規劃和平面製造方法相較在邏輯設計和發展上並無多大意義，因為僅縮短這些電晶體之通道長度會在整體電路上產生大量之寄生電容。

在DRAM記憶體之發展上，德州儀器公司(Texas Instruments)(請參閱，譬如，W.F. Richardson et al., IDEM Dig. Tech. paper(1985), pp. 714-717)曾提出將電晶體及電容器垂直整合於所謂“溝電晶體室”(trench transistor cell)內之製程。這種設計所規劃之電晶體含有約 $1\mu\text{m}$ 級之通道長度。但是僅溝中的電容器配置隨後普及於記憶體之發展中。

於W.Kiunke, 1992, pp. 2-3之論文引介中曾提出使用分子束晶膜成長術可能性之概述。於分子束晶膜成長術上，具有一個原子層等級之最小厚度的均勻層可在控制的方式下製造。在添加含氣體雜質之晶膜成長階段時在原地可注入範圍達 $10^{14}\text{cm}^{-3}$ 到 $10^{20}\text{cm}^{-3}$ 之雜質濃度。垂直CMOS反相器之規劃案係作為應用例而提出討論。此

## 五、發明說明(3)

規劃之反相器在基片上形成台地(mesa)結構。此台地結構包含具有垂直側壁之npnpnp層之順序。這些層之所有垂直側壁在一側上設置有閘介電體及閘電極。該閘電極僅靠閘介電體而與基片絕緣，因此這種結構顯示有很多寄生電容。

本發明對這些已知之已往半導體製造技術加以改良並提出一種進步技術，一種能可靠地製造更小之MOS電晶體結構之製造半導體之方法。本發明係關於製造通道長限足低於50nm範圍之MOS電晶體的製造方法。特別是，本方法適用於製造小巧高速之邏輯閘。

### 發明概述

本發明係於基片，如矽晶圓，之主表面上生成源極端面區域。此源極端面區域能形成於矽晶圓之主表面上以形成連續之摻雜層(doped layer)及摻雜凹井(doped well)兩者。另外，也能採用SOI基片作為基片。這種設計含有一矽晶圓，在矽晶圓上之絕緣層及配置於該絕緣層上之單晶矽層。源極端面區域位於單晶矽層上。為了達成最高填裝密度，其四周以絕緣溝圍繞。

俟形成源極端面區域後，具有第1開孔之絕緣層加於主表面之整個面。源極區域之其後表面在第1開口內未受覆蓋。至少含有MOS電晶體之通道區域及汲極區域及最好另外含有源極區域之垂直層序藉晶膜成長摻雜半導體材料而生成於第1開孔內。當層序僅包含通道區域及汲極區域時源極端面區域也作為源極區域。



## 五、發明說明(4)

所有晶膜成長法皆適用於產生垂直層序。此層序最好藉分子束晶膜成長術產生，藉此晶膜成長術可產生特別薄之層。另外也藉選擇性晶膜成長術生成，特別在用  $\text{SiH}_2\text{Cl}_2$  氣體之 RTP-CVD(快速熱處理-化學蒸著)

(Rapid Thermal Processing-Chemical Vapor Deposition)...

製程上，藉此製程注入適宜之雜質氣體作原地摻雜。當採用非選擇性之方法以生成層序時半導體材料生成於源極端面區域之表面及絕緣層之表面兩處。半導體材料以單晶形成於源極端面區域之表面而以複晶形成於絕緣層之表面。此複晶半導體層隨後視單晶層之結構而可作選擇性之去除。採用選擇性晶膜成長術具有省掉蝕刻步驟之優點。

之後於層序上形成第2開孔。此第2開孔之深度至少相當於汲極區域及通道區域，及潛在地，源極區域之厚度之和。閘介電體生成於第2開孔之表面而閘電極生成於此閘介電體上。當MOS電晶體運作之際一導電性通道在通道區域內沿著第2開孔之表面形成。藉這種方法能製出具有良好電性質之MOS電晶體，因為第2開孔位於全無晶格缺陷之層結構內部。

這種製造方法適用於構成具有兩個相互有關之互補電晶體之反相器。為達此目的，具有適宜摻雜之層序形成於第1開孔內。形成電路上之源極/汲極區域之層注入高濃度雜質並堆積成厚度為50-200nm之層。形成電路上之通道區域之層注入  $10^{17}$  至  $10^{18} \text{ cm}^{-3}$  範圍之低濃度雜質

## 五、發明說明 ( 5 )

並生成 10-200nm，最好 50-100nm 之厚度。這些層之厚度相當於對應 MOS 電晶體之通道長。

層的厚度配合第 1 開孔之深度使層序終止於幾乎完全和絕緣層之表面成同一之平面上特別有利。藉此以形成平面結構。提供形成少於或等於  $10^{18} \text{ cm}^{-3}$  雜質注入濃度之通道區域之這些層，及形成大於或等於  $10^{19} \text{ cm}^{-3}$  雜質注入濃度之源 / 汲極區域之這些層特別期望；同時採用在 700-800°C 之熱氧化以形成閘介電體最為有利。當和作為通道區域之較低摻雜濃度之層比較時，此較高摻雜濃度區域之閘介電體因此形成約有 5 倍大之厚度。在源極 / 汲極區域之表面上之閘介電體之較大厚度遂減少重疊之電容量。

本發明之另外特徵及優點將由下面參照附圖對最佳實例，所作之詳細說明而可明白。

### 圖式簡述

圖 1 表源極端面區域及具有開孔之絕緣層之基片。

圖 2 表示於絕緣層之開孔內形成層結構後之基片。

圖 3 表示形成層結構之垂直 MOS 電晶體。

圖 4 表示垂直 MOS 電晶體之俯視圖。

圖 5 表示形成層結構之垂直反相器。

圖 6 表示反相器之電路示意圖。

### 最佳實例詳述

圖 1 表示本發明之最佳實例，其內具有源極端面區域 2 之 MOS 電晶體生成於 p-摻雜，單晶矽之基片 1 之主表

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( b )

面上。該源極端面區域之  $n^+$ -摻雜。源極端面區域 2 被注入 P, Sb 或 As 且具有約  $10^{20} \text{ cm}^{-3}$  之雜質注入濃度。源極端面區域 2 能形成為連續之層或凹井兩者之一。

絕緣層 3, 如  $\text{SiO}_2$ , 被加上俾覆蓋源極端面區域 2 之表面。此係藉堆積或氧化形成厚度約 200nm 以達成。第 1 開孔 4 係藉平板印刷術形成於絕緣層 3 上。舉個例說, 第 1 開孔 4 可藉各向異性蝕刻而形成。源極端面區域 2 之表面曝露在第 1 開孔 4 之區域內。

全然填滿第 1 開孔 4 並形成全然和絕緣層 3 成同一平面之表面層結構, 最好藉選擇性晶膜成長而形成於第 1 開孔 4 內。溫度範圍在 400 到 700°C 之間及壓力範圍在 0.1mbar 到 10mbar 間之分子束晶膜成長法或以  $\text{SiH}_2\text{Cl}_2$  氣體作為流程氣體之 RTP-CVD 法特別適用於選擇性晶膜成長。形成層序之層的摻雜在進行晶膜成長時藉將含氣體雜質加於流程氣體而於原地進行。特別是加上  $\text{AsH}_3$ ,  $\text{SbH}_3$  或  $\text{PH}_3$  以形成  $n$ -摻雜層。而生成  $p$ -摻雜層則加上  $\text{B}_2\text{H}_6$ 。

第 1 層 5 在第 1 開孔 4 內生成於源極端面區域 2 之表面上。第 1 層 5 為  $n^+$ -摻雜, 其係被注入雜質濃度約為  $10^{20} \text{ cm}^{-3}$  之 Sb 或 As。第 1 層 5 如圖 2 所示那樣, 生成為厚度約為 50nm 之層。第 2 層生成於第 1 層 5 上, 此第 2 層 6 當進行晶膜成長之際藉於原地加上  $\text{B}_2\text{H}_6$  以形成  $p$ -摻雜。第 2 層 6 具有摻雜濃度約為  $10^{18} \text{ cm}^{-3}$  及厚度約為 50nm。第 2 層 6 形成通道區域。形成汲極區域之第 3 層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(7)

7 生成於第 2 層 6 上。第 3 層 7 為具有摻雜濃度約為  $10^{20} \text{ cm}^{-3}$  之  $n^+$ -反相器。此第 3 層 7 當進行晶膜成長步驟時藉將  $\text{AsH}_3$  加於流程氣體以形成者。此第 3 層 7 形成厚度約為  $100 \text{ nm}$  之厚度。第 1 層 5，第 2 層 6 及第 3 層 7，如圖 2 所示，形成完全填滿第 1 開孔 4 之層結構。

第 2 開孔 8 當進行平板印刷步驟時於由第 1 層 5，第 2 層 6 及第 3 層 7 所組成之層結構上蝕刻而成。第 2 開孔 8 必須至少延伸進入第 1 層 5。第 2 開孔 8 最好如圖 3 所示那樣在源極端面區域之表面上蝕刻而成。

接著在為  $700$  到  $800^\circ\text{C}$  範圍之溫度下藉氧化以生成閘介電體 9。氧化時間之設定使在第 2 層 6 之表面上形成厚度約為  $5 \text{ nm}$  之介電體。於這期間，厚度高為 5 個因數係形成在高摻雜濃度之第 1 層 5，第 3 層 7 之表面及源極端面區域之表面。如此以減少重疊電容。

之後，在第 2 開孔 8 內之剩餘間隙係用  $n^+$ -反相器聚矽充填。此  $n^+$ -摻雜聚矽即形成為閘電極 10。為  $n^+$ -摻雜之第 3 層 7 形成汲極區域；為  $p$ -摻雜之第 2 層 6 形成通道區域；形成源極區域之第 1 層 5 及源極端面區域 2，每一區域皆為  $n^+$ -摻雜並互相共通成為 MOS 電晶體之有效源極區域。第 1 層 5 係生成於源極端面區域 2 俾確保源極，通道及汲極成一直線垂直之配置。MOS 電晶體之寬被第 2 開孔 8 之範圍所限定。MOS 電晶體之通道長被第 2 層 6 之厚度所限定。具有最小厚度低到  $5 \text{ nm}$  之層可藉分子束晶膜成長法或採用溫度範圍在  $400^\circ\text{C}$  到  $700^\circ\text{C}$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(8)

之間及壓力範圍在 0.1 mbar 到 10 mbar 之間之 RTP-CVD 法製成。這種層的厚度為依本發明能製作之通道長之下限。

於絕緣層 3，第 3 層 7，及形成閘電極 10 之聚矽充填物之整個表面上生成絕緣層 11。於絕緣層 11 上開孔通到閘電極 10 及作為汲極區域之第 3 層 7，該孔並充填有金屬化物 12。源極端面區域 2，譬如藉填充有金屬化物之深植通孔而與第 1 開孔 4 接觸，該金屬化物穿通絕緣層 11 及絕緣層 3。當 MOS 電晶體運轉期間，源極端面區域 2 係接至供給電壓  $V_{SS}$ ，第 3 層 7 係接至供給電壓  $V_{DD}$ ，及閘電極 10 係接至閘電極 G。

圖 4 表示參照圖 3 說明之 MOS 電晶體之平面圖。圖 3 表示圖 4 之 III-III 處之斷面。於本例裡，填充有層結構之開孔 4 之尺寸為  $1.2 \mu\text{m} \times 2.2 \mu\text{m}$ 。限定電晶體寬度之第 2 開孔具有  $0.8 \mu\text{m} \times 0.8 \mu\text{m}$  之尺寸。在作為汲極區域之第 3 層 7 上通孔及閘電極 10 具有約為  $0.4 \mu\text{m} \times 0.4 \mu\text{m}$  之橫斷面，第 2 開孔 8 之橫斷面如圖 4 之虛線所示。

源極端面區域 22 形成在，譬如，由圖 5 所示之 p-摻雜，單晶矽所組成之基片 21 之主表面上以製作反相器。源極端面區域 22 係為具有  $10^{20} \text{cm}^{-3}$  源極區域濃度之  $n^+$ -摻雜。源極端面區域 22 可形成為連續之層或為凹井 (well)。源極端面區域 22 最好由擴散形成。

由，譬如，係  $\text{SiO}_2$  所形成且具有厚度，譬如係 350 nm 之絕緣層 23 係加於源極端面區域 22 之整個表面。第 1 開孔 24 設於絕緣層 23 上。第 1 開孔 24 用平板印刷術，譬如

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

編

## 五、發明說明(9)

，藉各向異性 (anisotropic) 蝕刻而生成。源極端面區域 22 之表面在第 1 開孔 24 內曝露。

全然填滿第 1 開孔 24 之矽層結構係藉選擇性晶膜成長法而生成於第 1 開孔 24 內。進行選擇性晶膜成長法如利用溫度範圍在 400-700℃ 及壓力範圍在 0.1 到 10 mbar 之  $\text{SiH}_2\text{Cl}_2$  氣體之 RTP-CVD 晶膜成長俾主要在矽之表面上生成矽而在絕緣層 23 之表面上沒有矽生成。這些層係藉加上適宜之雜質氣體而於原地堆積雜質。

形成源極區域之第 1 層 25 生成於源極端面區域 22 之表面上之第 1 開孔 24 內，此第 1 開孔 24 為具有雜質濃度約為  $10^{20} \text{ cm}^{-3}$  之  $n^+$ -摻雜。第 1 層 25 生成之厚度約為 50-100 nm。為 p-摻雜且具有厚度約為 50 nm 之第 2 層 26 係生成於第 1 層 25 上。第 2 層 26 形成反相器之通道區域。第 2 層 26 具有約為  $10^{18} \text{ cm}^{-3}$  之雜質濃度。為  $n^+$ -摻雜且具有雜質濃度約為  $10^{20} \text{ cm}^{-3}$  和厚度約為 50-100 nm 之第 3 層 27 生成於第 2 層 26 上。為  $p^+$ -摻雜且具有雜質濃度約為  $10^{20} \text{ cm}^{-3}$  和厚度約為 50-100 nm 之第 4 層 28 生成於第 3 層 27 上。為 n-摻雜且具有雜質濃度約為  $10^{18} \text{ cm}^{-3}$  和厚度約為 50 nm 生成於第 4 層 28 上。第 5 層 29 形成為已完成之反相器之通道區域。

為  $p^+$ -摻雜且由約為  $10^{20} \text{ cm}^{-3}$  之雜質濃度堆積而成並具有厚度約為 50-100 nm 之第 6 層 30 生成於第 5 層 29 上。第 6 層 30 全然和絕緣層 23 之表面齊平。

當進行平板印刷術之際至少延伸進入第 1 層 25 之第 2

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(10)

開孔 31 形成於由第 1 層 25, 第 2 層 26, 第 3 層 27, 第 4 層 28, 第 5 層 29 及第 6 層 30 所組成之層結構內。該第 2 開孔 31 最好係延伸到源極端面區域 22 之表面上。

之後, 進行氧化, 最好係在 700-800°C 溫度下, 以沿著第 2 開孔 31 之表面形成閘介電體 32。氧化時間之設定使第 2 層 26 及第 5 層 29 之層厚形成約 5nm, 該第 2 層 26 及第 5 層 29 係各自形成為反相器內之通道區域。由於雜環濃度之不同, 在高摻雜之第 1 層 25, 第 3 層 27, 第 4 層 28, 第 6 層 30 之表面及在源極端面區域 22 之表面上因此產生約為 5 倍之層厚。同時,  $\text{SiO}_2$  層係形成於在第 2 開孔 31 外側之第 6 層 30 之表面; 為清楚起見, 圖 5 未示出  $\text{SiO}_2$  層。第 2 開孔 31 內之剩餘間隙係充填  $n^+$ -摻雜聚矽俾形成閘電極 33。

譬如為  $\text{SiO}_2$  之絕緣層 34 形成於絕緣層 23, 第 6 層 30 及閘電極 33 之表面上。延伸到第 4 層 28 之表面之第 3 開孔穿過絕緣層 34, 第 6 層 30 及第 5 層 29 而形成。第 3 開孔 35 之側壁設置有絕緣間隔件 36。絕緣間隔件 36 係藉, 譬如, 堆積薄  $\text{SiO}_2$  層及然後對該  $\text{SiO}_2$  層施予各向異性蝕刻而形成。第 3 開孔 35 被充填金屬化物以形成輸出接點 37。閘電極 33 上之通孔開於絕緣層 34 裡並有金屬化物以形成輸入接點 36。延伸到第 6 層 30 之表面之另外通孔開於絕緣層 34 上並有金屬化物以形成第 1 供給電壓 V 之接點 39。源極端面區域 22 係在圖 5 所示之外側與充填有金屬化物之絕緣層 34 及絕緣層 23 之通孔接觸。此源極

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 11 )

端面區域 22 在運轉之際係接至第 2 供給電壓  $V_{DD}$ 。

源極端面區域 22，第 1 層 25，第 2 層 26 及第 3 層 27 連同閘介電體 32 及閘電極 33 形成圖 6 所示之反相器之 n-通道 MOS 電晶體 N。於 N-通道電晶體 N，第 2 層 26 作為通道區域，而源極端面區域 22 及第 1 層 25 係作為源極及第 3 層 27 作為汲極。第 4 層 28，第 5 層 29，第 6 層 30，閘介電體 32 及閘電極 33 係形成圖 6 所示之反相器之 p-通道 MOS 電晶體 P。第 5 層 29 因此係作為通道區域而第 4 層 28 作為源極端面區域及第 6 層係作為汲極區域。第 4 層 27 經通道效應或接點 35 而接至第 5 層 28，前述接點 35 凸起於具有雜質濃度為  $10^{20} \text{ cm}^{-3}$  之  $n^+$ -摻雜區域及  $p^+$ -摻雜區域之間，因此輸出接點 38 也經由第 4 層 28，而接於第 3 層 27。輸入信號  $V_{in}$  經由輸入接點 38 而加於反相器，輸出信號  $V_{out}$  由輸出接點 37 輸出。

利用本發明之製造方法可用簡單之方式構成圓形振盪器，其係將多數之反相器接鄰配置，多數之開孔邊連邊設置及分別將反相器之輸出接點接至下一個反相器之輸入接點。

本發明可作許多細部變更，修改及改變。本說明書敘述及附圖所示之所有事件僅用為說明而已。因此，本發明係僅受申請專利範圍各項及精神所限制。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



四、中文發明摘要(發明之名稱:

製造具有至少一金氧半電晶體之積體電路的方法

於含有源極區域基片之主面上生成絕緣層。於前述絕緣層上設置有局部曝露前述源極區域之第1開孔。至少含有MOS電晶體之通道區域及汲極區域之垂直層序(layer sequence)以原地摻雜質法藉半導體材料之晶膜成長而形成於該第1開孔內。深度至少相當於汲極區域及通道區域厚度之和的第2開孔生成於層結構上，閘介電體加於其表面上，接著再於該閘介電體上加上閘電極。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱: Method for manufacturing an integrated circuit having at least one MOS transistor

An insulating layer is grown on a principal face of a substrate that comprises a source terminal region. A first opening wherein the surface of the source terminal region is partially uncovered is provided in the insulating layer. A vertical layer sequence that comprises at least a channel region and a drain region for the MOS transistor is produced in the first opening by epitaxial growth of semiconductor material within situ doping. A second opening that is at least of a depth corresponding to the sum of the thicknesses of drain region and channel region is produced in the layer structure, a gate dielectric is applied on the surface thereof and a gate electrode is applied on said gate dielectric.

訂

線

## 六、申請專利範圍

第 83109590 號「製造具有至少一金氧半電晶體之積體  
電路的方法」專利案 (84年8月修正)

### 六 申請專利範圍

1. 一種製造半導體元件之方法，包含下列步驟：

於基片上生成源極端面區域；

於源極端面區域上堆積第 1 絕緣層；

於第 1 絕緣層上設置第 1 開孔而曝露源極端面區域  
之表面；

於源極端面區域之表面以原地摻雜法藉半導體材料  
之晶膜成長而堆積第 1 摻雜層；

於第 1 摻雜層上以原地摻雜法藉半導體材料之晶膜  
成長而堆積第 2 摻雜層；

於第 2 摻雜層上以原地摻雜法藉半導體材料之晶膜  
成長而堆積第 3 摻雜層；

第 1、第 2 及第 3 摻雜層所形成之垂直層序中各層  
均至少包含金氧半電晶體之一通道區域及一汲極區域；

於第 3 摻雜層上設置第 2 開孔，此第 2 開孔至少延  
伸進入前述第 1 摻雜層；

於第 2 開孔之內面堆積一介電體；

用摻雜多晶矽充填第 2 開孔以形成閘電極；

將第 2 絕緣層堆積於摻雜多晶矽上；

設置電接點於第 3 摻雜層；

設置電接點於閘電極；及

設置電接點於源極端面區域。

## 六、申請專利範圍

2. 如申請專利範圍第1項之製造半導體元件之方法，其中堆積該第3摻雜層之步驟包括將該第3摻雜層堆積高到其頂部表面實質上和第1絕緣層之表面一致。
3. 如申請專利範圍第1項之製造半導體元件之方法，其中生成源極端面區域之步驟包括形成摻雜凹井。
4. 如申請專利範圍第3項之製造半導體元件之方法，其中生成源極端面區域之步驟包括形成連續之摻雜層。
5. 如申請專利範圍第1項之製造半導體元件之方法，其中堆積第1，第2及第3摻雜層之步驟，每一步驟皆含有藉分子束晶膜成長法以堆積摻雜層之步驟。
6. 如申請專利範圍第5項之製造半導體元件之方法，其中堆積第1，第2及第3摻雜層之步驟，每一步驟皆包括藉選擇性晶膜成長法以堆積摻雜層之步驟。
7. 如申請專利範圍第5項之製造半導體元件之方法，其中藉分子束晶膜成長之堆積摻雜層之步驟在溫度為400到700℃之範圍及壓力為0.1mbar到10mbar之範圍下進行。
8. 如申請專利範圍第6項之製造半導體元件之方法，其中藉選擇性晶膜成長以堆積摻雜層之步驟為用SiH<sub>2</sub>Cl<sub>2</sub>氣體之RTP-CVD製程進行，溫度範圍在400至700℃，壓力範圍在0.1至10 mbar。
9. 如申請專利範圍第6項之製造半導體元件之方法，其

## 六、申請專利範圍

中藉選擇性晶膜成以堆積摻雜層之步驟為用  $\text{SiH}_4$  之 RTP-CVD 製程進行，溫度範圍在 400 至 700°C，壓力範圍在 0.1 至 10 mbar。

10. 如申請專利範圍第 1 項之製造半導體元件之方法，其中第 1 摻雜層具有和第 2 摻雜層相反之極性。

(請先閱讀背面之注意事項再填寫本頁)

訂

訂

訂