

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-237787

(P2011-237787A)

(43) 公開日 平成23年11月24日(2011.11.24)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/34 (2006.01)	G09G 3/34 C	2H193
G09G 3/20 (2006.01)	G09G 3/20 624B	2K101
G09G 3/36 (2006.01)	G09G 3/20 623D	5C006
G02F 1/133 (2006.01)	G09G 3/20 623X	5C080
G02F 1/167 (2006.01)	G09G 3/20 623C	
審査請求 未請求 請求項の数 7 O L (全 36 頁) 最終頁に続く		

(21) 出願番号 特願2011-88305 (P2011-88305)
 (22) 出願日 平成23年4月12日 (2011. 4. 12)
 (31) 優先権主張番号 特願2010-93394 (P2010-93394)
 (32) 優先日 平成22年4月14日 (2010. 4. 14)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 梅崎 敦司
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 2H193 ZA04 ZA07 ZB07 ZD27 ZE20
 ZF36 ZF44 ZQ13 ZQ17 ZQ26
 2K101 AA04 AA06 AA08 BA02 BA12
 BB43 BC02 BC03 BC27 BC28
 BD21 BD61 EB92 EC08 EC09
 EC74 EC82 ED13 ED41 ED74
 EE02 EJ14 EJ16
 5C006 AC21 AF42 AF43 AF71 BB16
 BC06 BC20 BC23 FA34 FA47
 最終頁に続く

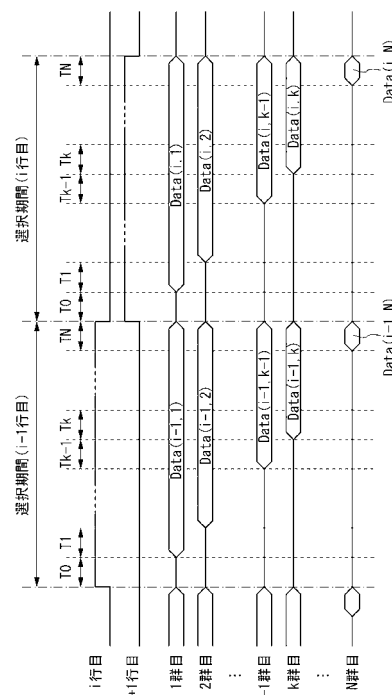
(54) 【発明の名称】 表示装置及び電子機器

(57) 【要約】

【課題】 画像の書き換え速度の向上を図る。

【解決手段】 複数の画素、複数のゲート信号線、及び複数のソース信号線がマトリクス状に配置された表示部と、複数のゲート信号線のいずれかを選択するタイミングを制御する機能を有する走査線駆動回路と、走査線駆動回路が複数のゲート信号線のいずれかを選択する期間において、複数のソース信号線のすべてに第1の信号を出力した後、複数のソース信号線のいずれかに第2の信号を出力するタイミングを制御する機能を有する信号線駆動回路と、を有し、複数の画素のそれぞれは、トランジスタと、画素電極とコモン電極とに挟持され、且つメモリ性を有する表示素子と、を有し、トランジスタの第1の端子は複数のソース信号線のいずれかと電気的に接続され、トランジスタの第2の端子は画素電極と電気的に接続され、トランジスタのゲートは複数のゲート信号線のいずれかと電気的に接続されるものである表示装置。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

複数の画素、複数のゲート信号線、及び複数のソース信号線がマトリクス状に配置された表示部と、

前記複数のゲート信号線のいずれかーを選択するタイミングを制御する機能を有する走査線駆動回路と、

前記走査線駆動回路が前記複数のゲート信号線のいずれかーを選択する期間において、前記複数のソース信号線のすべてに第 1 の信号を出力した後、前記複数のソース信号線のいずれかーに第 2 の信号を出力するタイミングを制御する機能を有する信号線駆動回路と、を有し、

前記複数の画素のそれぞれは、トランジスタと、画素電極とコモン電極とに挟持され、且つメモリ性を有する表示素子と、を有し、

前記トランジスタの第 1 の端子は前記複数のソース信号線のいずれかーと電氣的に接続され、前記トランジスタの第 2 の端子は前記画素電極と電氣的に接続され、前記トランジスタのゲートは前記複数のゲート信号線のいずれかーと電氣的に接続されるものである表示装置。

【請求項 2】

複数の画素、複数のゲート信号線、及び N (N は自然数) 個の群に分割される複数のソース信号線がマトリクス状に配置された表示部と、

前記複数のゲート信号線のいずれかーを選択するタイミングを制御する機能を有する走査線駆動回路と、

前記走査線駆動回路が前記複数のゲート信号線のいずれかーを選択する期間において、前記 N 個の群のすべてのソース信号線に第 1 の信号を出力した後、前記 N 個の群のソース信号線に、1 群ずつ順番に第 2 の信号を出力するタイミングを制御する機能を有する信号線駆動回路と、を有し、

前記複数の画素のそれぞれは、トランジスタと、画素電極とコモン電極とに挟持され、且つメモリ性を有する表示素子と、を有し、

前記トランジスタの第 1 の端子は前記複数のソース信号線のいずれかーと電氣的に接続され、前記トランジスタの第 2 の端子は前記画素電極と電氣的に接続され、前記トランジスタのゲートは前記複数のゲート信号線のいずれかーと電氣的に接続されるものである表示装置。

【請求項 3】

複数の画素、複数のゲート信号線、及び N (N は自然数) 個の群に分割される複数のソース信号線がマトリクス状に配置された表示部と、

前記複数のゲート信号線のいずれかーを選択するタイミングを制御する機能を有する走査線駆動回路と、

前記走査線駆動回路が前記複数のゲート信号線のいずれかーを選択する期間において、前記 2 個目乃至 N 個目のソース信号線に第 1 の信号を出力し、且つ前記 1 個目のソース信号線に第 2 の信号を出力した後、前記 2 個目乃至 N 個目の群のソース信号線に、1 群ずつ順番に前記第 2 の信号を出力するタイミングを制御する機能を有する信号線駆動回路と、を有し、

前記複数の画素のそれぞれは、トランジスタと、画素電極とコモン電極とに挟持され、且つメモリ性を有する表示素子と、を有し、

前記トランジスタの第 1 の端子は前記複数のソース信号線のいずれかーと電氣的に接続され、前記トランジスタの第 2 の端子は前記画素電極と電氣的に接続され、前記トランジスタのゲートは前記複数のゲート信号線のいずれかーと電氣的に接続されるものである表示装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、

前記第 1 の信号の電位は、前記コモン電極の電位と等しいものである表示装置。

10

20

30

40

50

【請求項 5】

請求項 1 乃至請求項 3 のいずれか一項において、

前記第 1 の信号の電位と前記コモン電極の電位との電位差の絶対値は、前記表示素子の閾値電圧の絶対値よりも小さいものである表示装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、

前記第 2 の信号は、前記コモン電極の電位とおおむね等しい値と、前記コモン電極の電位よりも高い値と、前記コモン電極の電位よりも低い値との 3 値を有するものである表示装置。

【請求項 7】

請求項 1 乃至請求項 4 のいずれか一項の表示装置と、通信機能とを有する電子機器。

【発明の詳細な説明】**【技術分野】****【0001】**

開示する発明の技術分野は、液晶表示装置又は電気泳動表示装置等の表示装置、その駆動方法に関する。

【背景技術】**【0002】**

近年、電子書籍等の表示装置の開発が活発に進められている。特に、メモリ性を有する表示素子を用いて、画像を表示する技術は、消費電力の削減に大きく貢献するため、活発に開発が進められている。

【0003】

特許文献 1 には、アクティブマトリクス型の電気泳動表示装置が開示されている。特許文献 1 の電気泳動表示装置では、1 本のデータ信号線と複数のデータ線の間に、各々、アナログスイッチが接続される。データ信号線にはデータ信号が入力され、複数のデータ線のそれぞれには複数の画素が接続される。そして、1 ゲート選択期間において、複数のアナログスイッチが順番にオンになることにより、複数のデータ線に順番にデータ信号が入力される。データ線に入力されたデータ信号は、そのデータ線と接続される画素に入力される。

【先行技術文献】**【特許文献】****【0004】**

【特許文献 1】特開 2000 - 221546 号公報

【発明の概要】**【発明が解決しようとする課題】****【0005】**

しかしながら、従来の技術では、1 ゲート選択期間において、画素には、1 ゲート選択期間の開始時刻から、その画素と接続されるデータ信号線にデータ信号が入力されるまで（その画素とデータ線を介して接続されるアナログスイッチがオンになるまで）は、前の行の画素に対応したデータ信号が入力されていた。つまり、1 ゲート選択期間には、画素が有する表示素子に不正な電圧が印加される時間が存在していた。電気泳動素子等のメモリ性を有する表示素子では、不正な電圧が表示素子に印加されることによる影響が蓄積されていた。そのため、表示素子の階調がずれるといった問題があった。

【0006】

上記課題を鑑み、本発明の一態様は、画素が有する表示素子に不正な電圧が印加される時間を無くす又は短くすることを課題の一とする。また、本発明の一態様は、表示素子の階調のずれを無くす又は低減することを課題の一とする。また、これらの課題のいずれか一を解決する表示装置を提供することを課題の一とする。なお、本発明の一態様は、上記課題の少なくとも一を課題とする。

【課題を解決するための手段】

10

20

30

40

50

【 0 0 0 7 】

本発明の一態様は、複数の画素、複数のゲート信号線、及び複数のソース信号線がマトリクス状に配置された表示部と、走査線駆動回路と、信号線駆動回路とを有する表示装置である。走査線駆動回路は、複数のゲート信号線のいずれかーを選択するタイミングを制御する機能を有する。信号線駆動回路は、走査線駆動回路が複数のゲート信号線のいずれかーを選択する期間において、複数のソース信号線のすべてに第 1 の信号を出力した後、複数のソース信号線のいずれかーに第 2 の信号を出力するタイミングを制御する機能を有する。複数の画素のそれぞれは、トランジスタと、画素電極とコモン電極とに挟持され、且つメモリ性を有する表示素子とを有する。トランジスタの第 1 の端子は複数のソース信号線のいずれかーと電氣的に接続され、トランジスタの第 2 の端子は画素電極と電氣的に接続され、トランジスタのゲートは複数のゲート信号線のいずれかーと電氣的に接続される。

10

【 0 0 0 8 】

本発明の一態様は、複数のゲート信号線、及び N (N は自然数) 個の群に分割される複数のソース信号線がマトリクス状に配置された表示部と、走査線駆動回路と、信号線駆動回路とを有する表示装置である。走査線駆動回路は、複数のゲート信号線のいずれかーを選択するタイミングを制御する機能を有する。信号線駆動回路は、走査線駆動回路が複数のゲート信号線のいずれかーを選択する期間において、 N 個の群のすべてのソース信号線に第 1 の信号を出力した後、 N 個の群のソース信号線に、1 群ずつ順番に第 2 の信号を出力するタイミングを制御する機能を有する。複数の画素のそれぞれは、トランジスタと、画素電極とコモン電極とに挟持され、且つメモリ性を有する表示素子とを有する。トランジスタの第 1 の端子は複数のソース信号線のいずれかーと電氣的に接続され、トランジスタの第 2 の端子は画素電極と電氣的に接続され、トランジスタのゲートは複数のゲート信号線のいずれかーと電氣的に接続される。

20

【 0 0 0 9 】

本発明の一態様は、複数のゲート信号線、及び N (N は自然数) 個の群に分割される複数のソース信号線がマトリクス状に配置された表示部と、走査線駆動回路と、信号線駆動回路とを有する表示装置である。走査線駆動回路は、複数のゲート信号線のいずれかーを選択するタイミングを制御する機能を有する。信号線駆動回路は、2 個目乃至 N 個目のソース信号線に第 1 の信号を出力し、且つ 1 個目のソース信号線に第 2 の信号を出力した後、2 個目乃至 N 個目のソース信号線に、1 群ずつ順番に第 2 の信号を出力するタイミングを制御する機能を有する。複数の画素のそれぞれは、トランジスタと、画素電極とコモン電極とに挟持され、且つメモリ性を有する表示素子とを有する。トランジスタの第 1 の端子は複数のソース信号線のいずれかーと電氣的に接続され、トランジスタの第 2 の端子は画素電極と電氣的に接続され、トランジスタのゲートは複数のゲート信号線のいずれかーと電氣的に接続される。

30

【 0 0 1 0 】

なお、第 1 の信号の電位は、コモン電極と等しくてもよい。

【 0 0 1 1 】

なお、第 1 の信号の電位とコモン電極の電位との電位差の絶対値は、表示素子の閾値電圧の絶対値よりも小さくてもよい。

40

【 0 0 1 2 】

なお、第 2 の信号は、コモン電極の電位とおおむね等しい値と、コモン電極の電位よりも大きい値と、コモン電極の電位よりも小さい値との 3 値であってもよい。

【 発明の効果 】

【 0 0 1 3 】

本発明の一態様は、画素が有する表示素子に不正な電圧が印加される時間を無くす又は短くすることができる。また、本発明の一態様は、表示素子の階調のずれを無くす又は低減することができる。

【 図面の簡単な説明 】

50

【 0 0 1 4 】

【図 1】本発明の一態様の表示装置を説明するための図。

【図 2】本発明の一態様の表示装置を説明するための図。

【図 3】本発明の一態様の表示装置を説明するための図。

【図 4】本発明の一態様の表示装置を説明するための図。

【図 5】本発明の一態様の表示装置を説明するための図。

【図 6】本発明の一態様の表示装置を説明するための図。

【図 7】本発明の一態様の表示装置を説明するための図。

【図 8】本発明の一態様の表示装置を説明するための図。

【図 9】本発明の一態様の表示装置を説明するための図。

10

【図 10】本発明の一態様の表示装置を説明するための図。

【図 11】本発明の一態様の表示装置を説明するための図。

【図 12】本発明の一態様の表示装置を説明するための図。

【図 13】本発明の一態様の表示装置を説明するための図。

【図 14】本発明の一態様の表示装置を説明するための図。

【図 15】本発明の一態様の表示装置を説明するための図。

【図 16】本発明の一態様の表示装置を説明するための図。

【図 17】本発明の一態様の表示装置を説明するための図。

【図 18】本発明の一態様の表示装置を説明するための図。

【図 19】本発明の一態様の表示装置を説明するための図。

20

【図 20】本発明の一態様の表示装置を説明するための図。

【図 21】本発明の一態様の電子機器を説明するための図。

【図 22】本発明の一態様の電子機器を説明するための図。

【図 23】本発明の一態様の表示装置を説明するための図。

【発明を実施するための形態】

【 0 0 1 5 】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じ物を指し示す符号は異なる図面間において共通とする。

30

【 0 0 1 6 】

なお、各実施の形態の図面等において示す各構成の、大きさ、層の厚さ、信号波形、又は領域は、明瞭化のために誇張されて表記している場合がある。よって、必ずしもそのスケールに限定されない。

【 0 0 1 7 】

なお、本明細書にて用いる第 1、第 2、第 3、乃至第 N（N は自然数）という用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。

40

【 0 0 1 8 】

（実施の形態 1）

本実施の形態では、開示する発明の一態様である表示装置及びその駆動方法について説明する。

【 0 0 1 9 】

まず、本実施の形態の表示装置の構成例について、図 1 を参照して以下に説明する。

【 0 0 2 0 】

図 1 に示す表示装置は、複数の画素 100 がマトリクス状に配列された表示部 10（画素部ともいう）と、各画素を駆動するための走査線駆動回路 11 及び信号線駆動回路 12 等の駆動回路と、走査線駆動回路 11 及び信号線駆動回路 12 等の駆動回路を制御するため

50

のコントローラ 13 とを有する。

【0021】

表示部 10 には、 n (n は自然数) 本のゲート信号線 111 (ゲート信号線 111 __ 1 乃至ゲート信号線 111 __ n と示す) が走査線駆動回路 11 から X 方向に延伸して設けられ、 m (m は自然数) 本のソース信号線 112 (ソース信号線 112 __ 1 乃至ソース信号線 112 __ m と示す) が信号線駆動回路 12 から Y 方向に延伸して設けられる。そして、 n 本のゲート信号線 111 と m 本のソース信号線 112 との交差領域には、各々、画素 100 が設けられる。つまり、複数の画素 100 は、 n 行 $\times$ m 列のマトリクス状に配列される。ゲート信号線 111 は、走査線駆動回路 11 の出力信号 (例えばゲート信号) を伝達する機能を有する配線であり、配線又は信号線ともいう。ソース信号線 112 は、信号線駆動回路 12 の出力信号 (例えば映像信号) を伝達する機能を有する配線であり、配線又は信号線ともいう。

10

【0022】

なお、便宜上、 i (i は 1 乃至 n のいずれか) 行目のゲート信号線 111 と電氣的に接続される画素 100 のことを、 i 行目の画素 100 と示す。また、 j (j は 1 乃至 m のいずれか) 列目のソース信号線 112 と電氣的に接続される画素 100 のことを、 j 列目の画素 100 と示す。

【0023】

なお、 m 本のソース信号線 112 は、 N (N は自然数) 個の群に分割される。各群は、1 本以上のソース信号線 112 を有する。好ましくは、各群のソース信号線 112 の数は、互いに同じ数であるとよい。

20

【0024】

なお、便宜上、 k (k は 1 乃至 N のいずれか) 群目のソース信号線 112 と電氣的に接続される画素 100 のことを、 k 群目の画素 100 と示す。

【0025】

なお、表示部 10 には、画素 100 の構成に応じて、ゲート信号線 111 及びソース信号線 112 の他にも様々な配線を設けてもよい。表示部 10 に設けることが可能な配線としては、容量線、電源線、信号線又はゲート信号線 111 とは異なるゲート信号線などがある。

【0026】

なお、表示部 10 の周辺には、ダミー画素、ダミー配線 (例えばダミーのゲート信号線、ダミーのソース信号線など) を設けてもよい。こうして、表示部 10 の表示不良を低減することができる。

30

【0027】

走査線駆動回路 11 は、1 行目の画素 100 から n 行目の画素 100 までを順番に選択する機能を有する回路であり、駆動回路又はゲートドライバともいう。画素 100 を選択するタイミングの制御は、走査線駆動回路 11 が n 本のゲート信号線 111 にゲート信号 (走査信号ともいう) を出力することにより行われる。例えば、 i 行目の画素 100 を選択する場合、走査線駆動回路 11 は、 i 本目のゲート信号線 111 に出力するゲート信号を選択状態 (ハイレベルとロウレベルとの一方) にする。このとき、 i 行目以外の行の画素 100 を選択しないのであれば、走査線駆動回路 11 は、 i 行目以外のゲート信号線 111 に出力するゲート信号を非選択状態 (ハイレベルとロウレベルとの他方) にする。

40

【0028】

なお、走査線駆動回路 11 は、シフトレジスタ回路又はデコーダ回路などを有する。走査線駆動回路 11 がシフトレジスタ回路を有することによって、走査線駆動回路 11 が駆動するために必要な信号の数を減らすことができる。また、走査線駆動回路 11 がデコーダ回路を有することによって、走査線駆動回路 11 は n 行の画素 100 を 1 行ずつ任意の順番で選択することができる。

【0029】

なお、走査線駆動回路 11 は、 n 行の画素 100 の中の一部の画素 100 のみを選択して

50

もよい。こうして、選択する行数が減るため、消費電力の削減を図ることができる。

【0030】

信号線駆動回路12は、各画素100に初期化信号（第1の信号ともいう）を入力した後、映像信号（第2の信号ともいう）を入力するタイミングを制御する機能を有する回路であり、駆動回路又はソースドライバともいう。言い換えると、信号線駆動回路12は、ソース信号線112に初期化信号を出力した後、映像信号を出力する回路である。映像信号は、画像情報に応じた信号である。各画素100への初期化信号と映像信号との入力、走査線駆動回路11が各行の画素100を選択する毎に、全ての群のソース信号線112に同時に初期化信号を出力した後に、1群目のソース信号線112からN群目のソース信号線112に、1群ずつ順番に映像信号を出力することにより行われる。こうして、各行の画素100が選択される毎に、ソース信号線112の電位は所定の値に初期化されるため、各画素100に、前の行の画素100に応じた映像信号が入力されることを防止することができる。したがって、画素100が有する表示素子に不正な電圧が印加されないため、階調のずれ等の表示不良を低減することができる。

10

【0031】

なお、信号線駆動回路は、ある群（例えば1個目の群）のソース信号線112に映像信号を出力し、且つ他の群（例えば2乃至N個目の群）のソース信号線112に初期化信号を出力した後、該他の群のソース信号線112に、1群ずつ順番に映像信号を出力してもよい。こうして、1ゲート選択期間を短くすることができるので、表示装置を高精細にすることができる。あるいは、各画素100に映像信号を入力する時間を長くすることができるので、正確な値の映像信号を各画素100が保持できるようになり、表示品位の向上を図ることができる。

20

【0032】

コントローラ13は、画像情報に応じて走査線駆動回路11及び信号線駆動回路12等の駆動回路を制御する機能を有する回路であり、制御回路又はタイミングコントローラともいう。走査線駆動回路11及び信号線駆動回路12等の駆動回路の制御は、コントローラ13が様々な制御信号を走査線駆動回路11及び信号線駆動回路12等の駆動回路に供給することにより行われる。例えば、コントローラ13は、垂直同期信号、クロック信号又はパルス幅制御信号等の制御信号を走査線駆動回路11に供給する。例えば、コントローラ13は、映像信号と、水平同期信号、クロック信号又はラッチ信号等の制御信号とを信号線駆動回路12に供給する。

30

【0033】

なお、コントローラ13は、走査線駆動回路11及び信号線駆動回路12等の駆動回路に信号を供給するだけでなく、これらの回路に電圧を供給してもよい。この場合、コントローラ回路は、DCDCコンバータ及び/又はレギュレータ回路等の電源回路を有することが好適である。なお、この電源回路と、走査線駆動回路11及び信号線駆動回路12等の駆動回路に信号を供給する回路と、を同じ基板に形成すること（ワンチップ化すること）により、部品点数の削減、コストの削減及び/又は歩留まりの向上を図ることができる。

【0034】

次に、本実施の形態の表示装置の駆動方法の概略について、図2を参照して以下に説明する。図2は、走査線駆動回路11が1行目からn行目までを1行ずつ順番に選択する場合のタイミングチャートの例を示す。

40

【0035】

なお、便宜上、映像信号のことを、信号Dataと示す。特に、i行目の画素100に入力される信号Dataのことを、信号Data(i)と示す。

【0036】

なお、便宜上、初期化信号のことを、信号RSTと示す。

【0037】

走査線駆動回路11により選択された行の画素100には、信号RSTが入力された後に、信号Dataが入力される。例えば、走査線駆動回路11がi-1行目を選択すると、

50

$i - 1$ 行目の画素 100 には、信号 RST が入力された後、信号 Data ($i - 1$) が入力される。すると、 $i - 1$ 行目の画素 100 は、信号 Data ($i - 1$) に応じた電圧又は電荷を保持する。そして、 $i - 1$ 行目の画素 100 は、信号 Data ($i - 1$) に応じた階調になる。このとき、走査線駆動回路 11 は、1 行目乃至 $i - 2$ 行目と i 行目乃至 n 行目とを選択しない。そのため、1 行目乃至 $i - 2$ 行目の画素 100 と、 i 行目乃至 n 行目の画素 100 とには、信号は入力されない。

【0038】

その後、走査線駆動回路 11 は、 $i - 1$ 行目の選択を終了し、 i 行目を選択する。すると、 $i - 1$ 行目の画素 100 には、信号は入力されなくなる。ただし、 $i - 1$ 行目の画素 100 は、信号 Data ($i - 1$) を保持しているため、 $i - 1$ 行目の画素 100 は、信号 Data ($i - 1$) に応じた階調のままになる。そして、 i 行目の画素には、信号 RST が入力された後に、信号 Data (i) が入力される。すると、 i 行目の画素 100 は、信号 Data (i) に応じた電圧又は電荷を保持する。そして、 i 行目の画素 100 は、信号 Data (i) に応じた階調になる。このとき、走査線駆動回路 11 は、1 行目乃至 $i - 2$ 行目と $i + 1$ 行目乃至 n 行目とを選択しないままになる。そのため、1 行目乃至 $i - 2$ 行目の画素 100 と、 $i + 1$ 行目乃至 n 行目の画素 100 とには、信号は入力されないままになる。

【0039】

以上のような動作を各行で繰り返すことにより、各画素 100 に信号 Data を保持させることができる。

【0040】

なお、図 2 に示すタイミングチャートにおいて、図 3 に示すように、走査線駆動回路 11 は、ある行の選択を終了する前に、別の行の選択を開始してもよい。つまり、2 以上の行が同時に選択される期間があってもよい。こうして、走査線駆動回路 11 の駆動周波数を低くすることができるので、消費電力の削減を図ることができる。

【0041】

なお、図 2 に示すタイミングチャートにおいて、図 4 に示すように、走査線駆動回路 11 は、ある行の選択を終了してから、一定時間後、次の行の選択を開始してもよい。このような動作を実現するためには、コントローラ 13 が、平衡のクロック信号とパルス幅を制御するための信号とを走査線駆動回路 11 に出力することが好適である。あるいは、コントローラ 13 が、非平衡のクロック信号を走査線駆動回路 11 に出力することが好適である。なお、非平衡の信号とは、平衡ではない信号のことであり、1 周期のうち、H レベルになる時間と L レベルになる時間が異なる信号のことをいう。

【0042】

次に、本実施の形態の表示装置の駆動方法の詳細について、図 5 を参照して以下に説明する。図 5 は、信号線駆動回路 12 が全ての群のソース信号線 112 に同時に信号 RST を出力した後、1 群目乃至 N 群目のソース信号線 112 に、1 群ずつ順番に信号 Data を出力する場合のタイミングチャートの例を示す。

【0043】

なお、信号 RST の電位は、コモン電極の電位と等しいものとして説明する。こうして、信号 RST とコモン電圧とを同じ値とすることにより、電源電圧の種類を減らすことができる。

【0044】

なお、便宜上、 i 行目の画素 100 の中の k 群目の画素 100、つまり i 行 k 群目の画素 100 に入力される信号 Data のことを、信号 Data (i, k) と示す。

【0045】

各選択期間において、信号線駆動回路 12 は、全ての群のソース信号線 112 に同時に信号 RST を出力した後、1 群目乃至 N 群目のソース信号線 112 に、1 群ずつ順番に信号 Data を出力する。例えば、 i 行目の選択期間の期間 T_0 において、信号線駆動回路 12 は、全ての群のソース信号線 112 に同時に信号 RST を出力する。信号 RST は、 i

10

20

30

40

50

行目の画素 1 0 0 に入力される。

【 0 0 4 6 】

その後、 i 行目の選択期間の期間 T_1 において、信号線駆動回路 1 2 は、1 群目のソース信号線 1 1 2 に信号 $Data(i, 1)$ を出力し、2 群目乃至 N 群目のソース信号線 1 1 2 への信号の出力を止める。すると、1 群目のソース信号線 1 1 2 の電位は信号 $Data(i, 1)$ と等しい値になり、2 群目乃至 N 群目のソース信号線 1 1 2 は浮遊状態になる。よって、信号線駆動回路 1 2 が 2 群目乃至 N 群目のソース信号線 1 1 2 に信号 $Data$ を出力するまでは、2 群目乃至 N 群目のソース信号線 1 1 2 の電位は、信号 RST と等しいままになる。

【 0 0 4 7 】

その後、 i 行目の選択期間の期間 T_2 において、信号線駆動回路 1 2 は、1 群目のソース信号線 1 1 2 への信号の出力を止め、2 群目のソース信号線 1 1 2 に信号 $Data(i, 2)$ を出力する。すると、1 群目のソース信号線 1 1 2 は浮遊状態になり、2 群目のソース信号線 1 1 2 の電位は信号 $Data(i, 2)$ と等しい値になり、3 群目乃至 N 群目のソース信号線 1 1 2 は浮遊状態のままになる。よって、1 群目のソース信号線 1 1 2 の電位は、信号 $Data(i, 1)$ と等しいままになる。また、3 群目乃至 N 群目のソース信号線 1 1 2 の電位は信号 RST と等しいままになる。以後、本実施の形態の表示装置は、 i 行目の選択期間の期間 T_N まで同様の動作を繰り返す。

【 0 0 4 8 】

以上のような動作を各選択期間において行うことにより、各画素 1 0 0 に信号 $Data$ が入力され、表示部 1 0 に画像が表示される。本実施の形態の表示装置では、画素 1 0 0 には、信号 RST が入力された後、信号 $Data$ が入力される。したがって、本実施の形態の表示装置では、画素 1 0 0 に、前の行の画素 1 0 0 に対応した信号 $Data$ 等の不正な信号が入力されることを防止することができる。つまり、画素 1 0 0 の表示素子に、不正な電圧が印加されることを防止することができる。そのため、表示素子に不正な電圧が印加されることによる影響が蓄積されることを防止することができるため、表示素子の階調のずれを防止又は低減することができる。また、残像の低減、及び / 又は表示品位の向上などを図ることができる。

【 0 0 4 9 】

なお、 m 本のソース信号線 1 1 2 が割り振られる群の数は、表示装置が有する色要素の数と等しいとよい。例えば、表示装置が 3 つの色要素（例えば赤、青、緑）を有する場合、 m 本のソース信号線 1 1 2 を 3 つの群に割り振るとよい。

【 0 0 5 0 】

なお、 m 本のソース信号線 1 1 2 を割り振る群の数が多すぎると、信号線駆動回路 1 2 が 1 つの群に信号 $Data$ を出力する時間が、短くなってしまう。そのため、 m 本のソース信号線 1 1 2 を割り振る群の数は、2 以上、6 以下であることが好ましい。より好ましくは、2 以上、4 以下である。または、20 以上、40 以下であることが好ましい。より好ましくは 25 以上、35 以下である。

【 0 0 5 1 】

なお、各群のソース信号線 1 1 2 の数は、互いに等しいとよい。こうして、信号線駆動回路 1 2 の構成を簡単にすることができる。ただし、 N 個の群の一部（例えば 1 群目、 N 群目など）が有するソース信号線 1 1 2 の数は、その他の群が有するソース信号線 1 1 2 の数よりも少なくてもよい。この場合でも、信号線駆動回路 1 2 の構成を簡単にすることができる。

【 0 0 5 2 】

なお、期間 T_1 乃至 T_N の長さは、互いに等しいとよい。こうして、各期間の長さを制御する信号（例えば同期信号）を生成する回路を単純にすることができる。ただし、一部の期間の長さは、その他の期間の長さとは異なってもよい。例えば、期間 T_1 乃至 T_N の中の 2 つの期間のうち、後に配置される期間は、先に配置された期間よりも長くする。こうして、画素 1 0 0 に信号 $Data$ が入力される期間を長くすることができるため、表示

10

20

30

40

50

品位向上を図ることができる。

【 0 0 5 3 】

なお、期間 T_0 は、期間 T_1 乃至 T_N のいずれか一と同じ長さであるとよい。こうして、各期間の長さを制御する信号（例えば同期信号）を生成する回路を単純にすることができる。ただし、期間 T_0 は、期間 T_1 乃至 T_N のいずれか一よりも長くしてもよい。こうして、表示素子に不正な信号が入力されることをさらに抑制することができる。あるいは、期間 T_0 は、期間 T_1 乃至 T_N のいずれか一よりも短くしてもよい。こうして、選択期間を短くすることができる。

【 0 0 5 4 】

なお、信号 RST の電位とコモンの電位との電位差の絶対値が表示素子の閾値電圧の絶対値よりも小さくなるように、信号 RST の値を設定するとよい。特に、信号 RST の電位は、コモン電極と同じ電位であることが好ましい。こうして、電源電圧の種類を少なくすることができる。ただし、ソース信号線 112 におけるスイッチングノイズ等を考慮して、信号 RST の電位をコモン電極と異なる電位としてもよい。例えば、信号線駆動回路 12 が N チャネル型トランジスタを用いて信号 RST をソース信号線 112 に出力するタイミングを制御するとする。この場合、 N チャネル型トランジスタがオンになり、信号 RST がソース信号線 112 に出力された後、 N チャネル型トランジスタがオフになるときに、ソース信号線 112 の電位は信号 RST よりも下がってしまう。このソース信号線 112 の電位の低下を考慮して、信号 RST の電位をコモン電極の電位よりも高くしてもよい。なお、同様の理由で、信号線駆動回路 12 が P チャネル型トランジスタを用いて信号 RST をソース信号線 112 に出力するタイミングを制御する場合、信号 RST の電位をコモン電極の電位よりも低くしてもよい。

10

20

【 0 0 5 5 】

なお、 i 行目の選択期間において、信号線駆動回路 12 は、 k 群目のソース信号線 112 に信号 $Data(i, k)$ を出力すると説明した。この説明は、 k 群目のソース信号線 112 が 2 本以上である場合、信号線駆動回路 12 が k 群目のソース信号線 112 のすべてに同じ信号を出力するという意味ではないことを付記する。 k 群目のソース信号線 112 が 2 本以上である場合、信号線駆動回路 12 は、 k 群目のソース信号線 112 と電気的に接続される画素 100 の階調に応じて、 k 群目のソース信号線 112 に異なる信号を出力することができるし、同じ信号を出力することができる。

30

【 0 0 5 6 】

なお、図 4 に示すタイミングチャートのように、ある行の選択期間の終了時刻と、次の行の選択期間の開始時刻とに、一定の期間が設けられる場合、信号線駆動回路 12 は、選択期間の開始時刻よりも前、且つ前の行の選択期間の終了時刻よりも後に、信号 RST の出力を開始してもよい。こうして、信号線駆動回路 12 が 1 つの群のソース信号線 112 に信号 $Data$ を出力する時間を長くすることができる。あるいは、タイミングのずれ等により、画素 100 に信号 RST が入力される前に、不正な信号（例えば前の行に対応した信号 $Data$ ）が入力されることを防止することができる。

【 0 0 5 7 】

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

40

【 0 0 5 8 】

（実施の形態 2）

本実施の形態では、実施の形態 1 とは異なる表示装置の駆動方法について説明する。本実施の形態では、実施の形態 1 と異なるところのみを説明し、実施の形態 1 と共通するところはその説明を省略する。

【 0 0 5 9 】

本実施の形態の表示装置の駆動方法は、各選択期間において、信号線駆動回路 12 は、ある一つの群のソース信号線 112 に信号 $Data$ を出力し、且つ他の群のソース信号線 112 に信号 RST を出力するところが、実施の形態 1 の表示装置の駆動方法と異なる。

【 0 0 6 0 】

50

図 6 は、本実施の形態の表示装置の駆動方法を説明するためのタイミングチャートの例を示す。各選択期間は、期間 T 1 乃至 T N という複数の期間に分割される。図 6 に示すタイミングチャートでは、各選択期間において、まず信号線駆動回路 1 2 は、1 群目のソース信号線 1 1 2 に信号 Data を出力し、且つ 2 群目乃至 N 群目のソース信号線 1 1 2 に信号 RST を出力する。その後、信号線駆動回路 1 2 は、実施の形態 1 において説明した表示装置の駆動方法と同様に、2 群目乃至 N 群目のソース信号線 1 1 2 に 1 群ずつ順番に信号 Data を出力する。

【 0 0 6 1 】

例えば、i 行目の選択期間の期間 T 1 において、信号線駆動回路 1 2 は、1 群目のソース信号線 1 1 2 に信号 Data (i , 1) を出力し、且つ 2 群目乃至 N 群目のソース信号線 1 1 2 に信号 RST を出力する。

10

【 0 0 6 2 】

その後、i 行目の選択期間の期間 T 2 において、信号線駆動回路 1 2 は、1 群目のソース信号線 1 1 2 への信号の出力を止め、2 群目のソース信号線 1 1 2 に信号 Data (i , 2) を出力し、3 群目乃至 N 群目のソース信号線 1 1 2 への信号の出力を止める。すると、1 群目のソース信号線 1 1 2 は浮遊状態になる。よって、1 群目のソース信号線 1 1 2 の電位は信号 Data (i , 1) と等しいままになる。そして、3 群目乃至 N 群目のソース信号線 1 1 2 は浮遊状態になる。よって、信号線駆動回路 1 2 が 3 群目乃至 N 群目のソース信号線 1 1 2 に信号 Data を出力するまでは、3 群目乃至 N 群目のソース信号線 1 1 2 の電位は信号 RST と等しいままになる。

20

【 0 0 6 3 】

その後、i 行目の選択期間の期間 T 3 において、信号線駆動回路 1 2 は、2 群目のソース信号線 1 1 2 への信号の出力を止め、3 群目のソース信号線 1 1 2 に信号 Data (i , 3) を出力する。すると、2 群目のソース信号線 1 1 2 は浮遊状態になる。よって、2 群目のソース信号線 1 1 2 の電位は信号 Data (i , 2) と等しいままになる。このとき、信号線駆動回路 1 2 は、1 群目のソース信号線 1 1 2 及び 4 群目乃至 N 群目のソース信号線 1 1 2 に信号を出力しないままになる。以後、本実施の形態の表示装置は、i 行目の選択期間の期間 T N まで同様の動作を繰り返す。

【 0 0 6 4 】

以上のような動作を各選択期間において行うことにより、各画素 1 0 0 に信号 Data が入力され、表示部 1 0 に画像が表示される。本実施の形態の表示装置では、画素 1 0 0 には、信号 RST が入力された後、信号 Data が入力される。したがって、本実施の形態の表示装置では、画素 1 0 0 に、前の行の画素 1 0 0 に対応した信号 Data 等の不正な信号が入力されることを防止することができる。つまり、画素 1 0 0 の表示素子に、不正な電圧が印加されることを防止することができる。そのため、表示素子に不正な電圧が印加されることによる影響が蓄積されることを防止することができるため、表示素子の階調のずれを防止又は低減することができる。また、残像の低減、及び / 又は表示品位の向上などを図ることができる。

30

【 0 0 6 5 】

また、本実施の形態の表示装置では、選択期間を分割する数を少なくすることができる。よって、期間 T 1 乃至 T N のそれぞれの時間を長くすることができる。つまり、信号線駆動回路 1 2 が 1 つの群のソース信号線 1 1 2 に信号を出力する時間を長くすることができるため、表示部を大きくすることができ、表示品位の向上を図ることができる。あるいは、選択期間を短くすることができるため、表示部 1 0 に配列する画素の数を多くすることができる。

40

【 0 0 6 6 】

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【 0 0 6 7 】

(実施の形態 3)

本実施の形態では、開示する発明の一態様である表示装置が有する信号線駆動回路の具体

50

例及びその駆動方法について説明する。

【 0 0 6 8 】

まず、本実施の形態の信号線駆動回路の構成例について、図 7 を参照して以下に説明する。

【 0 0 6 9 】

図 7 に示す信号線駆動回路は、デマルチプレクサ回路 2 0 0 を有する。デマルチプレクサ回路 2 0 0 は、 m 個のスイッチ 2 0 1 (スイッチ 2 0 1 _ 1 乃至スイッチ 2 0 1 _ m と示す) を有する。 m 個のスイッチ 2 0 1 は、 N 個の群に分割される。そして、各群は、 M (M は自然数) 個のスイッチ 2 0 1 を有する。デマルチプレクサ回路 2 0 0 は、 M 本の映像信号線 2 1 1 (映像信号線 2 1 1 _ 1 乃至映像信号線 2 1 1 _ M と示す) と、 m 本のソース信号線 1 1 2 とに電氣的に接続される。そして、スイッチ 2 0 1 は、映像信号線 2 1 1 とソース信号線 1 1 2 との間に電氣的に接続される。例えば、 j 個目のスイッチ 2 0 1 は、 M 本目の映像信号線 2 1 1 のいずれか一と、 j 本目のソース信号線 1 1 2 との間に電氣的に接続される。なお、映像信号線 2 1 1 は、映像信号を伝達するための配線であり、配線、信号線又はビデオ信号線ともいう。

10

【 0 0 7 0 】

デマルチプレクサ回路 2 0 0 は、映像信号線 2 1 1 により伝達される映像信号を、2 以上のソース信号線に分配する機能を有する回路であり、駆動回路、セクタ回路、SSD 回路又は信号線駆動回路ともいう。映像信号を分配するタイミングの制御は、スイッチ 2 0 1 の導通状態を制御することにより行われる。スイッチ 2 0 1 がオンになると、映像信号線 2 1 1 とソース信号線 1 1 2 とは導通状態になる。よって、映像信号がソース信号線 1 1 2 に出力される。一方で、スイッチ 2 0 1 がオフになると、映像信号線 2 1 1 とソース信号線 1 1 2 とは非導通状態になる。よって、映像信号はソース信号線 1 1 2 に出力されない。

20

【 0 0 7 1 】

次に、図 7 に示す信号線駆動回路の駆動方法の例について、図 8 を参照して以下に説明する。図 8 は、実施の形態 1 において説明した表示装置の駆動方法を実現するためのタイミングチャートの例を示す。

【 0 0 7 2 】

各選択期間において、全ての群のスイッチ 2 0 1 が同時にオンになり、信号 R S T が全ての群のソース信号線 1 1 2 に同時に出力される。その後、1 群目乃至 N 群目のスイッチ 2 0 1 が 1 群ずつ順番にオンになり、1 群目乃至 N 群目のソース信号線 1 1 2 に、1 群ずつ順番に信号 D a t a が出力される。例えば、 i 行目の選択期間の期間 T_0 において、全ての群のスイッチ 2 0 1 が同時にオンになる。期間 T_0 では、映像信号線 2 1 1 には信号 R S T が入力される。よって、信号 R S T が全ての群のソース信号線 1 1 2 に同時に出力される。

30

【 0 0 7 3 】

その後、 i 行目の選択期間の期間 T_1 において、1 群目のスイッチ 2 0 1 はオンのままになり、2 群目乃至 N 群目のスイッチ 2 0 1 はオフになる。期間 T_1 では、映像信号線 2 1 1 には信号 D a t a (i , 1) が入力される。よって、信号 D a t a (i , 1) は、1 群目のソース信号線 1 1 2 に出力される。

40

【 0 0 7 4 】

その後、 i 行目の選択期間の期間 T_2 において、1 群目のスイッチ 2 0 1 はオフになり、2 群目のスイッチ 2 0 1 はオンになり、3 群目乃至 N 群目のスイッチ 2 0 1 はオフのままになる。期間 T_2 では、映像信号線 2 1 1 には信号 D a t a (i , 2) が入力される。よって、信号 D a t a (i , 2) は、2 群目の映像信号線 2 1 1 に出力される。以後、デマルチプレクサ回路 2 0 0 は、期間 T_1 及び期間 T_2 と同様な動作を期間 T_N まで繰り返す。

【 0 0 7 5 】

以上のような動作を各選択期間において行うことにより、各画素 1 0 0 に信号 D a t a が

50

入力され、表示部 10 に画像が表示される。本実施の形態の表示装置では、画素 100 には、信号 RST が入力された後、信号 Data が入力される。したがって、本実施の形態の表示装置では、画素 100 に、前の行の画素 100 に対応した信号 Data 等の不正な信号が入力されることを防止することができる。つまり、画素 100 の表示素子に、不正な電圧が印加されることを防止することができる。そのため、表示素子に不正な電圧が印加されることによる影響が蓄積されることを防止することができるため、表示素子の階調のずれを防止又は低減することができる。また、残像の低減、及び / 又は表示品位の向上などを図ることができる。

【0076】

なお、図 7 に示す信号線駆動回路は、その周波数が比較的遅い。そのため、スイッチ 201 としては、非晶質シリコン、微結晶シリコン又は酸化物半導体等を有するトランジスタを用いることができる。このようなトランジスタによりスイッチ 201 を構成することによって、製造コストの削減、表示装置の大型化、歩留まりの向上又は信頼性の向上などを図ることができる。

10

【0077】

なお、図 7 に示す信号線駆動回路を、非晶質シリコン、微結晶シリコン又は酸化物半導体等を有するトランジスタによって構成する場合、信号線駆動回路と表示部とは同じ基板に形成されることが好ましい。こうして、外部回路と表示部が形成される基板との接続点を削減することができる。よって、歩留まりの向上、信頼性の向上又はコストの削減などを図ることができる。

20

【0078】

なお、2 つ以上の群のスイッチ 201 が同時にオンになってもよい。

【0079】

なお、1 群目乃至 N 群目のスイッチ 201 は、1 群ずつ任意の順番でオンになってもよい。この場合、スイッチ 201 の導通状態は、デコーダ回路によって制御されるとよい。

【0080】

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【0081】

(実施の形態 4)

本実施の形態では、実施の形態 3 とは異なる信号線駆動回路の具体例及びその駆動方法について説明する。本実施の形態では、実施の形態 3 と異なるところのみを説明し、実施の形態 3 と共通するところはその説明を省略する。

30

【0082】

まず、本実施の形態の信号線駆動回路の構成例について、図 9 を参照して以下に説明する。

【0083】

本実施の形態の信号線駆動回路は、m 個のスイッチ 202 (スイッチ 202 __ 1 乃至スイッチ 202 __ m と示す) を有するところが、実施の形態 3 で説明した信号線駆動回路とは異なる。スイッチ 201 と同様に、m 個のスイッチ 202 は、N 個の群に分割され、各群は、M 個のスイッチ 202 を有する。スイッチ 202 は、電源線 212 とソース信号線 112 との間に電氣的に接続される。例えば、j 個目のスイッチ 202 は、電源線 212 と、j 本目のソース信号線 112 との間に電氣的に接続される。なお、電源線 212 は、信号 RST を伝達するための配線であり、配線又は信号線ともいう。

40

【0084】

次に、本実施の形態の信号線駆動回路の駆動方法の例について、図 10 を参照して以下に説明する。図 10 は、実施の形態 1 において説明した表示装置の駆動方法を実現するためのタイミングチャートの例を示す。

【0085】

各選択期間において、全ての群のスイッチ 201 がオフになり、全ての群のスイッチ 202 がオンになり、信号 RST が全ての群のソース信号線 112 に同時に出力される。その

50

後、全ての群のスイッチ 202 がオフになり、1 群目乃至 N 群目のスイッチ 201 が 1 群ずつ順番にオンになり、1 群目乃至 N 群目のソース信号線 112 に、1 群ずつ順番に信号 Data が出力される。例えば、i 行目の選択期間の期間 T0 において、全ての群のスイッチ 201 がオフになり、全ての群のスイッチ 202 がオンになる。よって、信号 RST が全ての群のソース信号線 112 に同時に出力される。

【0086】

その後、i 行目の選択期間の期間 T1 において、全ての群のスイッチ 202 がオフになり、1 群目のスイッチ 201 はオンになり、2 群目乃至 N 群目のスイッチ 201 はオフになる。よって、信号 Data (i, 1) は、1 群目のソース信号線 112 に出力される。

【0087】

その後、i 行目の選択期間の期間 T2 において、全ての群のスイッチ 202 がオフのままになり、1 群目のスイッチ 201 はオフになり、2 群目のスイッチ 201 はオンになり、3 群目乃至 N 群目のスイッチ 201 はオフのままになる。よって、信号 Data (i, 2) は、2 群目の映像信号線 211 に出力される。以後、デマルチプレクサ回路 200 は、期間 T1 及び期間 T2 における動作と同様な動作を期間 TN まで繰り返す。

【0088】

以上のような動作を各選択期間において行うことにより、各画素 100 に信号 Data が入力され、表示部 10 に画像が表示される。本実施の形態の表示装置では、画素 100 には、信号 RST が入力された後、信号 Data が入力される。したがって、本実施の形態の表示装置では、画素 100 に、前の行の画素 100 に対応した信号 Data 等の不正な信号が入力されることを防止することができる。つまり、画素 100 の表示素子に、不正な電圧が印加されることを防止することができる。そのため、表示素子に不正な電圧が印加されることによる影響が蓄積されることを防止することができるため、表示素子の階調のずれを防止又は低減することができる。また、残像の低減、及び / 又は表示品位の向上などを図ることができる。

【0089】

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【0090】

(実施の形態 5)

本実施の形態では、実施の形態 3 及び実施の形態 4 とは異なる信号線駆動回路の具体例及びその駆動方法について説明する。本実施の形態では、実施の形態 4 と異なるところのみを説明し、実施の形態 4 と共通するところはその説明を省略する。

【0091】

まず、本実施の形態の信号線駆動回路の構成例について、図 11 を参照して以下に説明する。

【0092】

本実施の形態の信号線駆動回路は、1 群目のスイッチ 202 が省略されるところが、実施の形態 4 において説明した信号線駆動回路と異なる。

【0093】

次に、本実施の形態の信号線駆動回路の駆動方法の例について、図 12 を参照して以下に説明する。図 12 は、実施の形態 2 において説明した表示装置の駆動方法を実現するためのタイミングチャートの例を示す。

【0094】

各選択期間において、1 群目のスイッチ 201 がオンになり、且つ 2 群目乃至 N 群目のスイッチ 201 がオフになり、2 群目乃至 N 群目のスイッチ 202 がオンになる。すると、1 群目のソース信号線 112 に信号 Data が出力され、2 群目乃至 N 群目のソース信号線 112 に信号 RST が出力される。その後、1 群目のスイッチ 201 がオフになり、且つ 2 群目乃至 N 群目のスイッチ 201 が 1 群ずつ順番にオンになり、2 群目乃至 N 群目のスイッチ 202 がオフになる。すると、2 群目乃至 N 群目のソース信号線 112 に、1 群ずつ順番に信号 Data が出力される。例えば、i 行目の選択期間の期間 T1 において、

10

20

30

40

50

1 群目のスイッチ 2 0 1 がオンになり、且つ 2 群目乃至 N 群目のスイッチ 2 0 1 がオフになり、2 群目乃至 N 群目のスイッチ 2 0 2 がオンになる。よって、1 群目のソース信号線 1 1 2 に信号 Data (i , 1) が出力され、2 群目乃至 N 群目のソース信号線 1 1 2 に信号 R S T が出力される。

【 0 0 9 5 】

その後、i 行目の選択期間の期間 T 2 において、1 群目のスイッチ 2 0 1 がオフになり、2 群目のスイッチ 2 0 1 がオンになり、3 群目乃至 N 群目のスイッチ 2 0 1 がオフのままになり、2 群目乃至 N 群目のスイッチ 2 0 2 がオフになる。よって、映像信号線 2 1 1 の信号 Data (i , 2) は、2 群目のソース信号線 1 1 2 に出力される。

【 0 0 9 6 】

その後、i 行目の選択期間の期間 T 3 において、1 群目のスイッチ 2 0 1 がオフのままになり、2 群目のスイッチ 2 0 1 がオフになり、3 群目のスイッチ 2 0 1 がオンになり、4 群目乃至 N 群目のスイッチ 2 0 1 がオフのままになり、2 群目乃至 N 群目のスイッチ 2 0 2 がオフのままになる。よって、映像信号線 2 1 1 の信号 Data (i , 3) は、3 群目のソース信号線 1 1 2 に出力される。以後、デマルチプレクサ回路 2 0 0 は、期間 T 2 及び期間 T 3 と同様な動作を期間 T N まで繰り返す。

【 0 0 9 7 】

以上のような動作を各選択期間において行うことにより、各画素 1 0 0 に信号 Data が入力され、表示部 1 0 に画像が表示される。本実施の形態の表示装置では、画素 1 0 0 には、信号 R S T が入力された後、信号 Data が入力される。したがって、本実施の形態の表示装置では、画素 1 0 0 に、前の行の画素 1 0 0 に対応した信号 Data 等の不正な信号が入力されることを防止することができる。つまり、画素 1 0 0 の表示素子に、不正な電圧が印加されることを防止することができる。そのため、表示素子に不正な電圧が印加されることによる影響が蓄積されることを防止することができるため、表示素子の階調のずれを防止又は低減することができる。また、残像の低減、及び / 又は表示品位の向上などを図ることができる。

【 0 0 9 8 】

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【 0 0 9 9 】

(実施の形態 6)

本実施の形態では、実施の形態 3 乃至実施の形態 5 において説明した信号線駆動回路が有するスイッチとして、トランジスタを用いた場合の例を説明する。

【 0 1 0 0 】

図 1 3 は、図 7 に示す信号線駆動回路において、スイッチとしてトランジスタを用いる場合の例を示す。図 1 3 では、スイッチ 2 0 1 として、トランジスタ 2 0 1 A が用いられる。トランジスタ 2 0 1 A の第 1 の端子 (ソースとドレインとの一方) は、映像信号線 2 1 1 と電氣的に接続される。トランジスタ 2 0 1 A の第 2 の端子 (ソースとドレインとの他方) は、ソース信号線 1 1 2 と電氣的に接続される。トランジスタ 2 0 1 A のゲートは、配線 2 1 3 と電氣的に接続される。具体的には、k 群目のトランジスタ 2 0 1 A の第 1 の端子 (ソースとドレインとの一方) は、映像信号線 2 1 1 __ 1 乃至映像信号線 2 1 1 __ M のいずれか一と電氣的に接続される。k 群目のトランジスタ 2 0 1 A の第 2 の端子 (ソースとドレインとの他方) は、映像信号線 2 1 1 __ k と電氣的に接続される。k 群目のトランジスタ 2 0 1 A のゲートは、k 本目の配線 2 1 3 (配線 2 1 3 __ k と示す) と電氣的に接続される。

【 0 1 0 1 】

なお、トランジスタの極性は、N チャネル型であることが可能であるし、P チャネル型であることも可能である。N チャネル型のトランジスタは、ゲートとソースとの間の電位差 (V g s ともいう) が閾値電圧を上回ったときにオンになるとする。P チャネル型のトランジスタは、V g s が閾値電圧を下回ったときにオンになるとする。

【 0 1 0 2 】

10

20

30

40

50

図 1 4 は、図 1 3 に示す信号線駆動回路の駆動方法を説明するためのタイミングチャートの例を示す。図 1 4 に示すタイミングチャートでは、トランジスタが N チャネル型である場合の例を示す。各群のスイッチ 2 0 1 がオンになる期間では、その群のトランジスタ 2 0 1 A のゲートと電氣的に接続される配線 2 1 3 に、H 信号が入力される。そして、各群のスイッチ 2 0 1 がオフになる期間では、その群のトランジスタ 2 0 1 A のゲートと電氣的に接続される配線 2 1 3 に、L 信号が入力される。例えば、期間 T_k では、 k 群目のスイッチ 2 0 1 がオンになり、1 群目乃至 $k - 1$ 群目のスイッチ 2 0 1 及び $k + 1$ 群目乃至 N 群目のスイッチ 2 0 1 がオフになる。よって、 k 本目の配線 2 1 3 には H 信号が入力され、1 本目乃至 $k - 1$ 本目の配線 2 1 3 及び $k + 1$ 本目及び N 本目の配線 2 1 3 には L 信号が入力される。

10

【0103】

次に、図 1 5 は、図 9 に示す信号線駆動回路において、スイッチとしてトランジスタを用いる場合の回路図の例を示す。図 1 5 では、スイッチ 2 0 2 として、トランジスタ 2 0 2 A が用いられる。トランジスタ 2 0 2 A の第 1 の端子は、電源線 2 1 2 と電氣的に接続される。トランジスタ 2 0 2 A の第 2 の端子は、ソース信号線 1 1 2 と電氣的に接続される。トランジスタ 2 0 2 A のゲートは、配線 2 1 4 と電氣的に接続される。具体的には、 j 個目のトランジスタ 2 0 2 A の第 1 の端子は、 j 本目の電源線 2 1 2 と電氣的に接続される。 j 個目のトランジスタ 2 0 2 A の第 2 の端子は、ソース信号線 1 1 2 と電氣的に接続される。 j 個目のトランジスタ 2 0 2 A のゲートは、配線 2 1 4 と電氣的に接続される。

20

【0104】

なお、図 1 1 に示す信号線駆動回路において、スイッチとしてトランジスタを用いる場合の構成は、図 1 5 に示す信号線駆動回路において、1 群目のトランジスタ 2 0 2 A を省略した構成と同様である。

【0105】

図 1 6 は、図 1 5 に示す信号線駆動回路の駆動方法を説明するためのタイミングチャートの例を示す。図 1 6 に示すタイミングチャートでは、トランジスタが N チャネル型である場合の例を示す。スイッチ 2 0 2 がオンになる期間（例えば期間 T_0 ）では、配線 2 1 4 には、H 信号が入力される。スイッチ 2 0 2 がオフになる期間（例えば期間 T_1 乃至 T_N ）では、配線 2 1 4 には、L 信号が入力される。

30

【0106】

なお、 m 個のトランジスタ 2 0 1 A の W/L （ W はチャネル幅、 L はチャネル長）比は、互いに等しいとよい。あるいは、各群のトランジスタ 2 0 1 A の W/L 比は、互いに等しいとよい。こうして、ソース信号線 1 1 2 に生じるスイッチングノイズを等しくすることができるので、表示品位の向上を図ることができる。

【0107】

なお、トランジスタ 2 0 2 A の W/L 比は、トランジスタ 2 0 1 A の W/L 比よりも大きいとよい。こうして、ソース信号線 1 1 2 の電位が信号 RST と等しい値に到達するまでの時間を短くすることができる。したがって、画素 1 0 0 が有する表示素子に不正な電圧が印加される時間を短くすることができるので、表示品位の向上を図ることができる。

40

【0108】

なお、トランジスタ 2 0 1 A の W/L 比、及び / 又はトランジスタ 2 0 2 A の W/L 比は、画素 1 0 0 が有するトランジスタの W/L 比よりも大きいとよい。

【0109】

なお、配線 2 1 3 の信号の振幅電圧と、配線 2 1 4 の信号の振幅電圧とは、互いに等しいとよい。こうして、配線 2 1 3 及び配線 2 1 4 に信号を供給するための回路において、電源電圧の数を減らすことができる。ただし、配線 2 1 4 の信号の振幅電圧を、配線 2 1 3 の信号の振幅電圧よりも小さくしてもよい。

【0110】

なお、本実施の形態の信号線駆動回路が 1 群目乃至 N 群目のソース信号線 1 1 2 に、1 群ずつ順番に信号 $Data$ を出力する場合、配線 2 1 3 にはシフトレジスタ回路が電氣的に

50

接続されるとよい。一方で、本実施の形態の信号線駆動回路が 1 群目乃至 N 群目のソース信号線 1 1 2 に、任意の順番で信号 Data を出力する場合、配線 2 1 3 にはデコーダ回路が電氣的に接続されるとよい。

【0111】

なお、配線 2 1 3 にシフトレジスタ回路又はデコーダ回路が電氣的に接続される場合、これらの回路は、信号線駆動回路及び表示部と同じ基板に形成されてもよい。こうして、外部回路と表示部が形成される基板との接続点数を削減することができる。よって、歩留まりの向上、信頼性の向上又はコストの削減などを図ることができる。ただし、シフトレジスタ回路又はデコーダ回路等の回路は、信号線駆動回路及び表示部と異なる基板に形成されてもよい。こうして、シフトレジスタ回路又はデコーダ回路等の回路を、単結晶シリコンを有するトランジスタを用いて構成することができるので、消費電力の削減を図ることができる。

10

【0112】

なお、スイッチとして、Pチャネル型のトランジスタが用いられる場合、各タイミングチャートの電位を反転させるとよい。

【0113】

なお、本実施の形態の信号線駆動回路のように、トランジスタを用いて信号線駆動回路が構成される場合、信号線駆動回路のことを半導体装置と呼んでもよい。

【0114】

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

20

【0115】

(実施の形態 7)

本実施の形態では、開示する発明の一態様である表示装置が有する画素の具体例及びその駆動方法について説明する。

【0116】

図 17 (A) は、画素の回路図を示す。画素 5 4 5 0 は、トランジスタ 5 4 5 1、容量素子 5 4 5 2 及び表示素子 5 4 5 3 を有する。表示素子 5 4 5 3 は、画素電極 5 4 5 5 と共通電極 5 4 5 4 とに挟持されている。トランジスタ 5 4 5 1 の第 1 の端子は、ソース信号線 5 4 6 1 と電氣的に接続される。トランジスタ 5 4 5 1 の第 2 の端子は、容量素子 5 4 5 2 の一方の電極及び画素電極 5 4 5 5 と電氣的に接続される。トランジスタ 5 4 5 1 のゲートは、ゲート信号線 5 4 6 2 と電氣的に接続される。容量素子 5 4 5 2 の他方の電極は、配線 5 4 6 3 と電氣的に接続される。

30

【0117】

なお、ソース信号線 5 4 6 1 は、図 1 に示すソース信号線 1 1 2 に対応し、ゲート信号線 5 4 6 2 は、図 1 に示すゲート信号線 1 1 1 に対応する。

【0118】

トランジスタ 5 4 5 1 は、ソース信号線 5 4 6 1 に入力される映像信号を画素 5 4 5 0 に入力タイミングを制御する機能を有するトランジスタであり、選択用トランジスタ又はスイッチングトランジスタともいう。容量素子 5 4 5 2 は、画素 5 4 5 0 に入力される映像信号に応じた電圧又は電荷を保持する機能を有する容量素子であり、保持容量ともいう。

40

【0119】

表示素子 5 4 5 3 は、メモリ性を有する表示素子である。メモリ性を有する表示素子又はその駆動方式としては、マイクロカプセル型電気泳動方式、マイクロカップ型電気泳動方式、水平移動型電気泳動方式、垂直移動型電気泳動方式、ツイストボール方式、粉体移動方式、電子粉流体方式、コレステリック液晶素子、カイラルネマチック液晶、反強誘電性液晶、高分子分散型液晶、帯電トナー、エレクトロウェットティング方式、エレクトロクロミズム方式、エレクトロデポジション方式などがある。

【0120】

なお、表示素子 5 4 5 3 又は表示素子 5 4 5 3 の駆動方式として、マイクロカプセル型電気泳動方式、マイクロカップ型電気泳動方式、水平移動型電気泳動方式又は垂直移動型電

50

気泳動方式等の電気泳動方式が用いられる場合、表示装置のことを電気泳動表示装置と呼んでもよい。また、表示素子5453又は表示素子5453の駆動方式として、コレステリック液晶素子、カイラルネマチック液晶、反強誘電性液晶又は高分子分散型液晶等の液晶が用いられる場合、表示装置のことを液晶表示装置と呼んでもよい。

【0121】

図17(B)は、マイクロカプセル型の電気泳動方式を用いた画素の断面図を示す。コモン電極5454と画素電極5455との間に、複数のマイクロカプセル5480が配置される。複数のマイクロカプセル5480は、樹脂5481により固定される。樹脂5481は、バインダとしての機能を有する。樹脂5481は、透光性を有するとよい。ただし、コモン電極5454と画素電極5455とマイクロカプセル5480とによって形成される空間には、空気又は不活性ガスなどの気体が充填されることが可能である。このような場合、コモン電極5454と画素電極5455との一方又は両方に、粘着剤又は接着剤等含む層を形成して、マイクロカプセル5480を固定するとよい。膜5482内には、顔料により構成される少なくとも2種類の粒子が含まれている。2種類の粒子は互いに異なる色であることが好ましい。例えば、黒色の顔料により構成される粒子5484と、白色の顔料により構成される粒子5485がマイクロカプセルに含まれる。

10

【0122】

図18(A)は、表示素子5453の方式として、ツイストボール方式を用いる場合の画素の断面図を示す。ツイストボール方式は、表示素子の回転により、反射率を変化させ、階調を制御するものである。図17(B)との違いは、コモン電極5454と画素電極5455との間に、ツイストボール5486が配置されているところである。ツイストボール5486は、粒子5487と、粒子5487の周りに形成されるキャビティ5488とにより構成される。粒子5487は、半球面をそれぞれある色と該ある色とは異なる色とに塗り分けた球状粒子である。ここでは、粒子5487は、半球面をそれぞれ白色と黒色とに塗り分けられているとする。なお、2つの半球面には電荷密度差が設けられている。そのため、コモン電極5454と画素電極5455との間に電位差を生じさせることにより、粒子5487を電界方向に応じて回転させることができる。キャビティ5488は、液体で満たされている。該液体は、液体5483と同様なものを用いることができる。ただし、ツイストボール5486は、図18(A)に示す構造に限定されない。例えば、ツイストボール5486の構造は、円柱又は楕円などとするのが可能である。

20

30

【0123】

図18(B)は、表示素子5453の方式として、マイクロカップ型の電気泳動方式を用いる場合の画素の断面図を示す。マイクロカップアレイは、UV硬化樹脂等からなり複数の凹部を有するマイクロカップ5491に、誘電性溶媒5492に分散させた帯電色素粒子5493を充填し、封止層5494で封止することにより作製できる。封止層5494と画素電極5455との間には、粘着層5495を形成するとよい。誘電性溶媒5492としては、無着色溶媒を用いることが可能であるし、赤や青などの着色溶媒を用いるも可能である。ここでは、帯電色素粒子を1種類有する場合を図示したが、帯電色素粒子を2種類以上有していてもよい。マイクロカップはセルを区切る壁構造を有するため、衝撃や圧力にも十分な耐久性がある。または、マイクロカップの内容物は密閉されているため、環境変化の影響を低減することができる。

40

【0124】

図18(C)は、表示素子5453として、電子粉流体(登録商標)方式を用いる場合の画素の断面図を示す。ここで用いる粉流体は流動性を示し、流体と粒子の特性を兼ね備えた物質である。この方式では、隔壁5501でセルを区切り、セル内に粉流体5502及び粉流体5503を配置する。粉流体5502及び粉流体5503として、白色粒子と黒色粒子とを用いるとよい。ただし、粉流体5502及び粉流体5503の種類は、これに限定されない。例えば、粉流体5502及び粉流体5503としては、白及び黒以外の2色の有色粒子を用いることが可能である。別の例として、粉流体5502と粉流体5503との一方を省略することが可能である。

50

【 0 1 2 5 】

次に、本実施の形態の画素の動作の概略について説明する。表示素子 5 4 5 3 の階調の制御は、表示素子 5 4 5 3 に電圧を印加し、表示素子 5 4 5 3 に電界を発生させることにより行われる。表示素子 5 4 5 3 に印加される電圧の制御は、コモン電極 5 4 5 4 の電位及び画素電極 5 4 5 5 の電位を制御することにより行われる。具体的には、コモン電極 5 4 5 4 の電位の制御は、コモン電極 5 4 5 4 に供給する電圧を制御することにより行われる。画素電極 5 4 5 5 の電位の制御は、ソース信号線 5 4 6 1 に入力される信号を制御することにより行われる。なお、ソース信号線 5 4 6 1 に入力される信号は、トランジスタ 5 4 5 1 がオンになることにより、画素電極 5 4 5 5 に供給される。

【 0 1 2 6 】

なお、表示素子 5 4 5 3 にかかる電界の強度、表示素子 5 4 5 3 にかかる電界の向き、及び表示素子 5 4 5 3 に電界をかける時間などの中の 1 つ以上を制御することにより、表示素子 5 4 5 3 の階調を制御することができる。なお、コモン電極 5 4 5 4 と画素電極 5 4 5 5 との間に、電位差を生じさせないことにより、表示素子 5 4 5 3 の階調を保持することができる。

【 0 1 2 7 】

次に、本実施の形態の画素の動作について、図 2 3 を参照して詳細に説明する。図 2 3 は、表示素子 5 4 5 3 に電圧を印加する時間により、表示素子 5 4 5 3 の階調を制御する場合のタイミングチャートの例を示す。

【 0 1 2 8 】

図 2 3 に示すタイミングチャートは、期間 T a と期間 T b とを有する。期間 T a は、各画素に映像信号を入力し、各画素の表示素子 5 4 5 3 の階調を制御する期間であり、書き換え期間又はアドレス期間ともいう。また、期間 T a は、複数の期間 T を有する。各期間 T では、画素が走査され、各画素に映像信号が入力される。期間 T b は、期間 T a における表示素子 5 4 5 3 の階調を保持する期間であり、保持期間ともいう。

【 0 1 2 9 】

なお、コモン電極 5 4 5 4 には、電圧 V 0 が供給されとする。電圧 V 0 は、所定の電圧であり、コモン電圧ともいう。

【 0 1 3 0 】

なお、ソース信号線 5 4 6 1 に入力される映像信号は、少なくとも 3 つの電位を有するものとする。映像信号の 3 つの電位は、コモン電極 5 4 5 4 の電位よりも高い電位（電位 V H と示す）と、コモン電極 5 4 5 4 と等しい電位（電位 V 0 と示す）と、コモン電極 5 4 5 4 の電位よりも低い電位（電位 V L と示す）である。つまり、ソース信号線 5 4 6 1 には、電位 V H と電位 V 0 と電位 V L とが選択的に与えられる。

【 0 1 3 1 】

期間 T a が有する複数の期間 T のそれぞれにおいて、画素電極 5 4 5 5 に与える電位を制御することにより、表示素子 5 4 5 3 に印加される電圧を制御することができる。例えば、画素電極 5 4 5 5 に電位 V H が与えられる場合は、コモン電極 5 4 5 4 と画素電極 5 4 5 5 との電位差は $V H - V 0$ となるため、表示素子 5 4 5 3 には正の電圧が印加される。画素電極 5 4 5 5 に電位 V 0 が与えられる場合は、コモン電極 5 4 5 4 と画素電極 5 4 5 5 との電位差はゼロとなるため、表示素子 5 4 5 3 には電圧ゼロが印加される。画素電極 5 4 5 5 に電位 V L が与えられる場合は、コモン電極 5 4 5 4 と画素電極 5 4 5 5 との電位差は $V L - V 0$ となるため、表示素子 5 4 5 3 には負の電圧が印加される。以上のように、期間 T a では、各期間 T において表示素子 5 4 5 3 に印加する電圧を制御することにより、表示素子 5 4 5 3 に正の電圧（ $V H - V 0$ ）と負の電圧（ $V L - V 0$ ）と電圧ゼロとを様々な順番で印加することができる。したがって、各画素において、少ない種類の映像信号によって、表示素子 5 4 5 3 の階調を細かく制御することができる。

【 0 1 3 2 】

また、期間 T a の最後の期間 T では、各画素には、コモン電極 5 4 5 4 の電位と等しい値の映像信号が入力される。つまり、各画素の画素電極 5 4 5 5 には、電位 V 0 が与えられ

10

20

30

40

50

、各画素の表示素子 5 4 5 3 には電圧ゼロが印加される。

【 0 1 3 3 】

期間 T b では、各行の画素は選択されない。つまり、画素に映像信号は入力されない。そのため、期間 T b では、画素は、期間 T a の最後の期間 T において入力された映像信号を保持し続けることになる。上述したように、期間 T a の最後の期間 T において、各画素には、コモン電極 5 4 5 4 の電位と等しい値の映像信号が入力される。そのため、期間 T b において、各画素の表示素子 5 4 5 3 には電圧ゼロが印加され続ける。したがって、各画素において、表示素子 5 4 5 3 の階調は維持され続けるため、表示部に表示される画像を保持し続けることができる。

【 0 1 3 4 】

なお、便宜上、表示素子 5 4 5 3 に正の電圧が印加されると、表示素子 5 4 5 3 の階調は、黒（第 1 の階調ともいう）に近づくものとする。また、表示素子 5 4 5 3 に負の電圧が印加されると、表示素子 5 4 5 3 の階調は、白（第 2 の階調ともいう）に近づくものとする。

【 0 1 3 5 】

なお、表示素子 5 4 5 3 の階調を第 1 の階調に近いほど、期間 T a のうち、電位 V H が画素電極 5 4 5 5 に与えられる時間を長くするとよい。あるいは、複数の期間 T のうち、電位 V H が画素電極 5 4 5 5 に与えられる回数を多くするとよい。あるいは、期間 T a のうち、電位 V H が画素電極 5 4 5 5 に与えられる時間から電位 V L が画素電極 5 4 5 5 に与えられる時間を引いた時間を長くするとよい。あるいは、複数の期間 T のうち、電位 V H が画素電極 5 4 5 5 に与えられる回数から電位 V L が画素電極 5 4 5 5 に与えられる回数を引いた回数を多くするとよい。

【 0 1 3 6 】

なお、表示素子 5 4 5 3 の階調を第 2 の階調に近いほど、期間 T a のうち、電位 V L が画素電極 5 4 5 5 に与えられる時間を長くするとよい。あるいは、複数の期間 T のうち、電位 V L が画素電極 5 4 5 5 に与えられる回数を多くするとよい。あるいは、期間 T a のうち、電位 V L が画素電極 5 4 5 5 に与えられる時間から電位 V H が画素電極 5 4 5 5 に与えられる時間を引いた時間を長くするとよい。あるいは、複数の期間 T のうち、電位 V L が画素電極 5 4 5 5 に与えられる回数から電位 V H が画素電極 5 4 5 5 に与えられる回数を引いた回数を多くするとよい。

【 0 1 3 7 】

なお、期間 T a において、画素電極 5 4 5 5 に与えられる電位（電位 V H、電位 V 0、電位 V L）の組み合わせは、表示素子 5 4 5 3 が次に表示する階調だけでなく、表示素子 5 4 5 3 が既に表示している階調に依存してもよい。あるいは、次に表示素子 5 4 5 3 が表示する階調が同じ場合でも、既に表示素子 5 4 5 3 が表示している階調が異なると、画素電極 5 4 5 5 に与えられる電位の組み合わせが異なることがある。

【 0 1 3 8 】

例えば、表示素子 5 4 5 3 が既に表示している階調を表示するための期間 T a において、電位 V H が画素電極 5 4 5 5 に与えられる時間が長いほど、又は電位 V H が画素電極 5 4 5 5 に与えられる時間から電位 V L が画素電極 5 4 5 5 に与えられる時間を引いた時間が長いほど、又は複数の期間 T のうち、電位 V H が画素電極 5 4 5 5 に与えられる回数が多いほど、又は複数の期間 T のうち、電位 V H が画素電極 5 4 5 5 に与えられる回数から電位 V L が画素電極 5 4 5 5 に与えられる回数を引いた値が多いほど、期間 T a のうち、電位 V L が画素電極 5 4 5 5 に与えられる時間を長くするとよい。あるいは、複数の期間 T のうち、電位 V L が画素電極 5 4 5 5 に与えられる回数を多くするとよい。あるいは、期間 T a のうち、電位 V L が画素電極 5 4 5 5 に与えられる時間から電位 V H が画素電極 5 4 5 5 に与えられる時間を引いた時間を長くするとよい。あるいは、複数の期間 T のうち、電位 V L が画素電極 5 4 5 5 に与えられる回数から電位 V H が画素電極 5 4 5 5 に与えられる回数を引いた回数を、多くするとよい。以上のことにより、残像の低減を図ることができる。

【 0 1 3 9 】

例えば、表示素子 5 4 5 3 が既に表示している階調を、表示するための期間 T_a において、電位 V_L が画素電極 5 4 5 5 に与えられる時間が長いほど、又は電位 V_L が画素電極 5 4 5 5 に与えられる時間から電位 V_H が画素電極 5 4 5 5 に与えられる時間を引いた時間が長いほど、又は複数の期間 T のうち、電位 V_L が画素電極 5 4 5 5 に与えられる回数が多いほど、又は複数の期間 T のうち、電位 V_L が画素電極 5 4 5 5 に与えられる回数から電位 V_H が画素電極 5 4 5 5 に与えられる回数を引いた値が多いほど、期間 T_a のうち、電位 V_H が画素電極 5 4 5 5 に与えられる時間を長くするとよい。あるいは、複数の期間 T のうち、電位 V_H が画素電極 5 4 5 5 に与えられる回数を多くするとよい。あるいは、期間 T_a のうち、電位 V_H が画素電極 5 4 5 5 に与えられる時間から電位 V_L が画素電極 5 4 5 5 に与えられる時間を引いた時間を長くするとよい。あるいは、複数の期間 T のうち、電位 V_H が画素電極 5 4 5 5 に与えられる回数から電位 V_L が画素電極 5 4 5 5 に与えられる回数を引いた回数を、多くするとよい。以上のことにより、残像の低減を図ることができる。

10

【 0 1 4 0 】

なお、複数の期間 T は、互いに等しい長さであるとよい。こうして、信号線駆動回路の構成を単純にすることができる。ただし、複数の期間 T のうちの少なくとも 2 つは、互いに異なる長さであってもよい。特に、複数の期間 T の長さに重み付けを行うとよい。例えば、期間 T の数が 4 つである場合、1 番目の期間 T の長さを時間 h とすると、2 番目の期間 T の長さを時間 $h \times 2$ とする。3 番目の期間 T の長さを時間 $h \times 4$ とする。4 番目の期間 T の長さを時間 $h \times 8$ とする。このように、複数の期間 T の長さに重み付けを行うことにより、画素 5 4 5 0 を選択する回数を減らすことができ、且つ表示素子 5 4 5 3 に電圧を印加する時間を細かく制御することができる。よって、消費電力の削減を図ることができる。

20

【 0 1 4 1 】

なお、コモン電極 5 4 5 4 には、電位 V_H と電位 V_L と選択的に与えてもよい。この場合、画素電極 5 4 5 5 にも、電位 V_H と電位 V_L とを選択的に与えることが好ましい。例えば、コモン電極 5 4 5 4 に電位 V_H が与えられる場合、画素電極 5 4 5 5 に電位 V_H が与えられると、表示素子 5 4 5 3 には電圧ゼロが印加される。画素電極 5 4 5 5 に電位 V_L が与えられると、表示素子 5 4 5 3 には負の電圧が印加される。一方で、コモン電極 5 4 5 4 に電位 V_L が与えられる場合、画素電極 5 4 5 5 に電位 V_H が与えられると、表示素子 5 4 5 3 には正の電圧が印加される。画素電極 5 4 5 5 に電位 V_L が与えられると、表示素子 5 4 5 3 には電圧ゼロが印加される。このようにして、ソース信号線 5 4 6 1 に入力される信号を 2 値（デジタル信号）とすることができる。そのため、ソース信号線 5 4 6 1 に信号を出力する回路を簡単にすることができる。

30

【 0 1 4 2 】

なお、期間 T_b 又は期間 T_b の一部において、ソース信号線 5 4 6 1 及び / 又はゲート信号線 5 4 6 2 には、信号を入力しなくてもよい。つまり、ソース信号線 5 4 6 1 及びゲート信号線 5 4 6 2 を浮遊状態にしてもよい。なお、期間 T_b 又は期間 T_b の一部において、配線 5 4 6 3 には、信号を入力しなくてもよい。つまり、配線 5 4 6 3 を浮遊状態にしてもよい。なお、期間 T_b 又は期間 T_b の一部において、コモン電極 5 4 5 4 には、電圧を供給しなくてもよい。つまり、コモン電極 5 4 5 4 を浮遊状態にしてもよい。ただし、期間 T_b 又は期間 T_b の一部において、ソース信号線 5 4 6 1 には、電位 V_0 を与えてもよい。こうして、各画素において、トランジスタ 5 4 5 1 のドレインとソースとの間の電位差を 0 [V] にすることができるため、画素電極 5 4 5 5 の電位の変動を緩和することができる。

40

【 0 1 4 3 】

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【 0 1 4 4 】

（実施の形態 8）

50

本実施の形態では、開示する発明の一態様である表示装置に用いることができるトランジスタの例について説明する。

【0145】

図19(A)乃至(D)にトランジスタの断面構造の一例を示す。

【0146】

図19(A)に示すトランジスタ1210は、ボトムゲート構造のトランジスタ(逆スタガ型トランジスタともいう)の一つである。

【0147】

トランジスタ1210は、絶縁表面を有する基板1200上に、ゲート電極層1201、ゲート絶縁層1202、半導体層1203、ソース電極層1205a、及びドレイン電極層1205bを含む。また、トランジスタ1210を覆い、半導体層1203に積層する絶縁層1207が設けられている。絶縁層1207上にはさらに保護絶縁層1209が形成されている。

10

【0148】

図19(B)に示すトランジスタ1220は、チャネル保護型(チャネルストップ型ともいう)と呼ばれるボトムゲート構造のトランジスタ(逆スタガ型トランジスタともいう)の一つである。

【0149】

トランジスタ1220は、絶縁表面を有する基板1200上に、ゲート電極層1201、ゲート絶縁層1202、半導体層1203、半導体層1203のチャネル形成領域上に設けられたチャネル保護層として機能する絶縁層1227、ソース電極層1205a、及びドレイン電極層1205bを含む。また、トランジスタ1220を覆い、保護絶縁層1209が形成されている。

20

【0150】

図19(C)に示すトランジスタ1230はボトムゲート型のトランジスタであり、絶縁表面を有する基板である基板1200上に、ゲート電極層1201、ゲート絶縁層1202、ソース電極層1205a、ドレイン電極層1205b、及び半導体層1203を含む。また、トランジスタ1230を覆い、半導体層1203に接する絶縁層1207が設けられている。絶縁層1207上にはさらに保護絶縁層1209が形成されている。

30

【0151】

トランジスタ1230においては、ゲート絶縁層1202は基板1200及びゲート電極層1201上に接して設けられ、ゲート絶縁層1202上にソース電極層1205a、ドレイン電極層1205bが接して設けられている。そして、ゲート絶縁層1202、及びソース電極層1205a、ドレイン電極層1205b上に半導体層1203が設けられている。

【0152】

図19(D)に示すトランジスタ1240は、トップゲート構造のトランジスタの一つである。トランジスタ1240は、絶縁表面を有する基板1200上に、絶縁層1247、半導体層1203、ソース電極層1205a、及びドレイン電極層1205b、ゲート絶縁層1202、ゲート電極層1201を含み、ソース電極層1205a、ドレイン電極層1205bにそれぞれ配線層1246a、配線層1246bが接して設けられ電氣的に接続している。

40

【0153】

本実施の形態では、半導体層1203として酸化物半導体を用いる。

【0154】

酸化物半導体としては、四元系金属酸化物であるIn-Sn-Ga-Zn-O系金属酸化物や、三元系金属酸化物であるIn-Ga-Zn-O系金属酸化物、In-Sn-Zn-O系金属酸化物、In-Al-Zn-O系金属酸化物、Sn-Ga-Zn-O系金属酸化物、Al-Ga-Zn-O系金属酸化物、Sn-Al-Zn-O系金属酸化物や、二元系金属酸化物であるIn-Zn-O系金属酸化物、Sn-Zn-O系金属酸化物、Al-Z

50

n - O系金属酸化物、Zn - Mg - O系金属酸化物、Sn - Mg - O系金属酸化物、In - Mg - O系金属酸化物や、In - O系金属酸化物、Sn - O系金属酸化物、Zn - O系金属酸化物などを用いることができる。また、上記金属酸化物の半導体にSiO₂を含んでもよい。ここで、例えば、In - Ga - Zn - O系金属酸化物とは、少なくともInとGaとZnを含む酸化物であり、その組成比に特に制限はない。また、InとGaとZn以外の元素を含んでもよい。

【0155】

また、酸化物半導体には、化学式InMO₃(ZnO)_m(m>0、且つmは自然数でない)で表記される薄膜を用いることができる。ここで、Mは、Ga、Al、MnおよびCoから選ばれた一または複数の金属元素を示す。例えばMとして、Ga、Ga及びAl、Ga及びMn、またはGa及びCoなどがある。また、本明細書でいうIn - Ga - Zn - Oで表記される酸化物半導体材料は、InGaO₃(ZnO)_m(m>0、且つmは自然数でない)であり、mが自然数でないことは、ICP - MS分析や、RBS分析を用いて確認することができる。

10

【0156】

なお本実施の形態の構成において酸化物半導体は、n型不純物である水素を酸化物半導体から除去し、酸化物半導体の主成分以外の不純物が極力含まれないように高純度化することにより真性(i型)とし、又は実質的に真性型としたものである。すなわち、不純物を添加してi型化するのでなく、水素や水等の不純物を極力除去したことにより、高純度化されたi型(真性半導体)又はそれに近づけたものである。加えて、酸化物半導体は、2.0 eV以上、好ましくは2.5 eV以上、より好ましくは3.0 eV以上のバンドギャップを有する。そのため、酸化物半導体は、熱励起に起因するキャリアの発生を抑制することができる。その結果、酸化物半導体によってチャネル形成領域が構成されたトランジスタの動作温度の上昇に伴うオフ電流の増加を低減することができる。

20

【0157】

また、高純度化された酸化物半導体中にはキャリアが極めて少なく(ゼロに近い)、キャリア濃度は $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満である。

【0158】

酸化物半導体中にキャリアが極めて少ないため、トランジスタでは、オフ電流を少なくすることができる。具体的には、上述の酸化物半導体を半導体層に用いたトランジスタは、チャネル幅1 μmあたりのオフ電流を10 aA / μm ($1 \times 10^{-17} \text{ A} / \mu\text{m}$)以下にすること、さらには1 aA / μm ($1 \times 10^{-18} \text{ A} / \mu\text{m}$)以下、さらには10 zA / μm ($1 \times 10^{-20} \text{ A} / \mu\text{m}$)にすることが可能である。つまりトランジスタの非導通状態において、酸化物半導体は絶縁体とみなして回路設計を行うことができる。一方で、酸化物半導体は、トランジスタの導通状態においては、非晶質シリコンで形成される半導体層よりも高い電流供給能力を見込むことができる。

30

【0159】

酸化物半導体を半導体層1203に用いたトランジスタ1210、1220、1230、1240は、オフ状態における電流値(オフ電流値)を低くすることができる。よって、トランジスタのオフ電流による画素電極の電位の変動を小さくすることができるため、リフレッシュレートを長くすることができる。そのため、消費電力の削減を図ることができる。あるいは、保持容量の省略又は縮小を図ることができるので、画素を小さくすることができる。よって、解像度の向上を図ることができる。

40

【0160】

また、酸化物半導体を半導体層1203に用いたトランジスタ1210、1220、1230、1240は、耐圧を大きくすることができる。メモリ性を有する表示素子は、一般に駆動電圧が大きいことが知られている。そのため、画素又は信号線駆動回路を構成するトランジスタには、大きい電圧が印加される。よって、メモリ性を有する表示素子により画像を表示する表示装置において、酸化物半導体を用いたトランジスタは好適である。

50

【0161】

絶縁表面を有する基板1200に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

【0162】

また、ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が730 以上のものを用いると良い。また、ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。なお、実用的な耐熱ガラスである、酸化ホウ素(B_2O_3)₃より酸化バリウム(BaO)を多く含むガラス基板を用いてもよい。

10

【0163】

なお、上記のガラス基板に代えて、セラミック基板、石英基板、サファイア基板などの絶縁体となる基板を用いても良い。他にも、結晶化ガラスなどを用いることができる。また、プラスチック基板等も適宜用いることができる。

【0164】

ボトムゲート構造のトランジスタ1210、1220、1230において、下地膜となる絶縁膜を基板とゲート電極層の間に設けてもよい。下地膜は、基板からの不純物元素の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、又は酸化窒化シリコン膜から選ばれた一又は複数の膜による積層構造により形成することができる。

20

【0165】

ゲート電極層1201の材料は、モリブデン、チタン、クロム、タンタル、タンゲステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて、単層でまたは積層して形成することができる。

【0166】

例えば、ゲート電極層1201の2層の積層構造としては、アルミニウム層上にモリブデン層が積層された2層の積層構造、または銅層上にモリブデン層を積層した2層構造、または銅層上に窒化チタン層若しくは窒化タンタル層を積層した2層構造、窒化チタン層とモリブデン層とを積層した2層構造とすることが好ましい。3層の積層構造としては、タンゲステン層または窒化タンゲステン層と、アルミニウムとシリコンの合金層またはアルミニウムとチタンの合金層と、窒化チタン層またはチタン層とを積層した積層とすることが好ましい。なお、透光性を有する導電膜を用いてゲート電極層を形成することもできる。透光性を有する導電膜としては、透光性導電性酸化物等をその例に挙げることもできる。

30

【0167】

ゲート絶縁層1202は、プラズマCVD法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、又は酸化ハフニウム層を単層で又は積層して形成することができる。

【0168】

ゲート絶縁層1202は、ゲート電極層側から窒化シリコン層と酸化シリコン層を積層した構造とすることもできる。例えば、第1のゲート絶縁層としてスパッタリング法により膜厚50nm以上200nm以下の窒化シリコン層(SiN_y ($y > 0$))を形成し、第1のゲート絶縁層上に第2のゲート絶縁層として膜厚5nm以上300nm以下の酸化シリコン層(SiO_x ($x > 0$))を積層して、膜厚100nmのゲート絶縁層とする。ゲート絶縁層1202の膜厚は、トランジスタに要求される特性によって適宜設定すればよく350nm乃至400nm程度でもよい。

40

【0169】

ソース電極層1205a、ドレイン電極層1205bに用いる導電膜としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分

50

とする合金か、上述した元素を組み合わせた合金膜等を用いることができる。また、Al、Cuなどの金属層の下側又は上側の一方または双方にCr、Ta、Ti、Mo、Wなどの高融点金属層を積層させた構成としても良い。また、Si、Ti、Ta、W、Mo、Cr、Nd、Sc、YなどAl膜に生ずるヒロックやウイスキーの発生を防止する元素が添加されているAl材料を用いることで耐熱性を向上させることが可能となる。

【0170】

ソース電極層1205a、ドレイン電極層1205bに接続する配線層1246a、配線層1246bのような導電膜も、ソース電極層1205a、ドレイン電極層1205bと同様な材料を用いることができる。

【0171】

また、ソース電極層1205a、ドレイン電極層1205bは、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、Ti膜と、そのTi膜上に重ねてアルミニウム膜を積層し、さらにその上にTi膜を成膜する3層構造などが挙げられる。

【0172】

また、ソース電極層1205a、ドレイン電極層1205b（これと同じ層で形成される配線層を含む）となる導電膜を導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム（ In_2O_3 ）、酸化スズ（ SnO_2 ）、酸化亜鉛（ ZnO ）、酸化インジウム酸化スズ合金（ $\text{In}_2\text{O}_3-\text{SnO}_2$ 、ITOと略記する）、酸化インジウム酸化亜鉛合金（ $\text{In}_2\text{O}_3-\text{ZnO}$ ）または前記金属酸化物材料にシリコン若しくは酸化シリコンを含ませたものを用いることができる。

【0173】

絶縁層1207、1227、1247、保護絶縁層1209としては、酸化絶縁膜、又は窒化絶縁膜などの無機絶縁膜を好適に用いることができる。

【0174】

絶縁層1207、1227、1247には、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などの無機絶縁膜を用いることができる。

【0175】

保護絶縁層1209には、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、窒化酸化アルミニウム膜などの無機絶縁膜を用いることができる。

【0176】

また、保護絶縁層1209上にトランジスタ起因の表面凹凸を低減するために平坦化絶縁膜を形成してもよい。平坦化絶縁膜としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁膜を形成してもよい。

【0177】

なお、半導体層1203としては、酸化物半導体だけでなく、非晶質シリコン、微結晶シリコン、又は多結晶シリコンを用いることができる。特に、非晶質シリコンを用いたトランジスタにより、開示する発明の一態様である表示装置又は表示装置が有する画素若しくは信号線駆動回路などを構成することにより、表示装置を安価に製造することができる。

【0178】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0179】

（実施の形態9）

本実施の形態では、上記実施の形態で示す表示装置において、タッチパネル機能を付加した表示装置の構成について、図20（A）、（B）を用いて説明する。

10

20

30

40

50

【0180】

図20(A)は、本実施の形態の表示装置の概略図である。図20(A)には、上記実施の形態の表示装置である表示パネル1501にタッチパネルユニット1502を重畳して設け、筐体1503(ケース)にて合着させる構成について示している。タッチパネルユニット1502は、抵抗膜方式、表面型静電容量方式、投影型静電容量方式等を適宜用いることができる。

【0181】

図20(A)に示すように、表示パネル1501とタッチパネルユニット1502とを別々に作製し重畳することにより、タッチパネル機能を付加した表示装置の作製に係るコストの削減を図ることができる。

10

【0182】

図20(A)とは異なるタッチパネル機能を付加した表示装置の構成について、図20(B)に示す。図20(B)に示す表示装置1504は、複数設けられる画素1505に光センサ1506、表示素子1507(例えば電気泳動素子、液晶素子など)を有する。そのため、図20(A)とは異なり、タッチパネルユニット1502を重畳して作製する必要がなく、表示装置の薄型化を図ることができる。なお、画素1505とともにゲート線側駆動回路1508、信号線側駆動回路1509、光センサ用駆動回路1510を画素1505と同じ基板上に作製することで、表示装置の小型化を図ることができる。なお光センサ1506は、アモルファスシリコン等で形成し、酸化物半導体を用いたトランジスタと重畳して形成する構成としてもよい。

20

【0183】

本実施の形態により、タッチパネルの機能を付加した表示装置において、酸化物半導体膜を用いたトランジスタを用いることで、静止画の表示の際の、画像の保持特性を向上させることができる。そしてリフレッシュレートを低減して静止画表示を行う際、階調が変化することによる画質の劣化を小さくすることができる。

【0184】

なお、本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【0185】

(実施の形態10)

本実施の形態においては、上記実施の形態で説明した表示装置を具備する電子機器の例について説明する。

30

【0186】

図21(A)は携帯型遊技機であり、筐体9630、表示部9631、スピーカ9633、操作キー9635、接続端子9636、記録媒体読込部9672、等を有する。図21(A)に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、他の携帯型遊技機と無線通信を行って情報を共有する機能、等を有することができる。なお、図21(A)に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

【0187】

図21(B)はデジタルカメラであり、筐体9630、表示部9631、スピーカ9633、操作キー9635、接続端子9636、シャッターボタン9676、受像部9677、等を有することができる。図21(B)に示すデジタルカメラは、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動または手動で補正する機能、アンテナから様々な情報を取得する機能、撮影した画像、又はアンテナから取得した情報を保存する機能、撮影した画像、又はアンテナから取得した情報を表示部に表示する機能、等を有することができる。なお、図21(B)に示すデジタルカメラが有する機能はこれに限定されず、様々な機能を有することができる。

40

【0188】

図21(C)はテレビ受像器であり、筐体9630、表示部9631、スピーカ9633、操作キー9635、接続端子9636、等を有することができる。図21(C)に示す

50

テレビ受像機は、テレビ用電波を処理して画像信号に変換する機能、画像信号を処理して表示に適した信号に変換する機能、画像信号のフレーム周波数を変換する機能、等を有することができる。なお、図 2 1 (C) に示すテレビ受像機が有する機能はこれに限定されず、様々な機能を有することができる。

【 0 1 8 9 】

図 2 1 (D) は、電子計算機 (パーソナルコンピュータ) 用途のモニター (P C モニターともいう) であり、筐体 9 6 3 0、表示部 9 6 3 1 等を有することができる。図 2 1 (D) に示すモニターは、ウインドウ型表示部 9 6 5 3 が表示部 9 6 3 1 にある例について示している。なお説明のために表示部 9 6 3 1 にウインドウ型表示部 9 6 5 3 を示したが、他のシンボル、例えばアイコン、画像等であってもよい。パーソナルコンピュータ用途のモニターでは、入力時にのみ画像信号が書き換えられる場合が多く、上記実施の形態における表示装置の駆動方法を適用する際に好適である。なお、図 2 1 (D) に示すモニターが有する機能はこれに限定されず、様々な機能を有することができる。

10

【 0 1 9 0 】

図 2 2 (A) はコンピュータであり、筐体 9 6 3 0、表示部 9 6 3 1、スピーカ 9 6 3 3、操作キー 9 6 3 5、接続端子 9 6 3 6、ポインティングデバイス 9 6 8 1、外部接続ポート 9 6 8 0 等を有することができる。図 2 2 (A) に示すコンピュータは、様々な情報 (静止画、動画、テキスト画像など) を表示部に表示する機能、様々なソフトウェア (プログラム) によって処理を制御する機能、無線通信又は有線通信などの通信機能、通信機能を用いて様々なコンピュータネットワークに接続する機能、通信機能を用いて様々なデータの送信又は受信を行う機能、等を有することができる。なお、図 2 2 (A) に示すコンピュータが有する機能はこれに限定されず、様々な機能を有することができる。

20

【 0 1 9 1 】

次に、図 2 2 (B) は携帯電話であり、筐体 9 6 3 0、表示部 9 6 3 1、スピーカ 9 6 3 3、操作キー 9 6 3 5、マイクロフォン 9 6 3 8 等を有することができる。図 2 2 (B) に示した携帯電話は、様々な情報 (静止画、動画、テキスト画像など) を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア (プログラム) によって処理を制御する機能、等を有することができる。なお、図 2 2 (B) に示した携帯電話が有する機能はこれに限定されず、様々な機能を有することができる。

30

【 0 1 9 2 】

次に、図 2 2 (C) は電子ペーパー (E - b o o k ともいう) であり、筐体 9 6 3 0、表示部 9 6 3 1、操作キー 9 6 3 2 等を有することができる。図 2 2 (C) に示した電子ペーパーは、様々な情報 (静止画、動画、テキスト画像など) を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア (プログラム) によって処理を制御する機能、等を有することができる。なお、図 2 2 (C) に示した電子ペーパーが有する機能はこれに限定されず、様々な機能を有することができる。別の電子ペーパーの構成について図 2 2 (D) に示す。図 2 2 (D) に示す電子ペーパーは、図 2 2 (C) の電子ペーパーに太陽電池 9 6 5 1、及びバッテリー 9 6 5 2 を付加した構成について示している。表示部 9 6 3 1 として反射型の表示装置を用いる場合、比較的明るい状況下での使用が予想され、太陽電池 9 6 5 1 による発電、及びバッテリー 9 6 5 2 での充電を効率よく行うことができ、好適である。なおバッテリー 9 6 5 2 としては、リチウムイオン電池を用いると、小型化を図れる等の利点がある。

40

【 0 1 9 3 】

本実施の形態において述べた電子機器は、開示する発明の一態様である表示装置を有するため、表示品位の向上を図ることができる。

【 0 1 9 4 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

50

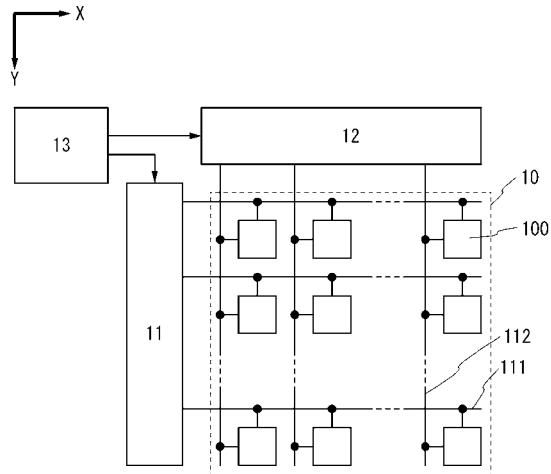
【符号の説明】

【0195】

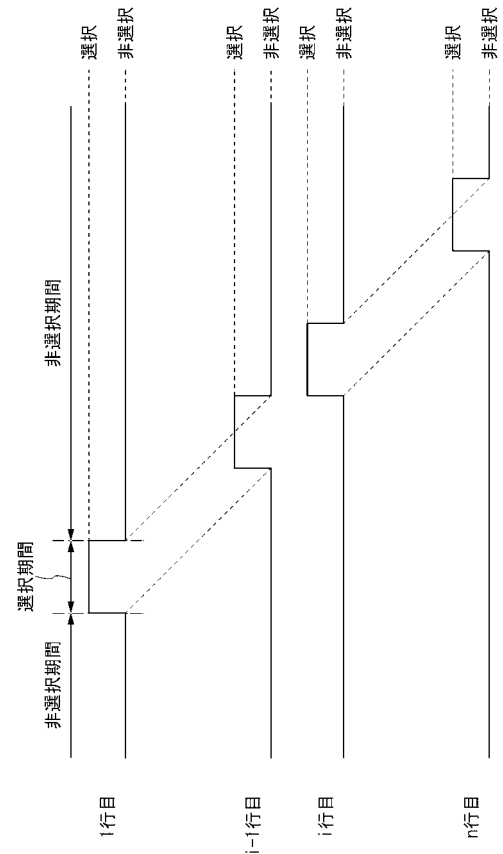
10	表示部	
11	走査線駆動回路	
12	信号線駆動回路	
13	コントローラ	
100	画素	
111	ゲート信号線	
112	ソース信号線	
200	デマルチプレクサ回路	10
201	スイッチ	
202	スイッチ	
211	映像信号線	
212	電源線	
213	配線	
214	配線	
1200	基板	
1201	ゲート電極層	
1202	ゲート絶縁層	
1203	半導体層	20
1207	絶縁層	
1209	保護絶縁層	
1210	トランジスタ	
1220	トランジスタ	
1227	絶縁層	
1230	トランジスタ	
1240	トランジスタ	
1247	絶縁層	
1501	表示パネル	
1502	タッチパネルユニット	30
1503	筐体	
1504	表示装置	
1505	画素	
1506	光センサ	
1507	表示素子	
1508	ゲート線側駆動回路	
1509	信号線側駆動回路	
1510	光センサ用駆動回路	
201A	トランジスタ	
202A	トランジスタ	40
5450	画素	
5451	トランジスタ	
5452	容量素子	
5453	表示素子	
5454	コモン電極	
5455	画素電極	
5461	ソース信号線	
5462	ゲート信号線	
5463	配線	
5480	マイクロカプセル	50

5 4 8 1	樹脂	
5 4 8 2	膜	
5 4 8 3	液体	
5 4 8 4	粒子	
5 4 8 5	粒子	
5 4 8 6	ツイストボール	
5 4 8 7	粒子	
5 4 8 8	キャビティ	
5 4 9 1	マイクロカップ	
5 4 9 2	誘電性溶媒	10
5 4 9 3	帯電色素粒子	
5 4 9 4	封止層	
5 4 9 5	粘着層	
5 5 0 1	隔壁	
5 5 0 2	粉流体	
5 5 0 3	粉流体	
9 6 3 0	筐体	
9 6 3 1	表示部	
9 6 3 2	操作キー	
9 6 3 3	スピーカ	20
9 6 3 5	操作キー	
9 6 3 6	接続端子	
9 6 3 8	マイクロフォン	
9 6 5 1	太陽電池	
9 6 5 2	バッテリー	
9 6 5 3	ウインドウ型表示部	
9 6 7 2	記録媒体読込部	
9 6 7 6	シャッターボタン	
9 6 7 7	受像部	
9 6 8 0	外部接続ポート	30
9 6 8 1	ポインティングデバイス	
1 2 0 5 a	ソース電極層	
1 2 0 5 b	ドレイン電極層	
1 2 4 6 a	配線層	
1 2 4 6 b	配線層	

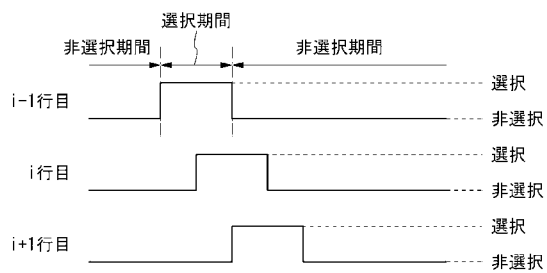
【図 1】



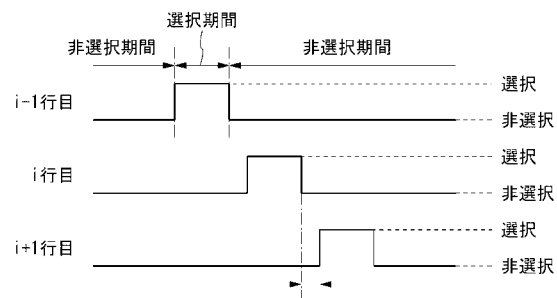
【図 2】



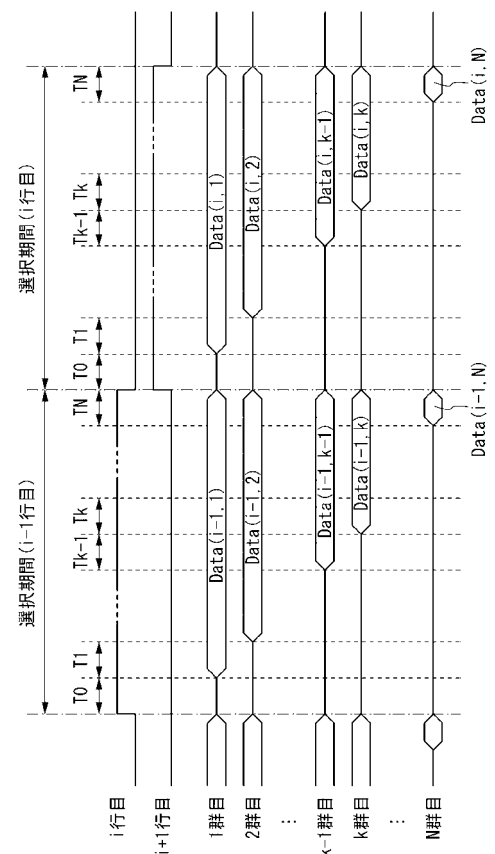
【図 3】



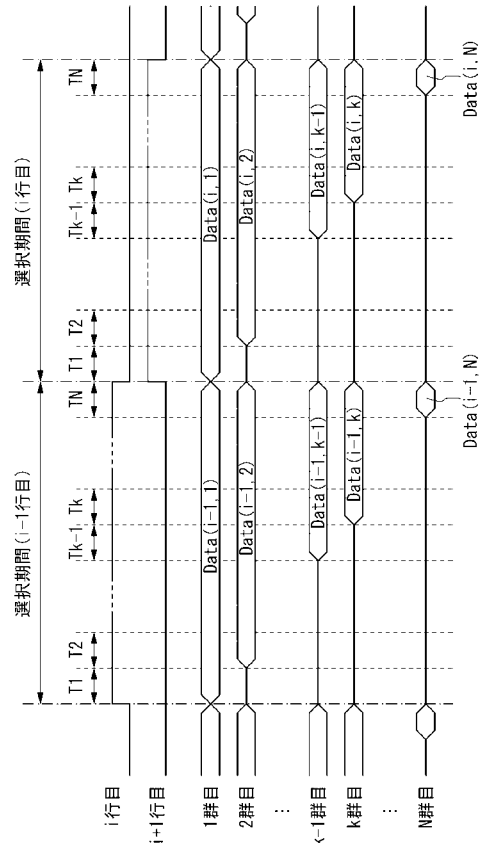
【図 4】



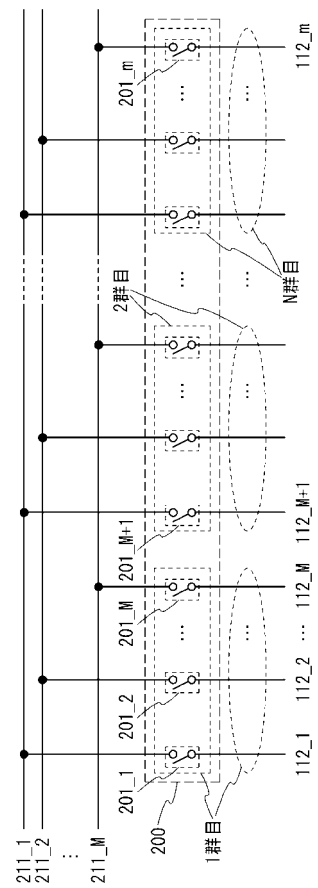
【図 5】



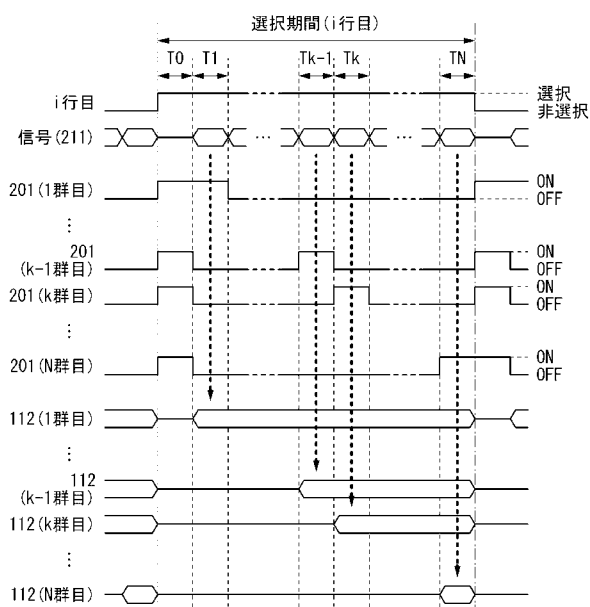
【図 6】



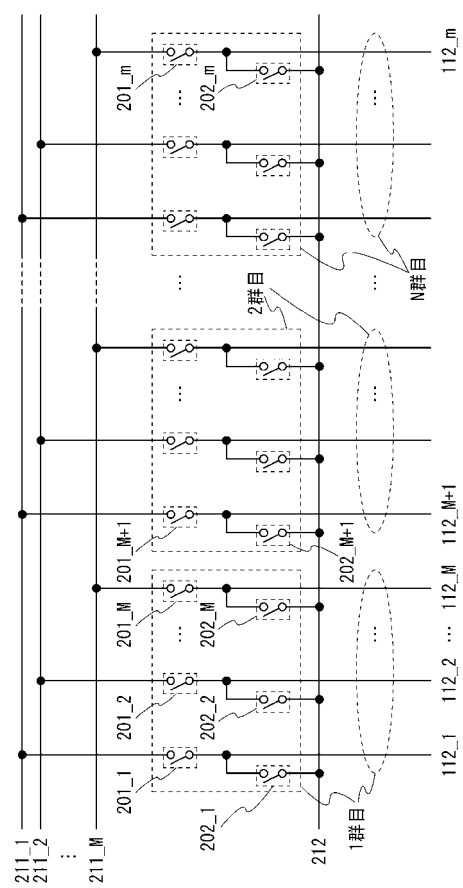
【図 7】



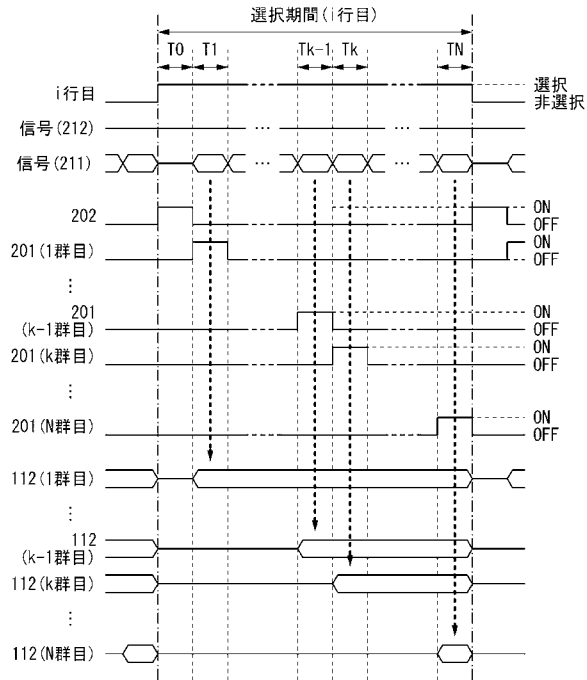
【図 8】



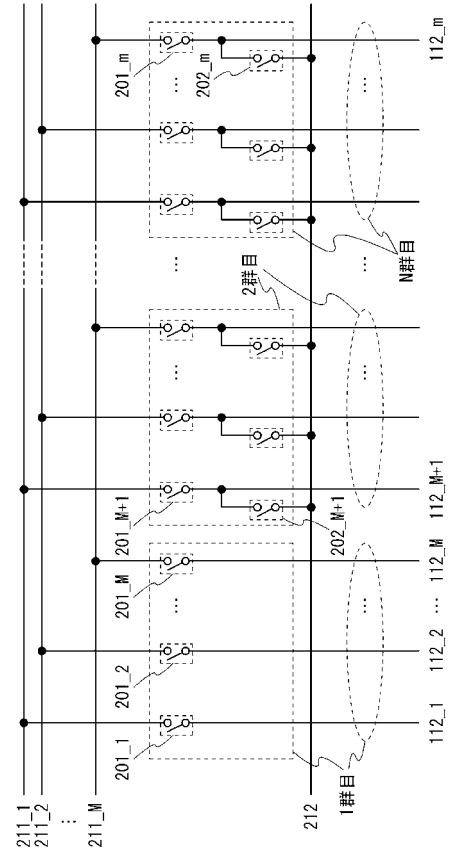
【図 9】



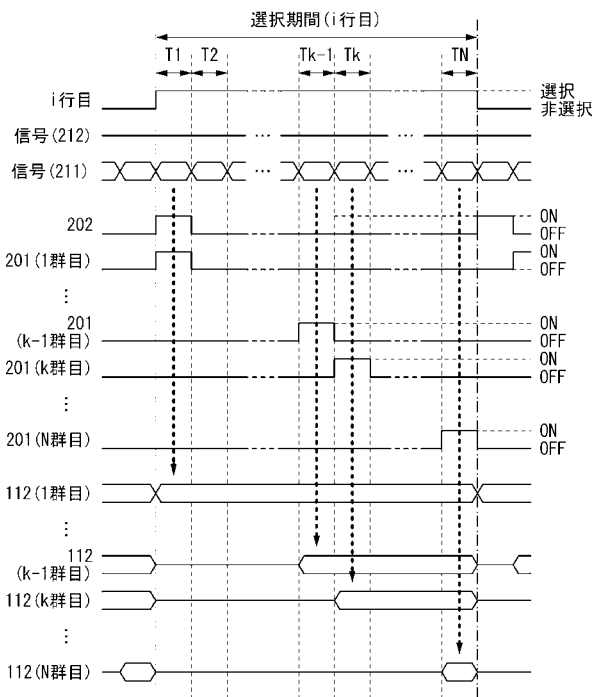
【図 10】



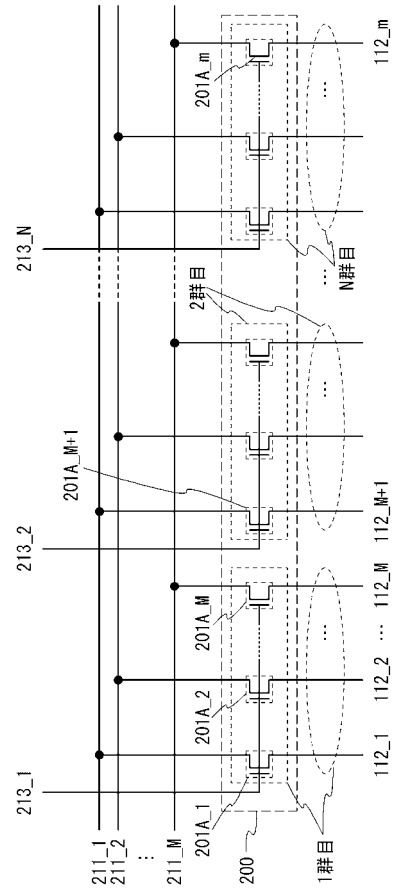
【図 11】



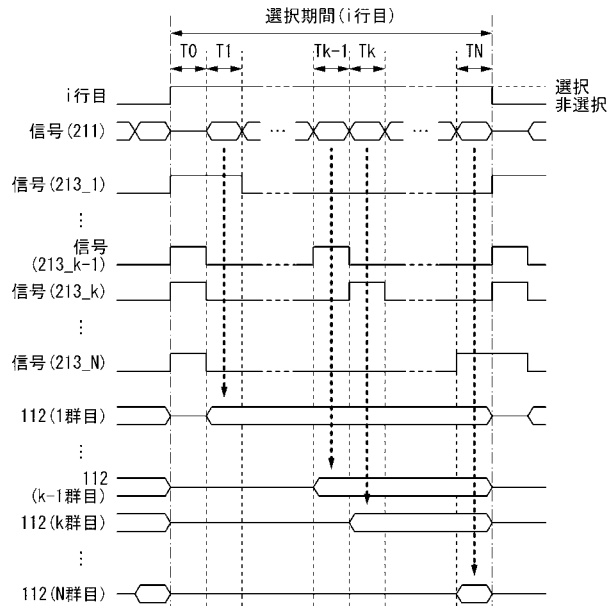
【図 12】



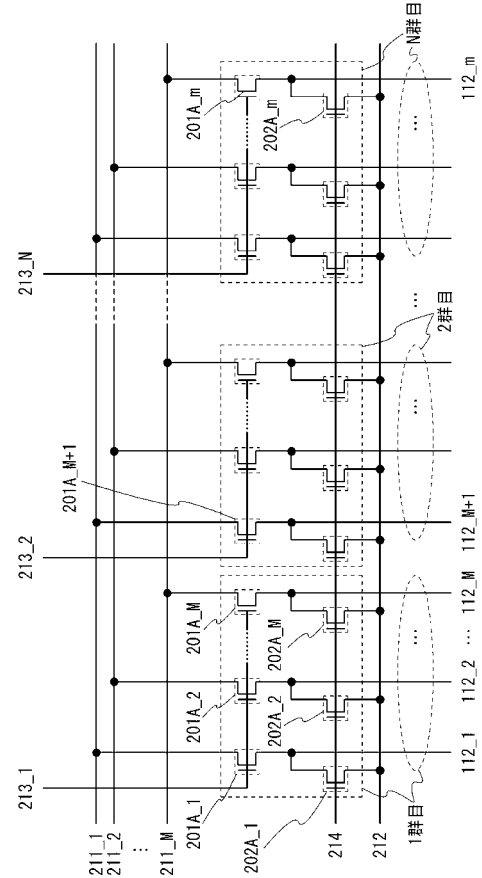
【図 13】



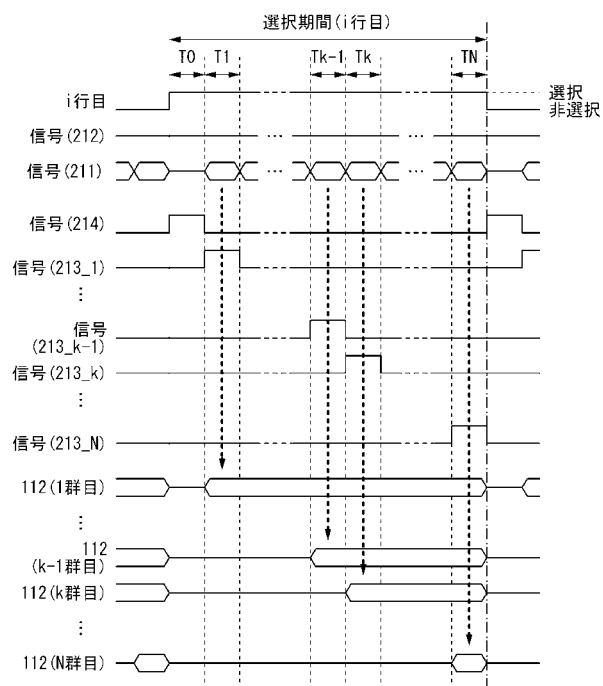
【図 1 4】



【図 1 5】

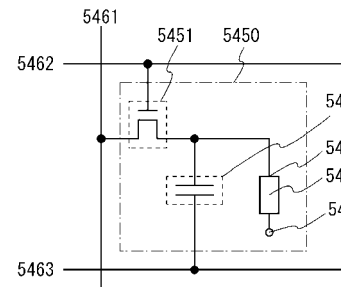


【図 1 6】

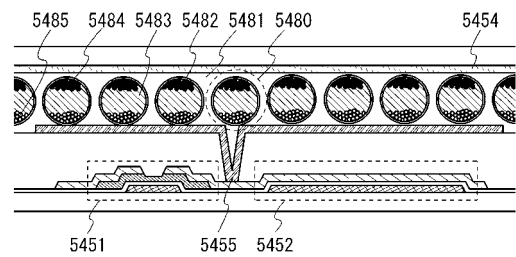


【図 1 7】

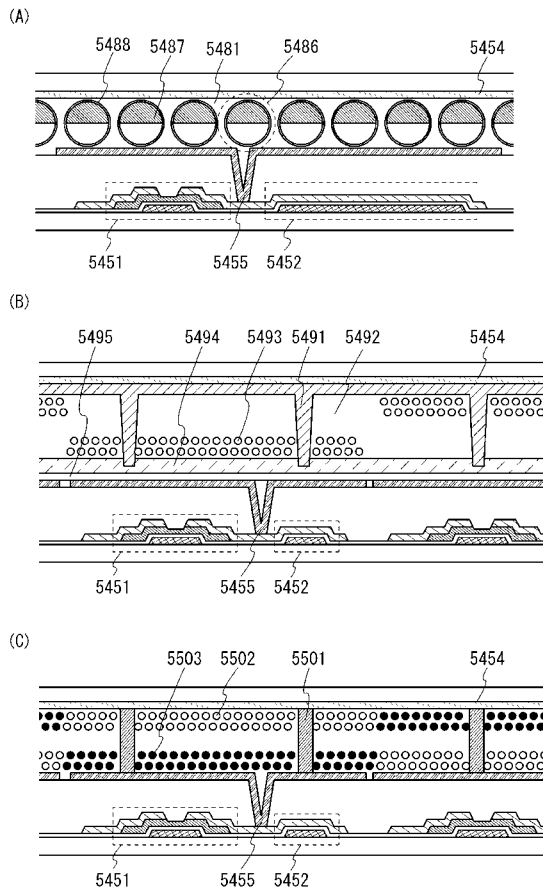
(A)



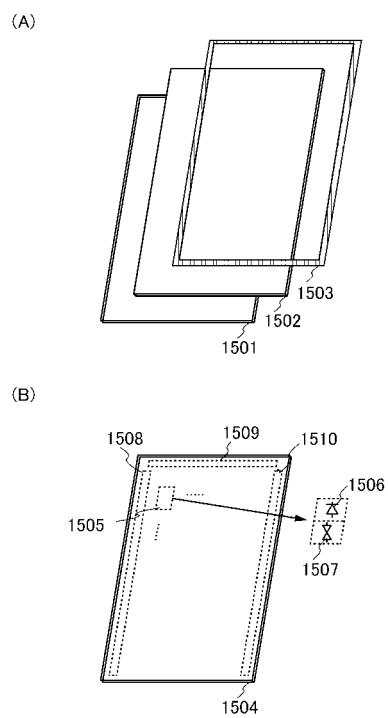
(B)



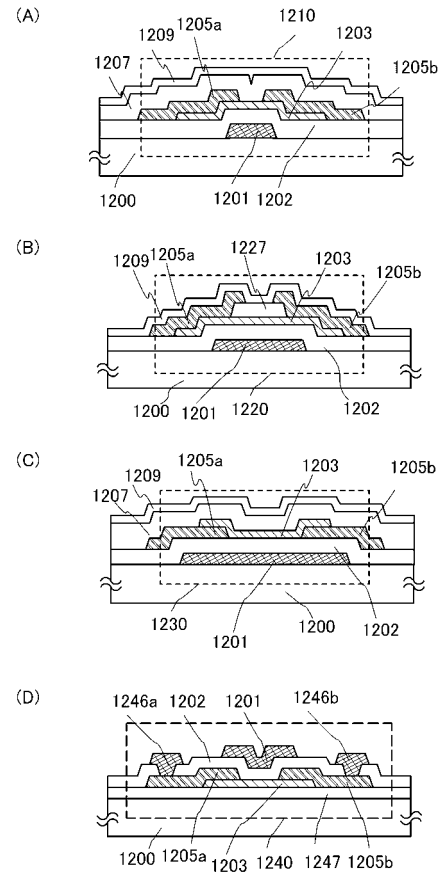
【図 18】



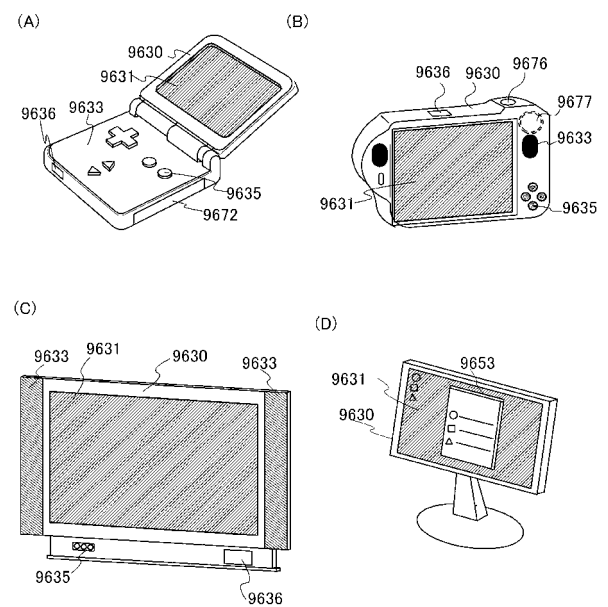
【図 20】



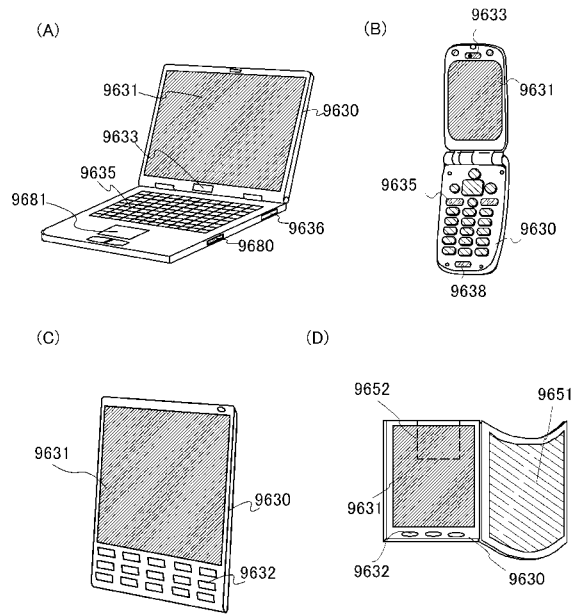
【図 19】



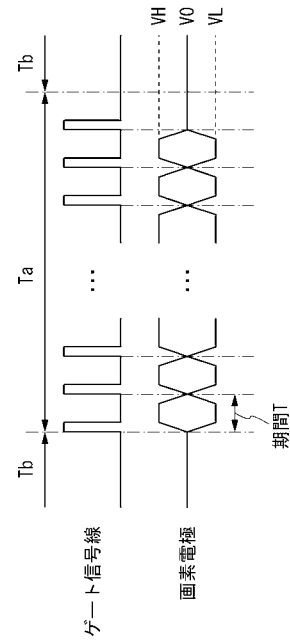
【図 21】



【図 22】



【図 23】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/36	
	G 0 2 F 1/133	5 5 0
	G 0 2 F 1/167	

F ターム(参考) 5C080 AA10 AA11 AA13 AA16 BB05 DD01 DD26 EE29 FF11 JJ02
JJ04 JJ06 KK01 KK07 KK43 KK47