

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7609154号
(P7609154)

(45)発行日 令和7年1月7日(2025.1.7)

(24)登録日 令和6年12月23日(2024.12.23)

(51)国際特許分類

F I

H 1 0 D 88/00 (2025.01)

H 0 1 L 27/12 B

H 0 1 L 21/02 (2006.01)

H 0 1 L 21/02 B

請求項の数 6 (全14頁)

(21)出願番号	特願2022-181395(P2022-181395)	(73)特許権者	000190149
(22)出願日	令和4年11月11日(2022.11.11)		信越半導体株式会社
(65)公開番号	特開2024-70722(P2024-70722A)		東京都千代田区大手町二丁目2番1号
(43)公開日	令和6年5月23日(2024.5.23)	(74)代理人	100102532
審査請求日	令和6年5月29日(2024.5.29)		弁理士 好宮 幹夫
早期審査対象出願		(74)代理人	100194881
			弁理士 小林 俊弘
		(74)代理人	100215142
			弁理士 大塚 徹
		(72)発明者	萩本 和徳
			群馬県安中市磯部二丁目13番1号 信
			越半導体株式会社 半導体磯部研究所内
		審査官	宇多川 勉

最終頁に続く

(54)【発明の名称】 高周波デバイス用基板およびその製造方法

(57)【特許請求の範囲】

【請求項1】

S O I 基板上に窒化物半導体膜が形成された高周波デバイス用基板であって、
前記S O I 基板は、C Zシリコン単結晶基板であるベース基板上に形成されたトラップ
リッチ層とシリコン単結晶からなるS O I 層とが酸化膜を介して接合されたT R S O I 基
板であり、

前記S O I 層は、抵抗率が1 k Ω ・ c m以上、結晶面方位が（1 1 1）、酸素濃度が0
． 5 p p m a 以下〔J E I D A〕のものであることを特徴とする高周波デバイス用基板。

【請求項2】

前記ベース基板は、結晶面方位が（1 0 0）のC Zシリコン単結晶基板であることを特
徴とする請求項1に記載の高周波デバイス用基板。

【請求項3】

前記ベース基板は、抵抗率が1 k Ω ・ c m以上のものであることを特徴とする請求項1
または請求項2に記載の高周波デバイス用基板。

【請求項4】

S O I 基板上に窒化物半導体膜を形成した高周波デバイス用基板の製造方法であって、
前記S O I 基板として、C Zシリコン単結晶基板であるベース基板上に形成したトラッ
プリッチ層とシリコン単結晶からなるボンド基板とを酸化膜を介して接合して得た接合基
板において、前記ボンド基板を薄膜化することでS O I 層を形成したT R S O I 基板を用
意する工程と、

前記SOI層上に前記窒化物半導体膜を形成する工程とを含み、

前記ボンド基板として、抵抗率が $1\text{ k}\Omega\cdot\text{cm}$ 以上、結晶面方位が (111) 、酸素濃度が 0.5 ppm 以下〔JEIDA〕のものを用いることを特徴とする高周波デバイス用基板の製造方法。

【請求項5】

前記ベース基板として、結晶面方位が (100) のCZシリコン単結晶基板を用いることを特徴とする請求項4に記載の高周波デバイス用基板の製造方法。

【請求項6】

前記ベース基板として、抵抗率が $1\text{ k}\Omega\cdot\text{cm}$ 以上のものを用いることを特徴とする請求項4または請求項5に記載の高周波デバイス用基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、高周波デバイス用基板およびその製造方法に関する。

【背景技術】

【0002】

GaNに代表される窒化物半導体はSiの材料としての限界を超える次世代の半導体材料として期待されている。近年、シリコン単結晶基板上に窒化物半導体のエピタキシャル成長を行うことで高周波デバイスを製造することが行われている。なお高周波デバイスでは、基板起因による特性劣化、基板による損失及び第2・3高調波特性劣化がみられる。

【0003】

高周波デバイス用基板は一般的に高抵抗率基板を用い、GaN層等のエピタキシャル成長を行い、高周波デバイスを作製している。高抵抗率基板を用いて、エピタキシャル層から下地Si基板に信号が流れないようにしている。また、高抵抗率シリコン基板上に窒化物半導体エピタキシャル層を積む場合、応力緩和層としてバッファ層を工夫することで窒化物半導体エピタキシャル層を積んでいる。

【0004】

また特許文献1、2にあるように、高周波デバイス用基板として、一般的にTR（トラップリッチ）層を設けたTR基板が普及しており、且つ、高抵抗率基板を使用することにより、周波数特性を上げている。この特許文献1等には高抵抗率のベース基板上にTR層、誘電体層（埋め込み酸化膜）、半導体層からなるものが記載されている。

【先行技術文献】

【特許文献】

【0005】

【文献】特許第7098851号

【文献】特開2022-70890号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

通常のTR基板を用いた高周波デバイスでは、2次高調波（2HD）の向上に限界があり、より一層高周波特性を向上させるには、TRSOI基板と高周波特性に優れるGaN層を組み合わせたGaN on TRSOI基板が有望と考えられる。

しかしながら、TRSOI基板にGaN層を積層したGaN on TRSOI基板であっても、Si基板の特性（抵抗率や酸素濃度）が影響して2次高調波特性が向上しないことがあった。

【0007】

本発明は上記課題を解決するためになされたもので、高周波特性が優れた高周波デバイス用基板およびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記目的を達成するために、本発明は、ＳＯＩ基板上に窒化物半導体膜が形成された高周波デバイス用基板であって、

前記ＳＯＩ基板は、ベース基板上に形成されたトラップリッチ層とシリコン単結晶からなるＳＯＩ層とが酸化膜を介して接合されたＴＲＳＯＩ基板であり、

前記ＳＯＩ層は、抵抗率が $1\text{ k}\Omega\cdot\text{cm}$ 以上、結晶面方位が（１１１）、酸素濃度が 14.8 ppm 以下のものであることを特徴とする高周波デバイス用基板を提供する。

【０００９】

このように窒化物半導体膜が形成されている基板がＴＲＳＯＩ基板で、かつ、そのＴＲＳＯＩ基板のＳＯＩ層が上記の $1\text{ k}\Omega\cdot\text{cm}$ 以上の高抵抗率を有し、しかもその酸素濃度が上記数値範囲のものであれば、優れた高周波特性を有する高周波デバイス用基板とすることができる。例えば従来品（ＴＲ基板など）ではせいぜい 2 HD で -91 dBm 程度が限界であったが、本発明ではその 2 HD をさらに低減することができ、一層優れた高調波特性を示すことが可能である。

またＳＯＩ層が上記結晶面方位を有することで、該ＳＯＩ層上の窒化物半導体膜は良好に形成されたものとなる。

【００１０】

この場合、前記ＳＯＩ層は、酸素濃度が 5.2 ppm 以下のものとすることができ、高周波特性が一層優れたものとすることができる。

さらに前記ＳＯＩ層は、酸素濃度が 0.5 ppm 以下のものとすることができ、高周波特性が、より一層優れたものとすることができる。

【００１１】

また前記ベース基板は、結晶面方位が（１００）のＣＺシリコン単結晶基板のものであることができる。

ＣＺ法による結晶面方位（１００）のベース基板は生産歩留りが良い傾向にあり安価でかつ高品質なものとなり、ひいては安価で高精度の高周波デバイス用基板となる。

【００１２】

また前記ベース基板は、抵抗率が $1\text{ k}\Omega\cdot\text{cm}$ 以上のものとすることができ、

ベース基板がこのような $1\text{ k}\Omega\cdot\text{cm}$ 以上の高抵抗率のものであれば、高周波特性がより優れたものとすることができる。

【００１３】

また本発明は、ＳＯＩ基板上に窒化物半導体膜を形成した高周波デバイス用基板の製造方法であって、

前記ＳＯＩ基板として、ベース基板上に形成したトラップリッチ層とシリコン単結晶からなるボンド基板とを酸化膜を介して接合して得た接合基板において、前記ボンド基板を薄膜化することでＳＯＩ層を形成したＴＲＳＯＩ基板を用意する工程と、

前記ＳＯＩ層上に前記窒化物半導体膜を形成する工程とを含み、

前記ボンド基板として、抵抗率が $1\text{ k}\Omega\cdot\text{cm}$ 以上、結晶面方位が（１１１）、酸素濃度が 14.8 ppm 以下のものを用いることを特徴とする高周波デバイス用基板の製造方法を提供する。

【００１４】

このような本発明の製造方法であれば、優れた高周波特性（例えば２次高調波特性など）を有する高周波デバイス用基板を製造することができるし、窒化物半導体膜も良好に形成することができる。

【００１５】

このとき前記ボンド基板として、酸素濃度が 5.2 ppm 以下のものを用いることができ、高周波特性が一層優れたものを得ることができる。

さらに前記ボンド基板として、酸素濃度が 0.5 ppm 以下のものを用いることができ、高周波特性がより一層優れたものを得ることができる。

【００１６】

また前記ベース基板として、結晶面方位が（１００）のＣＺシリコン単結晶基板を用い

10

20

30

40

50

ることができる。

結晶面方位（１００）の高品質のベース基板を安価で用意することが可能である。

【００１７】

また前記ベース基板として、抵抗率が $1\text{ k}\Omega\cdot\text{cm}$ 以上のものを用いることができる。

このようにすれば、高周波特性がより優れたものを得ることができる。

【発明の効果】

【００１８】

本発明の高周波デバイス用基板およびその製造方法であれば、２ＨＤなどの高周波特性が優れている高周波デバイス用基板を得ることが可能である。

【図面の簡単な説明】

【００１９】

【図１】本発明の高周波デバイス用基板の一例を示す概略説明図である。

【図２】本発明の高周波デバイス用基板の製造方法の一例を示す工程図である。

【図３】高周波デバイス用基板にＣＰＷ電極を形成した複合体の一例を示す概略構造図である。

【図４】ＣＰＷ電極の概略平面図である。

【図５】実施例１－３、比較例１－３の高調波特性（２ＨＤ）の測定結果を示すグラフである。

【発明を実施するための最良の形態】

【００２０】

以下、本発明の実施形態について図面を参照して説明するが、本発明はこれに限定されるものではない。

まず、前述したように本発明はＳＯＩ構造を有する高周波デバイス用基板に関し、特に、ＳＯＩ構造の酸化膜（すなわち、埋め込み酸化膜：ＢＯＸ膜）に近い領域での反転層の形成に抵抗する支持基板（ベース基板）を有する高周波デバイス用基板に関するものである。

【００２１】

抵抗率の高い半導体基板（例えばシリコンウエハ）では、ＢＯＸ膜と支持基板との界面で導電性の高い電荷反転層や電荷蓄積層が形成されやすく、これにより基板の有効抵抗率が低下し、寄生電力損失が生じるとともに、デバイスをＲＦ周波数で動作させる場合にデバイスの非線形性が生じる。

【００２２】

表面に非常に近い領域であっても基板の高抵抗率が維持されるように、誘導されたいずれかの反転層（または蓄積層）中で電荷を捕捉するための方法が開発されている。高抵抗率支持基板と埋め込み酸化膜との間に電荷トラップ層（ＣＴＬ）を設けることにより、ＳＯＩ基板を用いて製造したＲＦデバイスの性能が向上することが知られている。こうした捕捉性の高い界面層を形成する方法が複数提案されている。例えば、ＲＦデバイス用途で電荷トラップ層を有する半導体オンインシュレータ（例えばシリコンオンインシュレータ、すなわちＳＯＩ）を形成する方法の１つは、抵抗率の高いシリコン基板の上にアンドープ（ドーピングされていない）多結晶シリコン膜を堆積させるステップと、酸化膜およびその上に設けられたシリコン層の積層体を形成するステップとに基づくものである。多結晶シリコン層は、シリコン基板と埋め込み酸化膜との間で欠陥の多い層として機能する。

【００２３】

学術研究では、酸化膜と基板との間に多結晶シリコン層を設けることにより、デバイスの分離性が改善すること、伝送ラインの損失が低減すること、および高調波歪みが低減することが示されている。例えば、以下の文献を参照。

・H. S. Gamble, et al. "Low-loss CPW lines on surface stabilized high resistivity silicon," Microwave Guided Wave Lett., 9(10), p. 395-397, 1999

10

20

30

40

50

・D. Lederer, R. Lobet and J. -P. Raskin, "Enhanced high resistivity SOI wafers for RF applications," IEEE Intl. SOI Conf., pp. 46-47, 2004

・D. Lederer and J. -P. Raskin, "New substrate passivation method dedicated to high resistivity SOI wafer fabrication with increased substrate resistivity," IEEE Electron Device Letters, vol. 26, no. 11, pp. 805-807, 2005

・D. Lederer, B. Aspar, C. Laghae and J. -P. Raskin, "Performance of RF passive structures and SOI MOSFETs transferred on a passivated HR SOI substrate," IEEE International SOI Conference, pp. 29-30, 2006

・Daniel C. Kerret al. "Identification of RF harmonic distortion on Si substrates and its reduction using a trap-rich layer", Silicon Monolithic Integrated Circuits in RF Systems, 2008. SiRF 2008 (IEEE Topical Meeting), pp. 151-154, 2008

【0024】

従来では高周波デバイス用基板として特許文献1等のようなTR基板等を用いて高周波特性の向上を図ってきたものの、その向上には限界が見られた（例えば2HDで-91dBm）。

このような状況下で本発明者が鋭意研究を行ったところ、GaN on TRSOIのような高周波デバイス用基板（TRSOI基板+窒化物半導体膜）において、上記高周波特性の向上にはSOI層の酸素濃度に依存性があることがわかった。そして本発明者は、そのSOI層（高抵抗率 $[1\text{ k}\Omega\cdot\text{cm}]$ 以上）、結晶面方位が (111) の酸素濃度が14.8ppma以下であれば、より優れた高周波特性を有するものとなることを見出し、本発明を完成させた。

【0025】

本発明の高周波デバイス用基板について説明する。図1に本発明の高周波デバイス用基板の一例を示す。本発明の高周波デバイス用基板1は、SOI基板2と該SOI基板2上の窒化物半導体膜3とを有している。そしてSOI基板2では、ベース基板4上にトラップリッチ層5（TR層）、酸化膜6（埋め込み酸化膜（BOX膜））、SOI層7（シリコン単結晶層）が順に積層された構造になっている。

【0026】

以下、各部について詳述する。

上記SOI基板2はベース基板4上に形成されたTR層5とSOI層7とが酸化膜6を介して接合されたTRSOI基板である。例えば、ベース基板4とTR層5からなる構造体と、SOI層7になるボンド基板の、いずれか一方または両方の表面に酸化膜6を形成したものを貼り合わせ、ボンド基板を薄膜化することによって、上記のTRSOI基板の構造を得ることができる。

【0027】

ベース基板4は例えばシリコン基板とすることができ、特に結晶面方位が (100) のCZ法によるシリコン単結晶基板とすることができ、安価で高品質なものを用意しやすいためである。

また、ベース基板4の抵抗率は特に限定されず、反りを容易に制御するには、破断荷重の大きい、低抵抗率ベース基板でも良い。ドーパント濃度を高くすることでベース基板の

10

20

30

40

50

強度が増加し、反りを抑制することができる。一方で高抵抗率のもの、例えば $1\text{ k}\Omega \cdot \text{cm}$ 以上のものとする 것도でき、この場合、高周波特性がより優れた高周波デバイス用基板とすることができる。好ましくは $3\text{ k}\Omega \cdot \text{cm}$ 以上、さらに好ましくは $5\text{ k}\Omega \cdot \text{cm}$ 以上とすることができ、高周波特性の面でより有利なものとすることができる。この抵抗率の上限は特に限定されず、高い値であるほど高周波特性の向上を図ることができるが、例えば $50\text{ k}\Omega \cdot \text{cm}$ とすることができる。

【0028】

TR層5は層中の欠陥により電荷をトラップする効果がある層のことであり、この機能を有するものであれば良く、例えばノンドープのポリシリコン層や、イオンインプラネーションによりベース基板表面に形成されたダメージ層などとすることができる。

10

酸化膜6は例えば熱酸化によるシリコン酸化膜とすることができる。

【0029】

SOI層7は、抵抗率が $1\text{ k}\Omega \cdot \text{cm}$ 以上、結晶面方位が (111) 、酸素濃度が 14.8 ppm 以下のものである。

$1\text{ k}\Omega \cdot \text{cm}$ 以上の高抵抗率であるため、高周波デバイス用基板1の高周波特性が向上される。好ましくは $3\text{ k}\Omega \cdot \text{cm}$ 以上、さらに好ましくは $5\text{ k}\Omega \cdot \text{cm}$ 以上とすることができ、高周波特性の面でより有利なものとすることができる。この抵抗率の上限は特に限定されず、高い値であるほど高周波特性の向上を図ることができるが、例えば $150\text{ k}\Omega \cdot \text{cm}$ とすることができる。

また結晶面方位が (111) であることで、SOI層7上に良好な窒化物半導体膜を好適に形成することができる。

20

【0030】

また前述したように本発明者は高周波特性がこのSOI層7の酸素濃度に依存することを見出しており、酸素濃度が 14.8 ppm 以下であれば従来品よりも優れた高周波特性を得ることができる。

例えば2次高調波(2HD)に関しては、従来品では -91 dBm 程度で改善の限界があったが、本発明であればそれよりもさらに改善することが可能であり、例えば -95 dBm 程度にまで低減して向上させることができる。そして酸素濃度が 5.2 ppm 以下であれば、例えば -105 dBm 程度にまで改善でき、さらに 0.5 ppm 以下であれば、例えば -115 dBm 程度、またはそれ以上に改善することも可能である。なお酸素濃度が低いほど高周波特性の改善の面で好ましく、下限を設けることはできない。

30

なお本願明細書において、本発明における酸素濃度の値(および、後述する各比較例の従来品における酸素濃度の値)はJEIDA-61-2000規格によるものである。

【0031】

窒化物半導体膜3としては特に限定されず、目的に応じた窒化物半導体を採用できるが、例えばGaN、AlN、AlGaNやそれらの組み合わせなどが挙げられる。

【0032】

以上のような本発明の高周波デバイス用基板1であれば、高周波特性に関して従来品よりも優れたものとなる。

【0033】

40

次に、図1の高周波デバイス用基板1を製造することができる、本発明の高周波デバイス用基板の製造方法について説明する。図2は本発明の製造方法のフローの一例である。TRSOI基板の用意の工程と、窒化物半導体膜の形成の工程とを含んでいる。

【0034】

以下、具体例を示しながら各工程について詳述する。

<TRSOI基板の用意>

まずベース基板を用意し、その上にTR層を形成する。

例えば直径 150 mm の高抵抗率 ($1 \sim 50\text{ k}\Omega \cdot \text{cm}$) のベース基板(Si基板)を用意する。特に、チョクラルスキー法により結晶軸方位 $\langle 100 \rangle$ のシリコン単結晶インゴットを育成し、それをワイヤソー装置によりスライスして結晶面方位 (100) のシ

50

リコン単結晶基板を用意することができる（ベース基板：（１００）j u s t基板）。なお、ベース基板に関してここでは上記のように（１００）j u s t基板を例に挙げて説明するが、オフ角を有するものとすることもできる。

そのようにして用意したベース基板の上にトラップリッチ層（ＴＲ層）となるp o l y - S i層を減圧ＣＶＤ法にて厚さ１００nm～３μmだけ成長させる。成長条件の例としては、気相成長装置の反応管内の温度を例えば５９０℃以上に設定するとともに、例えばモノシラン（S i H₄）ガスおよびフォスフィン（P H₃）ガスを反応管内に導入し、反応管内を所定の真空度に維持しながら成長することができる。または、ジシラン（S i₂ H₆）ガスを用い、５８０℃以下の温度でアモルファスシリコン膜を成膜し、この薄膜を例えば６００～１０００℃程度の温度でアニールしてポリ化する方法もある。

前述したようにＴＲ層とは、層中の欠陥により電荷をトラップする効果がある層のことであり、この機能を有するものであればよく、ポリシリコンに限定されない。例えば、S i結晶にイオンインプランテーションで形成したダメージ層とすることができる。例えばベース基板表面に上記ダメージ層を形成することができる。

【００３５】

次に、シリコン単結晶からなるボンド基板を用意し、ベース基板とボンド基板とを酸化膜を介して接合して接合基板を得る。そして、該接合基板中のボンド基板を薄膜化することでＳＯＩ層を形成する（ＴＲＳＯＩ基板の作製）。

まずボンド基板を用意するが、例えばＣＺ単結晶基板とすることもできるし、ＦＺ単結晶基板とすることもできる。後にＳＯＩ層となり、その上に窒化物半導体膜を積層して形成することから結晶面方位が（１１１）のものを用意する。例えばＣＺ法やＦＺ法におけるインゴットの製造条件を適宜調整して結晶軸方位が＜１１１＞のインゴットを育成し、スライスすれば良い（ボンド基板：（１１１）j u s t基板）。

なお、ボンド基板に関してオフ角を有するものとすることもできるが、特には±１度以内のものとするのが好ましい。その場合、その上に形成する窒化物半導体膜をより確実に均一で高品質なものとすることができる。

この際、ドーパントの濃度を適宜調整して高抵抗率（１kΩ・cm以上）とする。

さらには結晶中の酸素濃度について１４．８ppma以下に制御する。ＣＺ法であればＣＺ引上げ装置におけるルツボの回転速度の調整等により、インゴット中の酸素濃度の調整が可能であり、より好ましくは５．２ppma以下に調整することができる。またＦＺ法であれば特には０．５ppma以下のような低酸素濃度のものでも簡便に用意することができる。ボンド基板（ＳＯＩ層）の酸素濃度を低くすることで高周波特性が更に向上し、２ＨＤをさらに低減することができる。

【００３６】

そして、ベース基板上に形成したポリシリコン層上に例えば２００nmの酸化膜（ＢＯＸ膜となる）を形成し、ＳＯＩ層となる上記の（１１１）ボンド基板（１～１５０kΩ・cm、好ましくは３kΩ・cm以上、さらに好ましくは５kΩ・cm以上。）と結合（接合）した後、ボンド基板を薄膜化してＳＯＩ層を形成する。ＳＯＩ層の厚さは例えば１００nmとすることができる。

酸化膜は、ベース単結晶基板とボンド単結晶基板を介した酸化膜の膜厚が例えば２nm以上４７０nm以下になるように形成することができる。当然ながら、両基板を結合した後の酸化膜の膜厚を２nm以上４７０nm以下とすることができる。なお酸化膜はベース基板上に形成したポリシリコン層側に形成しても良いし、ボンド基板側に形成しても良い。またその両方に形成しても良い。

熱処理（結合熱処理）の条件（雰囲気、温度、時間等）は、ベース基板とボンド基板の結合ができれば特に限定されない。この結合熱処理の温度は、例えば、窒素雰囲気で４００℃以上１２００℃以下、１～１２時間の結合熱処理とすることができる。

ボンド基板の薄膜化の方法としては、例えばイオン注入剥離法が挙げられる。ボンド基板にイオン注入層を予め形成しておき、接合後の接合基板に対して、剥離熱処理によりイオン注入層で剥離しても良いし、機械的にイオン注入層で剥離しても良い。

10

20

30

40

50

【0037】

＜窒化物半導体膜の形成＞

上記のようにしてTRSOI基板を用意したら、SOI層上に窒化物半導体膜を形成する。

TRSOI基板上に、例えば、AlN初期層を積み、AlGaN層、GaN層、SLs層（AlGaN／GaNまたはAlN／GaNの超格子層）、その上にGaN層を積み、総厚1.8μmとする。MOCVD法によるエピタキシャル成長によりこれらの層を形成することができる。

なお基板中の酸素によるサーマルドナーは考えにくい。エピタキシャル成長温度は1200～1050程度で最低でも4時間の熱履歴が加わり、サーマルドナーが形成されることはないと考えられるし、冷却も急冷に近いためである。

10

【0038】

上記の工程の説明中に挙げた、SOI層中の抵抗率（1kΩ・cm以上）・結晶面方位（111）・酸素濃度（14.8ppma以下）以外の、各部の膜厚や抵抗率、工程温度等の数値は一例であり、本発明においてそれらの数値に限定されるものではない。

【0039】

以上のような本発明の製造方法によって、従来よりも高周波特性が改善された高周波デバイス用基板1を製造することができ、2HDが-91dBmよりもさらに低減されたものを得ることができる。

【実施例】

20

【0040】

以下、実施例および比較例を示して本発明をより具体的に説明するが、本発明はこれらの実施例に限定されるものではない。

（実施例1）

図1に示す高周波デバイス用基板1（TRSOI基板+窒化物半導体膜）を図2のフローに従い製造した。

ベース基板4：CZSi単結晶基板、（100）面が主面、8kΩ・cm

TR層5：ポリシリコン層、厚さ1.8μm

酸化膜6（BOX膜）：厚さ200nm

SOI層7（ボンド基板）：CZSi単結晶、（111）面が主面、5kΩ・cm、酸素濃度14.8ppma、厚さ100nm

30

窒化物半導体膜3：AlN初期層とAlGaN層とGaN/AlNのSLs構造とからなるバッファ層を積層し、その上にGaN層を積層、総厚1.8μm

【0041】

TR層、酸化膜、SOI層、窒化物半導体膜の製造条件は下記の通りである。

TR層：ベース基板上に、トラップリッチ層（電荷捕獲層）として、1050℃でポリシリコン層を形成させた後、その表面を研磨して、厚さを1.8μmとした。

酸化膜：ボンド基板を熱酸化することにより形成した。

SOI層：ボンド基板の上面（ベース基板と接合する側）から水素を注入して、ボンド基板内部に微小気泡層（イオン注入層）を形成した。微小気泡層を有したボンド基板を、先に成膜したベース基板のポリシリコン層の表面に貼り付けた。次いで、熱処理を行い、微小気泡層を剥離界面としてボンド基板をスプリットすることで、酸化膜上に薄く残ったボンド層すなわちSOI層を形成した。次いで、SOI層をタッチポリッシュして、膜厚100nmのSOI層を得た。

40

窒化物半導体：各層の成長温度は以下の通りである。初期層AlNは1050～1200℃、AlGaN層は1150～1050℃、SLs構造は1100～1000℃、GaNは1000～900℃である。

【0042】

上記高周波デバイス用基板においてRF電極を形成して特性評価を行った。

具体的には、高周波デバイス用基板1に対して、フォトリソグラフィープロセスにてC

50

PW (Co-Planar Waveguide) の Al 電極 (厚さ $1\ \mu\text{m}$ 、長さ $2199\ \mu\text{m}$) を形成し、熱処理を施した。このようにして、図 3 (構造図) 及び図 4 (平面図) に示す複合体 20 を得た。

複合体 20 は、高周波デバイス用基板 1 と、その窒化物半導体膜 3 の表面に形成された CPW 電極 10 とを含んでいた。

CPW 電極 10 は、長さ L (図 4) が $2199\ \mu\text{m}$ で、幅が $15\ \mu\text{m}$ である中心電極 11 と、周辺電極 12 とを含んでいた。中心電極 11 及び周辺電極 12 の厚さは、 $1\ \mu\text{m}$ であった。

【0043】

そして CPW 電極 10 を用いて、高周波デバイス用基板 1 の RF 特性として高調波特性 (2HD) を取得した。

なお、測定条件に関しては、上記 CPW 電極 10 の形状、基本周波数 (H1) $f_0 = 0.9\ \text{GHz}$ の出力 $P_{\text{out}} = 15\ \text{dBm}$ を、実施例 1 及び後述する各実施例や各比較例で揃えた。

実施例 1 では、その結果、 $-95\ \text{dBm}$ であった。

【0044】

(実施例 2)

SOI 層の酸素濃度が $5.2\ \text{ppma}$ であること以外は実施例 1 と同様にして高周波デバイス用基板、CPW 電極を作製し、高調波特性 (2HD) を取得した。

その結果、 $-104.8\ \text{dBm}$ であった。

【0045】

(実施例 3)

SOI 層の酸素濃度が $0.3\ \text{ppma}$ (ボンド基板は FZSi 単結晶) であること以外は実施例 1 と同様にして高周波デバイス用基板、CPW 電極を作製し、高調波特性 (2HD) を取得した。

その結果、 $-114.2\ \text{dBm}$ であった。

【0046】

(比較例 1)

ベース基板の抵抗率が $5\ \text{k}\Omega \cdot \text{cm}$ 、SOI 層の酸素濃度が $17.1\ \text{ppma}$ であること以外は実施例 1 と同様にして高周波デバイス用基板、CPW 電極を作製し、高調波特性 (2HD) を取得した。

その結果、 $-89.9\ \text{dBm}$ であった。

【0047】

(比較例 2)

GaN on Si 構造体を製造した。具体的には Si 基板 (FZSi 単結晶基板、(111) 面が主面、 $5\ \text{k}\Omega \cdot \text{cm}$ 、酸素濃度 $0.5\ \text{ppma}$) 上に、窒化物半導体膜として実施例 1 と同様にして SLs 構造等のバッファ層を積層し、その上に GaN 層を積層した。総厚 $1.8\ \mu\text{m}$ であった。

この比較例 2 は窒化物半導体膜を有するものの、該窒化物半導体膜が形成されるのが Si 基板上であって TRSOI 基板上ではない点で本発明品である各実施例と異なっている。

実施例 1 と同様にして CPW 電極を作製し、高調波特性 (2HD) を取得した。

その結果、 $-84\ \text{dBm}$ であった。

【0048】

(比較例 3)

TR 基板の高周波特性評価のため、TRSOI 基板から SOI 層を除去して酸化膜付き TR 基板を製造した。TRSOI 基板の製造方法は、具体的には、ベース基板の Si 基板 ((100) 面が主面、 $5\ \text{k}\Omega \cdot \text{cm}$ 、酸素濃度 $13.1\ \text{ppma}$) 上に厚さ $1.8\ \mu\text{m}$ のポリシリコン層を形成し、ボンド基板の Si 基板に厚さ $200\ \text{nm}$ の酸化膜や、微小気泡層を形成し、ボンド基板の酸化膜側をベース基板のポリシリコン層表面に貼り付けた後、熱処理を行い、微小気泡層を剥離界面としてボンド基板をスプリットすることで SOI

10

20

30

40

50

層を形成し、タッチポリッシュしてS O I層を薄膜化してT R S O I基板を得た。その後、上記S O I層を剥ぎ、酸化膜付きT R基板を得た。

この酸化膜付きT R基板の酸化膜上に実施例1と同様にしてC P W電極を作製し、高調波特性(2 H D)を取得した。

その結果、 -91 dBm であった。

なお、この比較例3は、本発明品におけるS O I層7および窒化物半導体膜を有していない点で本発明品である各実施例と異なっている。

【0049】

実施例1-3、比較例1-3の高調波特性(2 H D)の測定結果を図5に示す。比較例1-3のうち比較例3が最も2 H Dを低減できていたが -91 dBm に留まった。これに対し、本発明を実施した実施例1-3においてはいずれも -91 dBm を超えて低減できしており、極めて良好であった。

【0050】

(実施例4)

S O I層の酸素濃度が 0.5 ppm a(ボンド基板はF Z S i単結晶)であること以外は実施例1と同様にして高周波デバイス用基板、C P W電極を作製し、高調波特性(2 H D)を取得した。

その結果、 -112.4 dBm であった。

【0051】

(実施例5)

S O I層の抵抗率が $1\text{ k}\Omega\cdot\text{cm}$ であること以外は実施例1と同様にして高周波デバイス用基板、C P W電極を作製し、高調波特性(2 H D)を取得した。

その結果、 -94 dBm であった。

【0052】

(比較例4)

S O I層の酸素濃度が 17.1 ppm aであること以外は実施例1と同様にして高周波デバイス用基板、C P W電極を作製し、高調波特性(2 H D)を取得した。

その結果、 -89.6 dBm であった。

【0053】

実施例4、5においても2 H Dに関して -91 dBm を超えて低減できている。一方で比較例4では比較例3の -91 dBm に届かなかった。

【0054】

本明細書は、以下の態様を包含する。

[1]: S O I基板上に窒化物半導体膜が形成された高周波デバイス用基板であって、前記S O I基板は、ベース基板上に形成されたトラップリッチ層とシリコン単結晶からなるS O I層とが酸化膜を介して接合されたT R S O I基板であり、

前記S O I層は、抵抗率が $1\text{ k}\Omega\cdot\text{cm}$ 以上、結晶面方位が(111)、酸素濃度が 14.8 ppm a以下のものである高周波デバイス用基板。

[2]: 前記S O I層は、酸素濃度が 5.2 ppm a以下のものである上記[1]の高周波デバイス用基板。

[3]: 前記S O I層は、酸素濃度が 0.5 ppm a以下のものである上記[1]の高周波デバイス用基板。

[4]: 前記ベース基板は、結晶面方位が(100)のC Zシリコン単結晶基板である上記[1]から[3]のいずれかの高周波デバイス用基板。

[5]: 前記ベース基板は、抵抗率が $1\text{ k}\Omega\cdot\text{cm}$ 以上のものである上記[1]から[4]のいずれかの高周波デバイス用基板。

[6]: S O I基板上に窒化物半導体膜を形成した高周波デバイス用基板の製造方法であって、

前記S O I基板として、ベース基板上に形成したトラップリッチ層とシリコン単結晶からなるボンド基板とを酸化膜を介して接合して得た接合基板において、前記ボンド基板を

10

20

30

40

50

薄膜化することでSOI層を形成したTRSOI基板を用意する工程と、

前記SOI層上に前記窒化物半導体膜を形成する工程とを含み、

前記ボンド基板として、抵抗率が $1\text{ k}\Omega\cdot\text{cm}$ 以上、結晶面方位が(111)、酸素濃度が 14.8 ppm 以下のものを用いる高周波デバイス用基板の製造方法。

〔7〕： 前記ボンド基板として、酸素濃度が 5.2 ppm 以下のものを用いる上記〔6〕の高周波デバイス用基板の製造方法。

〔8〕： 前記ボンド基板として、酸素濃度が 0.5 ppm 以下のものを用いる上記〔6〕の高周波デバイス用基板の製造方法。

〔9〕： 前記ベース基板として、結晶面方位が(100)のCZシリコン単結晶基板を用いる上記〔6〕から〔8〕のいずれかの高周波デバイス用基板の製造方法。

〔10〕： 前記ベース基板として、抵抗率が $1\text{ k}\Omega\cdot\text{cm}$ 以上のものを用いる上記〔6〕から〔9〕のいずれかの高周波デバイス用基板の製造方法。

【0055】

なお、本発明は、上記実施形態に限定されるものではない。上記実施形態は例示であり、本発明の特許請求の範囲に記載された技術的思想と実質的に同一な構成を有し、同様な作用効果を奏するものは、いかなるものであっても本発明の技術的範囲に包含される。

【符号の説明】

【0056】

1…本発明の高周波デバイス用基板、 2…SOI基板、 3…窒化物半導体膜

4…ベース基板、 5…トラップリッチ層（TR層）、 6…酸化膜、

7…SOI層、

10…CPW電極、 11…中心電極、 12…周辺電極、

20…複合体。

10

20

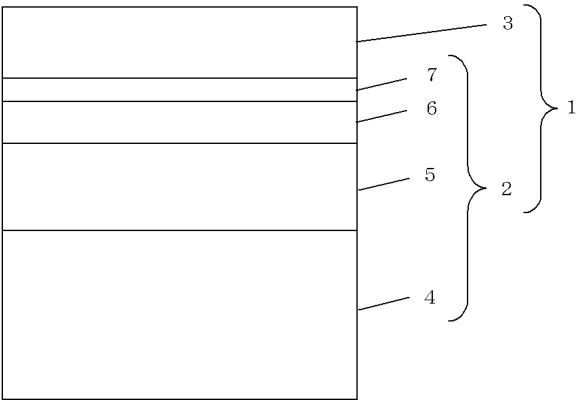
30

40

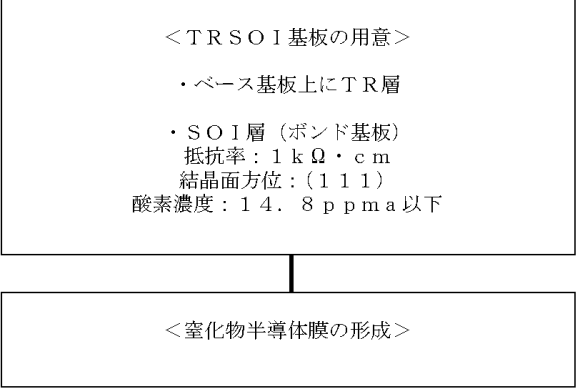
50

【図面】

【図 1】

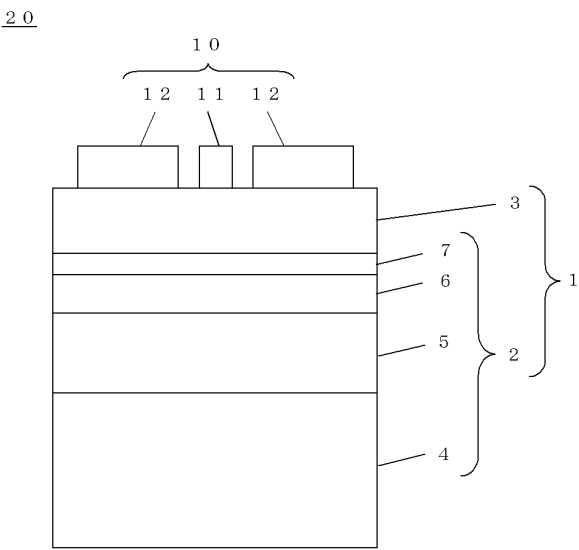


【図 2】

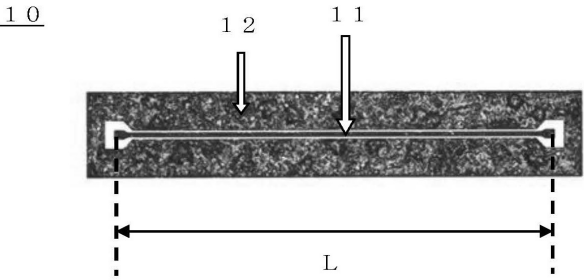


10

【図 3】



【図 4】



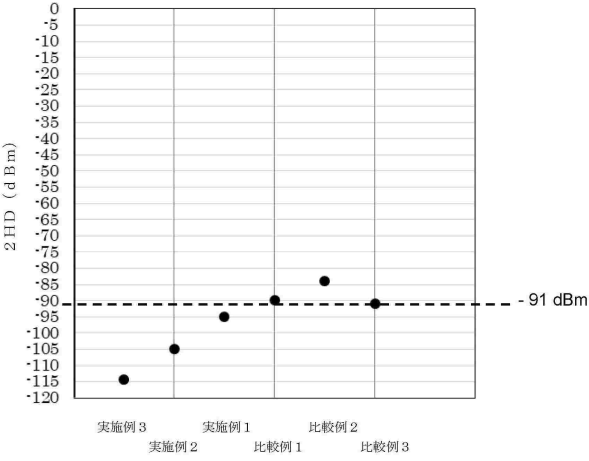
20

30

40

50

【図 5】



10

20

30

40

50

フロントページの続き

- (56)参考文献 特表 2019-517454 (JP, A)
 特表 2017-510055 (JP, A)
 特表 2019-523994 (JP, A)
 特許第 7142184 (JP, B2)
 特表 2021-531645 (JP, A)
- (58)調査した分野 (Int.Cl., DB名)
 H01L 21/02
 H01L 27/12