

(19)



SUOMI - FINLAND

(FI)

PATENTTI- JA REKISTERIHALLITUS

PATENT- OCH REGISTERSTYRELSEN

FINNISH PATENT AND REGISTRATION OFFICE

(10) **FI 770899 A7**

(12) **JULKISEKSI TULLUT PATENTTIHAKEMUS
PATENTANSÖKAN SOM BLIVIT OFFENTLIG
PATENT APPLICATION MADE AVAILABLE TO THE
PUBLIC**

(21) Patentihakemus - Patentansökan - Patent application 770899

(51) Kansainvälinen patenttiluokitus - Internationell patentklassifikation -
International patent classification
H03K

(22) Tekemispäivä - Ingivningsdag - Filing date 22.03.1977

(23) Saapumispäivä - Ankomstdag - Reception date 22.03.1977

(41) Tullut julkiseksi - Blivit offentlig - Available to the public 01.10.1977

(43) Julkaisupäivä - Publiceringsdag - Publication date 12.06.2019

(32) (33) (31) Etuoikeus - Prioritet - Priority

31.03.1976 FR EN7609391

(71) Hakija - Sökande - Applicant

1 •Compagnie Industrielle des Telecommunications Cit-Alcatel, 12, rue de la Baume, Paris, RANSKA, (FR)

(72) Keksijä - Uppfinnare - Inventor

1 •Deglin, Rene, France, RANSKA, (FR)

2 •Reymond, Gilbert, France, RANSKA, (FR)

(74) Asiamies - Ombud - Agent

Oy Jalo Ant-Wuorinen Ab, Iso Roobertinkatu 4 - 6 A, 00120 Helsinki

(54) Keksinnön nimitys - Uppfinningens benämning - Title of the invention

Ohjelmoitava sarjatyyppinen logiikka

Programmerbar logik av serietyp

COMPAGNIE INDUSTRIELLE DES TELECOMMUNICATIONS CIT-ALCATEL S.A.,
75008 Pariisi, Ranska

Ohjelmoitava sarjatyypin logiikka - Programmerbar logic
av serietyp

Tämä keksintö kohdistuu sarjatyypin logiikan elektronisten piirien rakennelmaan kun tähän liittyy muisti. Sitä voidaan käyttää millä tahansa teollisuusalaalla säädettäessä elektronisia tai sähkömagneettisia laitteita ja se on erityisen hyvin sovellettaessa teleliikenteessä.

Keksinnön on tarkoitus aikaansaada tietokoneen yhteydenpidon logiikka erityisesti tietokoneella säädettyä automaattista kytkentäkeskusta (puhelinkeskusta varten). Nykyisellä alan tasolla keskuksien tietokoneesäätö voidaan toteuttaa useilla eri tavoilla: joko suuri tietokone (keskusyksikkö) toteuttaa kaikki toiminnot erilaisten ohjelmoitujen tai johdotettujen logiikkalaitteitten avulla, joilla on alhainen logiikkakyky mutta suuri tietojenkäsittelykapasiteetti tai toisaalta joukko minitietokoneita toteuttaa asetetut osuudet tehtävistä ja ovat nämä keskustietokoneen kokonaisvalvonnan alaisena.

Toimintojen hajasijoittaminen on saavuttamassa yhä yleisempää hyväksyntää sen joustavuuden johdosta, minkä se aikaansaa ja koska se vapauttaa keskustietokoneen rutiinistyöstä.

Reunalaitteitten käyttö, joilla on mukana logiikkaa omaa kuitenkin tiettyjä haittapuolia: a) laitteistojen valmistaminen mitkä ovat erityisesti sovellettuja haluttuihin tehtäviin johtaa turhan suureen monimuotoisuuteen, kun taas sarjavalmistusteiden tietokoneitten käyttäminen on kallista siinä suhteessa, ettei näitten laitteitten koko kapasiteettia voida käyttää sekä b) erityisesti mikäli halutaan poistaa niin monia logiikkatoimintoja kuin mahdollista kytkentäpiiriltä itseltään tulee tarvittavien minitietokoneitten lukumäärä melko suureksi.

Tähän keksinnön mukainen ohjelmoitava sarjatyypin logiikka kykenee toteuttamaan minkä tahansa logiikkatoiminnan liittyen keskustietokoneen kytkentään siirtäen sen täysin passiiviselle kytkentäpiirille, kyseisen logiikkapiirin ollessa ohjelmoitu sopivalla tavalla kutakin haluttua käyttöä varten, kuten esim. luoksepääsyä varten tietokoneen sisääntulon ja ulostulon kiskoihin, kytkentäpiirin liitäntäpisteiden säädön logiikkaa varten tai linjalaitteitten logiikkaa ja muistien valvontaa varten.

Koska laite on sarjatyypin on tämän keksinnön mukainen logiikkapiiri valmistettu aritmeettisen ja loogisen käsittely-yksikön (ALU) ympärille, mihin liittyy tietty sarja rekistereitä ja muisti. Tämä aritmeettinen ja logiikkayksikkö, joka on tunnettua tyyppiä toimii kahdella syöttölähteen operandilla (syöttösanalla), jollaisena saattavat olla rekistereitten sisällöt, logiikkasisäänsyötöt tai muistin sanat ja se siirtää tulokset tiettyyn määräkohtaan kuten rekisteriin, ulostulojen ryhmään tai muistipaikkaan.

Operandien ja määräpaikkojen osoitteet ja toimintakoodit sisältyvät käskysanaan mikä sisältyy logiikan muistiin.

Keksinnö on erityisesti käyttökelpoinen sen toiminnallisen joustavuuden ansiosta. Ensinnäkin voivat rekisterit ja muisti peräjäkeen tai samanaikaisesti toimia syöttölähteinä ja määräkohteina suurelle valikoimalle toimenpiteitä. Tämä on mahdollista erityisesti sen johdosta että käytetään "ternääriseen" logiikan piirejä, toisin sanoen piirejä joista ulostulot saattavat olla kolmannessa, suuren impedanssin tilassa, mikä mahdollistaa kiskojohtimien käytön koko tässä piirissä ja toisekseen useita komplementtäärisiä toimintoja kuten koestuksia voidaan toteuttaa hyvin lyhyessä ajassa, paljon lyhyemmässä ajassa kuin mitä on se keskimääräinen aika, minkä käsky vaatii. Erityisesti mikä tahansa toimenpide, mikä ei itsessään ole koestus voidaan yhdistää tuloksen koestukseen.

Tämä keksintö aikaansaa ohjelmoitavan sarjatyypin logiikan piirin tietojen käsittelyä, elektronisten tai sähköisten laitteitten säätöä tai vähintään yhden keskisen säätöyksikön ja useiden sähköisten tai elektronisten laitteitten välillä tapahtuvan tietojenvaihdon lähettämistä sekä osittaista käsittelyä varten. Piiri on varustettu muistilla sisältäen käskysanoja, joita osoitetaan käskylaskimella ja tietosanoja, joita rekisteri osoittaa, aritmetiikan ja logiikan käsittely-yksiköllä (ALU), mikä kykenee käsittelemään kahden syöttölähteen sanoja, joista toinen on varastoituna sisääntulon rekisterissä sekä käskyrekisterillä ja joukolla tietorekistereitä.

Tämän keksinnön ominaisuuksiin kuuluu a) että ALU yksikölle pääsy tapahtuu multipleksoijan kautta, mistä ulostulo on kytketty rinnakkain sen sisääntulon rekisterin kanssa, joka sisältää ensimmäisen operandin sekä toisen operandin syöttölähteeseen ja mistä sisääntulot ovat kukin liitetty käskyrekisteriin sekä muistin ulostuloon, multipleksoijan lähtiessä käyntiin tietyn koodin mukaisesti käskyrekisteristä ja b) että ulostulon tiedot ALU yksiköstä siirretään määräpaikkaansa kiskossa, mikä on yhdistetty rinnakkain kunkin mahdollisen määräpaikan sisääntulon kanssa, ulostulon ALU yksiköstä ollessa yhdistetty tähän kiskoon logiikkapiirin kautta, mistä ulostulo muodostaa korkean impedanssin tapauksen mikäli sitä ei ole saatettu toimintaan.

Tämän keksinnön erästä suoritusmuotoa tullaan nyt kuvaamaan esimerkin avulla viitaten oheisiin piirustuksiin, joissa:

- Kuvio 1 on lohkokaavio sarjatyypisestä logiikasta tämän keksinnön mukaan.
- Kuvio 2 esittää ulostulon aaltomuotoja systeemin kellopiirissä.

Valittu esimerkki on TTL piireistä valmistettu sarjatyypinen logiikka, mikä on varustettu suoraan osoitettavissa olevalla modularityypisellä muistilla ja mikä on tarkoitettu toteuttamaan kaikki logiikkatoiminnot liittyen säätävän minitietokoneen liitäntään passiiviseen kytkentäpiiriin automaattikeskuksessa.

Aritmetiikan ja logiikan käsittely-yksikkö ALU (kuvio 1) käsittelee 12 bitin sanoja. Siinä on kaksi tietojen sisääntuloa 01 - 02, ulostulo S ja toiminnan koodin sisääntulo CO. Kyseinen A/L käsittely-yksikkö ALU saattaa muodostua kolmesta standardista TTL tyyppin SL 74181 integroidun piirin yksiköstä, mikä aikaansaa 16 logiikan ja 16 aritmeettisen toimenpiteen kapasiteetin (mukaan luettuna looginen summa ja tulo joko ilman muistinumeroa tai sen

kanssa, vähennyslasku jne).

Ulostulon kisko BS mahdollistaa luoksepääsyn määräpaikkoihin. Systeemissä on sisääntulon rekisteri EN, millä on pääsy ulostulon rekisterin SO sisääntuloihin, millä rekisterillä on pääsy ainoastaan ALU yksikön ulostuloihin ja on siellä indeksirekisterit X, Y ja akkuosa A, millä on pääsy sekä sisääntuloihin että ulostuloihin. Tietty muisti M ja sen käskylaskin C omaavat myös pääsyn sekä sisääntuloihin että ulostuloihin.

Pääsy ulostulon kiskoon BS tämän ALU yksikön ulostulosta S tapahtuu multipleksoijan MX1 kautta ternäärisin ulostuloin, mikä toteuttaa pääsyn joko suoraan 12-lankaisesta ulostulosta S tai epäsuoraan binäärisen koestuspiirin TB kautta, millä on 12 lankainen sisääntulo yhdistettynä ulostuloon S sekä 4 lankainen ulostulo täydennettynä kahdeksalla maadoitetulla johtimella kehittämällä binäärisen ulostulon "0". Binäärinen koestuspiiri TB on koodauslaite joka määrittelee paikan merkityksellisimmälle "0" sisääntulolleen binäärisenä koodina ja se voi muodostua esimerkiksi tapauksessa kahdesta standardista TTL 74148 piiristä rinnakkain kytkettynä. Ylimääräinen ulostulo TZ on päällä mikäli kaikki 12 koestettua sisääntuloa ovat tilassa "1".

Mainittu 12 lankainen kisko BS on liitetty ulostulon rekisterin SO, akun A, indeksirekistereiden X ja Y, laskimen C, portin P1 ja multipleksoijan MX2 sisääntuloihin. Portti P1 ja multipleksoija MX2 mahdollistavat pääsyn vastaaviin osiin muistin M binäärisiä sisääntulopaikkoja.

Muisti M on modularityyppinen ja muodostuu neljästä lohkoista kussakin 1024 sanaa. Kukin 16 bitin sana on jaettavissa kahteen erikseen osoitettavissa olevaan 8 bitin tavuun, lohkojen muodostuessa 16 erästä kussakin 1024 yksi bittistä sanaa. Ulostulo kussakin erästä saattaa joutua suuren impedanssin tilaan. Ternääriset ulostulot tunnistetaan kuviossa 1 pienin neliöin.

Osoittaminen tapahtuu 14 bitin tapaan: bitit 0 - 9 osoittavat tietyn erän eli lohkon sanaa, bitit 10 - 11 osoittavat lohkon ja bitit 12 - 13 saattavat sanan ensimmäisessä ja toisessa 8 bitin tavussa päälle. Ensimmäiset 12 bittia kolmannen multipleksoijan MX3 ulostulosta vastaanotetaan osoitteen sisääntuloon Ad muistissa M.

Tietojen ja käskyjen sisäänkeräämisen vaiheen aikana muistista päästään kolmannelle multipleksoijalle MX3 peruslaskimen C

avulla ja toimintavaiheessa sen luo päästään 14 bitin osoiterekisterin RAD kautta, mistä viimeiset kaksi ulostuloa on yhdistetty suoraan muistiin M.

Portti P2 ja neljäs multipleksoija MX4 muistin ulostulossa mahdollistavat 16 lankaiselle muistin kiskolle BM pääsyn, jossa valinnanvaraisena on toisen tavun muistin sanasta siirto käyttäen ensimmäistä tai viimeistä kahdeksan johtimen erää kiskosta. Tämä kisko mahdollistaa pääsyn käskyrekisterille MI (16 bittiä) ja viidennelle multipleksoijalle MX5 ALU yksikön sisääntulossa (tätä tullaan kuvaamaan myöhemmin) mikä myös sallii pääsyn ensimmäiseen sisääntuloon muistin osoitteen indeksointilaskimesta AD (12 bittiä). Toinen 12 lankainen sisääntulo laskimeen AD, nimittäin indeksin sisääntulo on yhdistetty multipleksoijan MX9 ulostuloon mikä mahdollistaa indeksirekistereille X ja Y sekä akkumulaattorille A pääsyn laskimelle AD.

Laskin AD on yhdistetty kahteen 14 bitin rekisteriin OP1 ja OP2 mitkä kykenevät varastoimaan kaksi muistin osoitetta. Bitit 0 - 11 syötetään näihin rekistereihin laskimesta ja bitit 12 ja 13 lisää muisti itse portin P2 kautta sisään.

Rekistereillä OP1 ja OP2 on ternääriset 14 bitin ulostulot, jotka on yhteiskytketty ja liitetty sisääntuloihin seuraavista laitteista:

- osoiterekisteriin RAD (14 johdinta)
- porttiin P3, mikä johtaa laskimelle C (12 johdinta, nimittäin 0-11)
- multipleksoijalle MX6 (12 johdinta eli johtimet 0-11), millä on pääsy multipleksoijalle MX5, jotta ALU yksikköä syötettäisiin joko rekistereiden OP1 tai OP2 yhteisestä ulostulosta tai laskimesta C.

Pääsy ALU yksikölle tapahtuu seuraavaan tapaan:

Multipleksoijalla MX5 on n kappaletta 12 johtimen sisääntuloa jolloin n on sen suorien syöttölähteitten lukumäärä (A, X, Y, PE, BM, MX6). Se on myös kahtena osana, oli vastaavasti käsittelybitteinä 0-7 sekä 8-11 mikä täten sallii 8 bitin ulostulon syöttämisen multipleksoijasta MX7. Operandin sana l varastoidaan muistiin RE ennen ALU yksikön sisääntuloa O1, bitit 0-7 vastaanotetaan sisääntuloon D1 rekisterissä RE käyttäen tähän TAI porttia P4, mikä hyväksyy sisääntulon joko multipleksoijasta MX7 tai 8 bitin osan multipleksoijan MX5 ulostulosta. Bitit 8-11 vastaanote-

taan sisääntuloon D2 rekisterissä RE. Operandin sana 2 syötetään ALU yksikön sisääntuloon 02 ja se muodostuu biteistä 0-7 saatuna portilta 4 sekä biteistä 8-11 multipleksoijalta MX5.

Toiminnan koodi, mikä käskyn sanaan sisältyy syötettynä käskymuistiin MI tuodaan ALU yksikön sisääntuloihin CO koodilaitteen DC kautta, mistä määrätyt ulostulot myös ohjaavat multipleksoijaa MX1 tuloksen koestamiseksi käyttäen binääristä koestuspiiriä TB.

Multipleksoijaa MX5 käytetään käskymuistista MI multipleksoijan MX8 kautta, mikä vuorotellen hyväksyy operandin koodin 1 (OR1) ja operandin koodin 2 (OR2) mitkä sisältyvät käskysanaan.

Käskysanaan sisältyvä määräpaikan koodi (DES) mahdollistaa kirjoittamisen määräpaikan yksikköön, jolloin väimemainitun osoittaminen toteutetaan demultipleksoijalla DX, mistä ulostulot VE1 - VEm on yhdistetty kirjoittamisen päällesaattaviin sisääntuloihin m kappaleesta määräpaikkayksikköjä.

Kuvatussa esimerkitapauksessa multipleksoija MX7 on käytössä luoksepääsyn avaamiseksi kellopiireille T0, T1, T2 ajoitusyksiköistä T, mitä kello BT käyttää.

Vuorojärjestyksessä tapahtuva käskyjen toteuttaminen tapahtuu eri vaiheissa t0 - t7, joista jotkin voidaan hypätä yli esim. niiden muistisanojen lukumäärän mukaisesti mikä tulee lukea ja ilmeisestikin koestustuloksen mukaisesti.

Vaiheet t0 - t7 ja välissä olevat aktiiviset osuudet ta - tb (kuviossa 2) määräytyvät ohjauslogiikan piirin FL avulla, mikä ryhmittelee suuren lukumäärän logiikkatoimintoja saattaen eri portit, multipleksoijat ja rekisterit toimintatilaan tarvittavina ajanhetkinä. Määräpaikkoja varten syötettynä ALU yksiköstä, mitkä paikat demultipleksoija DX on jo saattanut päälle, syöttää ohjaava logiikkapiiri FL päälle sen logiikkatilan, mikä liipaisee ALU yksikössä valmiina olevan tiedon kirjoittamisen tarvittavana ajanhetkenä.

Sisääntulot ohjaavaan logiikkapiiriin FL ovat seuraavat:

- kelloilta BT sisääntulot: ta, tb, tc sekä palautus Rz
- käskysanan luota: operandin koodit, määräpaikkakoodi, muut tiedot (X) kuten esim. luettavien muistisanojen lukumäärä, koestuksen tulos ja rajakohdan osoite
- tuloksen koestuspiiriltä TB:TZ.

Ohjaavan logiikkapiirin FL toiminnan yksityiskohtainen selitys ei auttaisi kuvatun sovellutuksen ymmärtämistä, niin että ohjaava logiikkapiiri FL, mikä ei sisällä mitään uusia ominaisuuksia ei ole nyt selityksen kohteena. Sen pääasialliset toiminnat tullaan kuitenkin luettelemaan tässä selityksessä toteutettaessa tiettyä käskyä.

Tämän keksinnön mukaisen logiikan toiminta tapahtuu kahdessa osassa: alkuunsaattaminen ja toteuttaminen.

Aloitussvaihe tapahtuu neljässä osavaiheessa, $t_0 - t_3$:

Vaihe t_0	Hetki	ta	Lue muistin osoite CO mikä sisältyy laski-
		tb	meen C
Vaihe t_1	Hetki	ta	Syötä sisään rekisteri MI
		tb	Lisää laskinta C ($C = C_0 + 1$)
			Koesta luettavien sanojen lukumäärä ja siirry kohtaan t_4 mikäli koetulos = 1
Vaihe t_2	Hetki	ta	Syötä sisään rekisteri OP1
		tb	Lisää sisältöä laskimessa C ($C = C_0 + 2$)
			Koesta luettavien sanojen lukumäärä ja siirry kohtaan t_4 mikäli koetulos = 2
Vaihe t_3	Hetki	ta	Syötä sisään rekisteri OP2
		tb	Lisää laskimen C sisältöä ($C = C_0 + 3$)
			Siirry toimintavaiheeseen

Suoritusvaihe muodostuu vaiheista $t_4 - t_7$:

Vaihe t_4	Hetki	ta	Koesta apulaitteet päällesaatettua sisään-
			tuloa tai valmiina olevaa ulostuloa varten.
			Mikäli koetulos on negatiivinen siirry koh-
			taan t_0
		tb	Syötä osoitteen rekisteri RAD kohdasta OP1,
			mikäli muisti on joko syöttölähteenä tai
			määräpaikkana paitsi mikäli:
			OR1 = on rekisteri)
			OR2 = OP1)
			DES: muisti) Missä tapauksessa OP2
			syötetään sisään RAD
Vaihe t_5	Hetki	ta	Avaa pääsy syöttölähteelle OR1
		tb	Syötä OR1 sisääntulon rekisteriin RE
Vaihe t_6	Hetki	ta	Avaa pääsy kohtaan OR2
		tb	Avaa pääsy määräpaikkaan
			Lue koestusbitti T
			($T=0$: siirry kohtaan T_0
			($T=1$: siirry kohtaan T_7)

Vaihe t7

Koesta 12 bittiä tuloksesta (piiri TB):
 mikäli yksikin ulostulo = "1" siirry kohtaan
 t0, mikäli kaikki ulostuloista = "0" syötä
 laskin C kohdasta OP1 tai OP2 käyttäen tähän
 "1" tai "0" siirtokohdan osoitetta, mikä
 on varastoituna rekisterissä MI.

Ylläolevaa sarjaa ohjataan logiikkatoiminnoilla, jotka sisältyvät ohjauslogiikan piiriin FL seuraavaan tapaan:

- vaiheen muutoksen käskyt: kellon hetket syötetään kohdasta BT (palautus, ta, tb ja tc kunkin kellojakson lopussa, lisäten nämä vaiheenlaskinta). Hyppykäskyt määritellään luettavana olevien sanojen lukumäärän perusteella (vaiheet t0 - t3) ja koestamistuloksien mukaisesti,
- eri piirien säätö: kussakin vaiheessa syötetään käskyjä vastaanotettujen koodien mukaisesti (syöttölähteet ja määräpaikat) tai yksinkertaisesti vaiheen mukaisesti (esim. päällesaattaen portti P3 ja multipleksoija MX1 vaiheessa T7).

Nyt tulee ymmärtää, että keksintö ei ole rajoitettu kuvattuun suoritustapaan, mikä edustaa pelkästään erityistä määriteltä toteutustapaa ja tekniikkasovellutusta.

Patenttivaatimukset:

1. Ohjelmoitavissa oleva sarjatyypinen logiikkapiiri tietojen käsittelyä varten, elektrodien tai sähköisten laitteiden säätämiseksi tai tietojen siirtämiseksi ja osittaiseksi käsittelyä varten niitä vaihdettaessa vähintään yhden keskeisen säätöyksikön sekä useiden sähköisten tai elektrodien laitteiden välillä, tämän sarjatyypisen logiikan ollessa varustettu muistilla sisältäen se käskysanoja ja tietosanoja, aritmetiikan ja logiikan käsittely-yksiköllä (ALU) sekä käskyrekisterillä, joukolla tietorekistereitä ja operandin rekistereillä, joista sisältö voidaan indeksoida lisäämällä määrätyn tietorekisterin tietoa, t u n n e t t u siitä, että tätä sarjatyypistä logiikkapiiriä ohjataan logiikkapiirillä, mitä systeemin kello ja käskyrekisteri käyttävät sen eri komponenttipiirien toiminnan ajoittamiseksi, ja missä pääsy tämän sarjatyypisen logiikkapiirin ALU yksikölle tapahtuu multiplexin kautta, mistä sisääntulot on yhdistetty tietojen ja ope-

randin rekistereitten muistiulostuloihin, ulostulon tästä aritmetiikan ja logiikan käsittely-yksiköstä ollessa yhdistetty ulostulokiskoon piirin kautta, minkä ulostulot saattavat joutua suuren impedanssin tilaan, tämän kiskon tuodessa muualle muistin sisään-tuloihin näistä tietojen ja operandien rekistereistä, täydellisen käsittelyn suoritettavana olevan käskyn mukaisesti tapahtuessa joukossa vaiheita ($t_0 - t_7$) ohjaavan logiikan säädön alaisena, mistä tietty ensimmäinen osuus ($t_0 - t_3$) on varattu yhden tai useiden sanojen hankintaa varten, mitkä sisältyvät käskyyn ja jäljelle oleva osuus ($t_4 - t_7$) vuorottelujärjestyksessä on osoitettu sarjatyyp-pisen logiikkapiirin sisääntulosten koestamiselle ja aritmetiikan ja logiikan käsittely-yksikön suorittamalle käskyn toteuttamiselle.

2. Patenttivaatimuksen 1 mukainen ohjelmoitava sarjatyypinen logiikkapiiri, t u n n e t t u siitä, että ALU yksikkö toteuttaa yhden toimenpiteen kutakin käskyä kohden kuten sillä toimintakoodilla määritellään, mikä sisältyy käskyrekisteriin ja millä on se ominaisuus, että mikä tahansa muu käsky kuin koestamiskäsky saattaa sisältää osan "koesta tulos", jolloin ALU yksikön ulostulo on yhdistetty koestamispiiriin ja ulostulon multipleksoijaan mistä sen ulostulot sisältävät suuren impedanssin ulostulotilan ja mitä käytetään toimintakoodilla niin että syötetään tietoja tähän kiskoon, näiden tietojen tullessa joko suoraan ALU yksiköstä tai sen koestamispiiriin kautta, mikä on kytketty ALU yksikön ja tämän itsensä väliin.

3. Patenttivaatimuksen 2 mukainen sarjatyypinen logiikkapiiri, t u n n e t t u siitä, että koestamispiiri on "yksi kaikkiaan n tapauksesta" koodilaite, mistä sisääntulot on järjestetty prioriteettiasteikon mukaisesti ja mikä määrittelee suurimman prioriteetin sisääntulon sijaintapaikan tietyllä logiikkatasolla ja missä koestuspiiristä vähintään yksi ulostulo on yhdistetty ohjauslogiikan piirin sisääntuloon niin että määrätyillä koestamistuloksien arvoilla voidaan aikaansaada vaiheen ylihyppääminen.

4. Patenttivaatimuksen 2 tai 3 mukainen sarjatyypinen logiikkapiiri, t u n n e t t u siitä, että koestamistuloksen arvo aikaansaa erään operandin rekistereistä sisällön syöttämisen käskylaskimeen kuten asia määritellään keskeytysosoitteen koodilla käskyrekisterissä, mikä saattaa päälle valitun operandin rekisterin mikä toteutetaan ohjauslogiikan piirillä ja että kytkentä operandin rekisterin ja käskylaskimen välillä on tietyn portin säädön alai-

sena, mikä avataan koestustuloksen käskyvaiheen aikana.

5. Patenttivaatimuksen 1 tai 2 mukainen sarjatyypinen logiikkapiiri, tunnetaan siitä, että muistia voidaan osoittaa sanoilla tai sanojen osilla, jolloin kyseinen muisti liittyy sisääntulopiireihin ja ulostulopiireihin, joiden avulla tiedot luettuna taikka sanojen osina sisäänkirjoitettuna voidaan siirtää kiskojohtimien ryhmiin verrattuna muistin ulostulokiskossa ja ALU yksikön ulostulon tai muistin sisääntulon kiskossa.

6. Patenttivaatimuksen 1 tai 2 mukainen sarjatyypinen logiikkapiiri, tunnetaan siitä, että tietty käsky voi muodostua useista muistisanoista ja että sillä on se piirre, että ensimmäinen käskyrekisterin sisäänsyötetty sana sisältää toimintakoodit kaikille ALU yksikön syöttölähteille ja määräpaikan osoitteille, "koestustuloksen" vaatimuksen, keskeytysosoitteen ja tämän käskyn sanojen lukumäärän, seuraavien sanojen kunkin sisältäessä muistin osoitteen mahdollista sanan osuuden osoitteen indeksointia varten.

Patentkrav

1. Programmerbar logisk sekvensanordning för databehandling, för styrning av elektriska eller elektroniska organ, eller för överföring och partiell behandling av data, som utväxlas mellan minst ett centralt styrorgan och elektriska eller elektroniska organ, och försedd med ett minne (M), som innehåller instruktionsord och dataord, en aritmetisk och logisk behandlingsenhet (ALU), ett instruktionsregister-(MI), ett flertal dataregister, och operandregister, vilkas innehåll kan indexerats genom addering av innehållet i ett av dataregistren, varvid den logiska sekvensanordningen är styrd av en logikkrets (FL), som mottager informationer från en taktgivare (BT) och instruktionsregistret och som avger taktsignaler, som är erforderliga för funktionen för skilda delar av den logiska sekvensanordningen, k ä n n e t e c k n a d av att access till behandlingsenheten (ALU) är åstadkommen med hjälp av en multiplexor (MX5), vars ingångar är förbundna med minnets utgång, med dataregister och med operandregister, att behandlingsenhetens utgång via en krets (MX1), vars utgångar kan antaga ett tillstånd med hög impedans, är förbunden med en utgångsbussledning (BS), som är ansluten till minnets ingång, till skilda dataregister och till operandregister, och att avvecklingen av en minnesinstruktion är utförd i två perioder, vilka är uppdelade i ett bestämt antal faser (t_0 - t_7) och av vilka en första period (t_0 - t_3) är utnyttjad för utvinning av ett eller flera minnesord hörande till ifrågavarande instruktion och en andra period (t_4 - t_7) är successivt utnyttjad för en test av ingångar på den logiska sekvensanordningen och för en operation i behandlingsenheten.

2. Anordning enligt kravet 1, hos vilken den aritmetiska och logiska enheten (ALU) för varje instruktion utför en operation, som är bestämd av en i instruktionsregistret (MI) lagrad operationskod (COP), k ä n n e t e c k n a d av att varje instruktion, förutom testinstruktioner, kan innefatta en resultattest, att behandlingsenhetens (ALU) utgång är ansluten till en testkrets (TB), och att nämnda krets (MX1), vars utgångar kan antaga ett tillstånd med hög impedans, utgörs av en multiplexor, som är styrd i beroende av operationskoden (COP) och som är anordnad att till utgångsbussledningen (BS) överföra data, som antingen är direkt mottagna från behandlingsenhetens (ALU) utgång eller från testkretsens (TB) utgång.

3. Anordning enligt kravet 2, k ä n n e t e c k n a d av att nämnda testkrets (TB) utgörs av en binär 1-av-n-kodare med prioritet, vilken anger rangordningen för den första av dess ingångar som uppvisar ett bestämt logiskt tillstånd, och att minst en av testkretsens (TB) utgångar är förbunden med logikkretsen (FL) på sådant sätt att ett fashopp möjliggörs för bestämda genom testen givna värden.

4. Anordning enligt kravet 2 eller 3, k ä n n e t e c k n a d av att testresultatet möjliggör laddning av en instruktionsräknare (C) med innehållet i ett av operandregistren (OP1, OP2), vilket är bestämt av en avbrottsadresskod (AR) i instruktionsregistret, att aktiveringen av det genom nämnda kod (AR) valda operandregistret är åstadkommen av logikkretsen (FL) och att en förbindning mellan operandregistren och räknaren (C) är upprättad med hjälp av ett grindelement (P3), som är aktiverat vid testtidpunkten (t7).

5. Anordning enligt kravet 1, hos vilken minnet (M) är adresserbart genom ord eller delar av ord, k ä n n e t e c k n a d av att den innefattar ingångskretsar (P1, MX2) och utgångskretsar (P2, MX4) för minnet, vilka möjliggör en positionsförskjutning av data som utläses ur eller inskrivs i orddelar i förhållande till motsvarande position i ingångsbussledningen (BS) eller utgångsbussledningen (BM).

6. Anordning enligt kravet 1, hos vilken en instruktion kan innefatta flera minnesord, k ä n n e t e c k n a d av att det första ord, som laddas i instruktionsregistret, innefattar de koder, som anger behandlingsenhetens (ALU) operation, källorgan och destinationsorgan, testbegäran och avbrottsadress och det antal ord som instruktionen innehåller, och att de följande orden vardera innehåller en minnesadress, eventuellt med indexering, och en orddeladress.

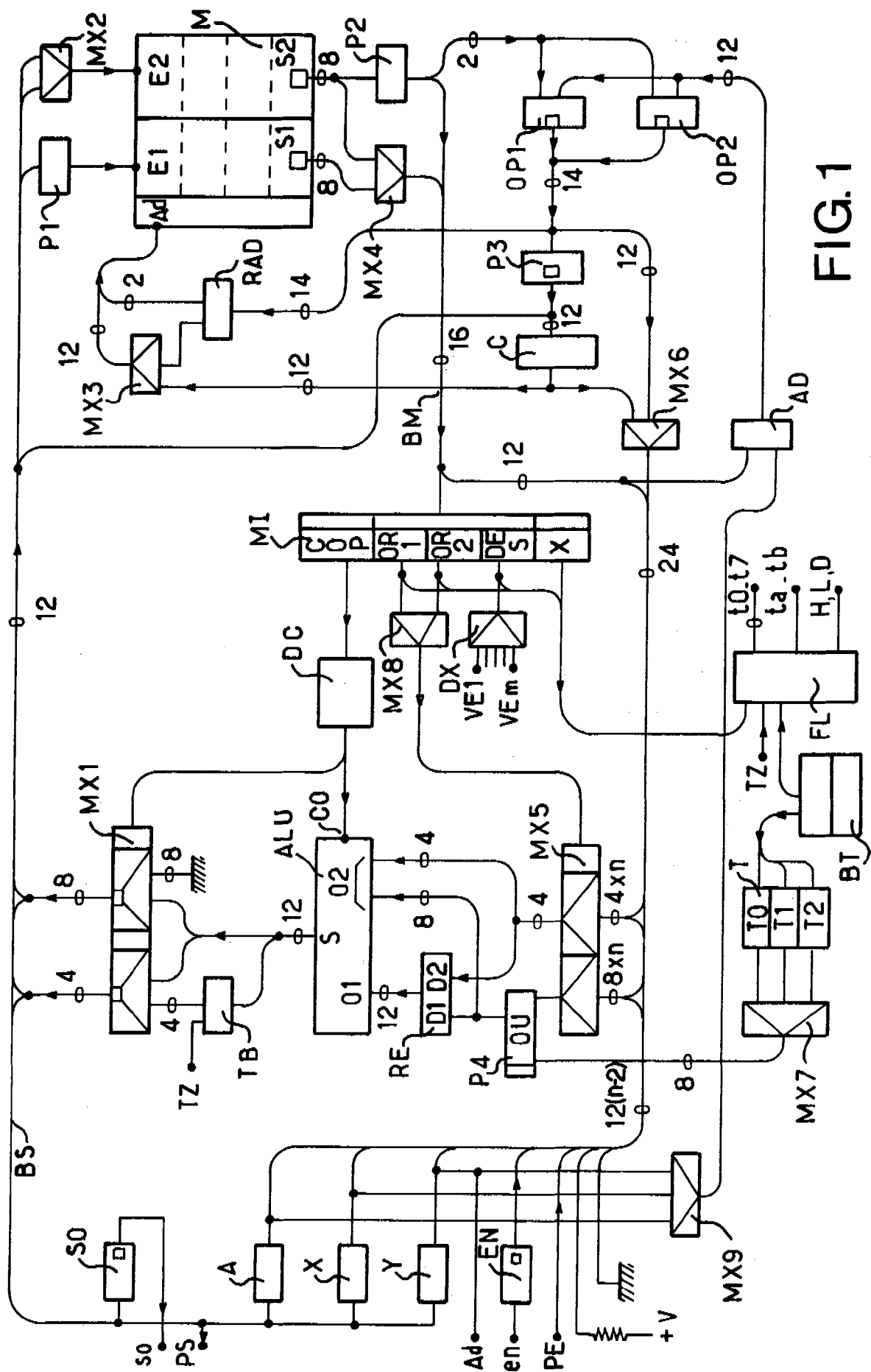


FIG. 1

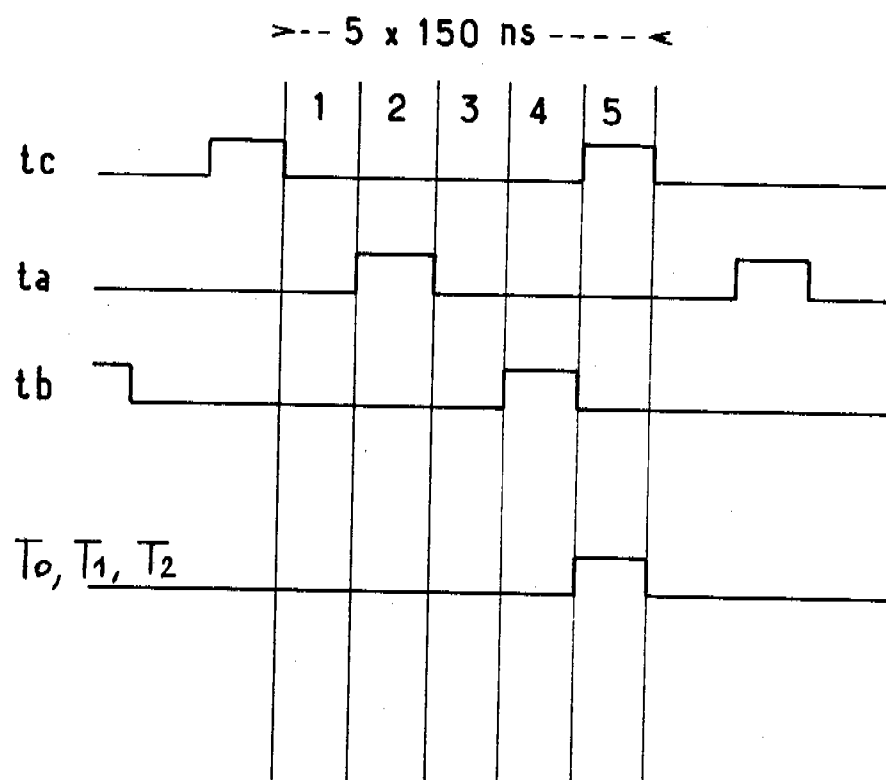


FIG. 2

Viitejulkaisuja - Anförda publikationer

Julkisia suomalaisia patenttihakemuksia: - Offentliga finska patentansökningar:

Hakemus-, kuulutus- ja patenttijulkaisuja: - Ansökningspublikationer, utlägg-
nings- och patentskrifter:

Suomi - Finland _____

Iso-Britannia - Storbritannien _____

Norja - Norge _____

Ranska - Frankrike _____

Ruotsi - Sverige _____

Saksa - BRD - Tyskland _____

Sveitsi - Schweiz _____

Tanska - Danmark _____

USA P 3340 513 (340-172.5), 3430 202 (G 11 B 13/00)
3657 705 (G 06 F 9/18)

Muita julkaisuja: - Andra publikationer:

Merkitse hakemusjulkaisun (esim. saksal. Offenlegungsschrift) numeron eteen H ja vastaavasti kuulutus- ja patenttijulkaisun numeron eteen K ja P.