



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년12월11일
(11) 등록번호 10-1468886
(24) 등록일자 2014년11월28일

(51) 국제특허분류(Int. Cl.)
G11C 16/26 (2006.01)
(21) 출원번호 10-2010-7026690
(22) 출원일자(국제) 2009년04월01일
심사청구일자 2014년03월27일
(85) 번역문제출일자 2010년11월29일
(65) 공개번호 10-2011-0034588
(43) 공개일자 2011년04월05일
(86) 국제출원번호 PCT/US2009/039082
(87) 국제공개번호 WO 2009/146057
국제공개일자 2009년12월03일
(30) 우선권주장
12/128,535 2008년05월28일 미국(US)
(56) 선행기술조사문헌
US7593265 A
WO2006065501 A1
JP1993028780 A
EP0974976 A

(73) 특허권자
샌디스크 테크놀로지스, 인코포레이티드
미국 텍사스 75024 플라노 노스 달라스 파크웨이
6900 투 리가시 타운 센터
(72) 발명자
웅구옌, 하오, 타이
미국, 캘리포니아 95124, 산 호세, 앤드류 애비뉴
1839
무이, 만, 령
미국, 캘리포니아 95054, 산타 클라라, 펄링 워터
코트 2325
(뒷면에 계속)
(74) 대리인
박경재

전체 청구항 수 : 총 27 항

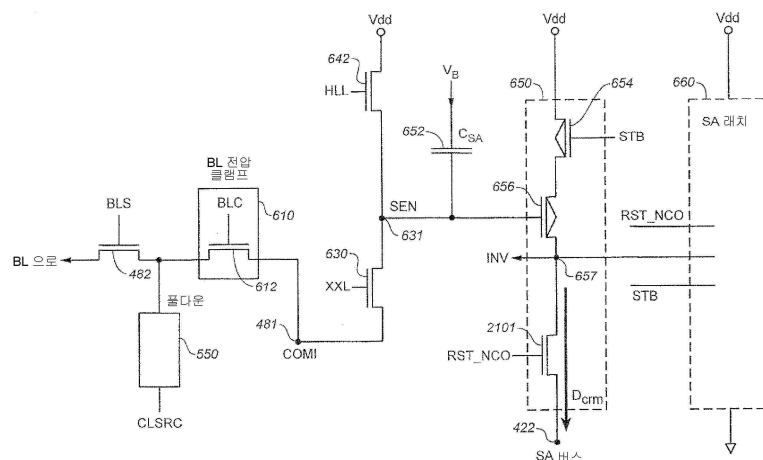
심사관 : 한선경

(54) 발명의 명칭 비휘발성 메모리를 위한 고속 감지 증폭기 어레이와 방법

(57) 요약

병렬로 감지되는 일 그룹의 비휘발성 메모리 셀 중에 한 메모리 셀의 도통 전류를 감지하여 결과를 데이터 버스에 제공하는 감지 회로가 제시된다. 프리차지 회로는 노드를 초기 전압까지 충전하기 위해 노드에 결합된다. 중간 회로가 노드에 결합되고 메모리 셀에 연결될 수 있어, 프리차지 회로로부터 전류가 메모리 셀에 공급될 수 있다. 회로는, 노드에서의 방전률에 의해 도통 전류의 판정을 수행하는 비교기 회로; 판정 결과를 유지하기 위해 비교기 회로에 결합된 데이터 래치; 및 래치된 결과를 노드에 무관하게 데이터 버스에 공급하기 위해 데이터 래치에 결합된 전송 게이트를 포함한다. 이 배열은 감지 성능을 개선하며 감지 동안 아날로그 감지 경로 상에 잡음을 제거하고 스위칭 전류를 감소시키는데 도움을 줄 수 있다.

대표도 - 도21c



(72) 발명자

이, 승-필

미국, 캘리포니아 94583, 산 라몬, 에스. 클로버크
레스트 레인 473

장, 광린

미국, 캘리포니아 94539, 프레몬트, 쿠틀트 웨이
245

왕, 치-밍

미국, 캘리포니아 94539, 프레몬트, 쿠틀타나 웨이
1301

특허청구의 범위

청구항 1

병렬로 감지되는 일 그룹의 비휘발성 메모리 셀 중에 메모리 셀의 도통 전류를 감지하여 그 결과를 데이터 버스에 제공하는 감지 회로에 있어서,

노드와,

상기 노드를 초기 전압까지 충전하기 위해 상기 노드에 결합된 프리차지 회로와,

상기 노드에 결합되고 상기 메모리 셀에 연결될 수 있어, 상기 프리차지 회로로부터 전류가 상기 메모리 셀에 공급될 수 있게 하는 중간 회로와,

상기 노드에 결합되어 상기 노드에서의 방전률에 의해 상기 도통 전류의 판정을 수행하는 비교기 회로와,

상기 판정 결과를 유지하기 위해 상기 비교기 회로에 결합된 데이터 래치와,

래치된 결과를 상기 노드와 무관하게 상기 데이터 버스에 공급하기 위해 상기 데이터 래치에 결합된 전송 게이트를 포함하고,

상기 프리차지 회로는 상기 래치된 결과를 상기 데이터 버스에 공급함과 동시에 충전될 수 있는, 감지 회로.

청구항 2

제 1항에 있어서,

상기 그룹의 각 메모리 셀은 연관된 비트 라인에 의해 액세스될 수 있고, 상기 중간 회로는 상기 연관된 비트 라인에 결합되는, 감지 회로.

청구항 3

제 1항에 있어서,

상기 일 그룹의 비휘발성 메모리 셀은 플래시 EEPROM의 일 부분인, 감지 회로.

청구항 4

제 3항에 있어서,

상기 플래시 EEPROM은 NAND 유형인, 감지 회로.

청구항 5

제 1항에 있어서,

개별 비휘발성 메모리 셀 각각은 전하 저장 요소를 포함하는, 감지 회로.

청구항 6

제 5항에 있어서,

상기 전하 저장 요소는 플로팅 게이트인, 감지 회로.

청구항 7

제 5항에 있어서,

상기 전하 저장 요소는 유전층인, 감지 회로.

청구항 8

제 1항에 있어서,

상기 비휘발성 메모리 셀은 메모리 카드에 포함되어 있는, 감지 회로.

청구항 9

제 1항에 있어서,

상기 비교기 회로는 상기 도통 전류를 기준값과 비교함으로써 상기 판정을 수행하는, 감지 회로.

청구항 10

병렬로 감지되는 일 그룹의 비휘발성 메모리 셀 중에 메모리 셀의 도통 전류를 감지하여 그 결과를 데이터 버스에 제공하는 감지 회로에 있어서,

노드와,

상기 노드를 초기 전압까지 충전하기 위해 상기 노드에 결합된 프리차지 회로와,

상기 노드에 결합되고 상기 메모리 셀에 연결될 수 있어, 상기 프리차지 회로로부터 전류가 상기 메모리 셀에 공급될 수 있게 하는 중간 회로와,

상기 노드에 결합되어 상기 노드에서의 방전률에 의해 상기 도통 전류의 판정을 수행하는 비교기 회로와,

상기 판정 결과를 유지하기 위해 상기 비교기 회로에 결합된 데이터 래치와,

래치된 결과를 상기 노드와 무관하게 상기 데이터 버스에 공급하기 위해 상기 데이터 래치에 결합된 전송 게이트를 포함하고,

상기 데이터 래치에 래치된 결과는 상기 중간 회로에서 스위칭 레벨과 무관하게 상기 데이터 버스에 공급되는, 감지 회로.

청구항 11

병렬로 감지되는 일 그룹의 비휘발성 메모리 셀 중에 제 1 메모리 셀의 도통 전류를 감지하여 그 결과를 데이터 버스에 제공하는 방법에 있어서,

중간 회로를 통해 하나 이상의 메모리 셀에 의해 액세스될 수 있는 노드를 제공하는 단계와,

제 1 감지 동작을 위해 상기 노드를 초기 전압까지 프리차지하는 단계와,

상기 중간 회로를 통해 상기 메모리 셀 중 제 1 메모리 셀을 통해 상기 노드를 방전시키는 단계와,

상기 노드의 방전률에 의해 상기 제 1 메모리 셀을 통해 상기 도통 전류를 측정하는 단계와,

상기 측정 결과를 래칭하는 단계와,

상기 래치된 결과를 데이터 버스에 출력하는 단계와,

상기 래칭 후에, 그러나 상기 출력을 완료하기 전에, 제 2 감지 동작을 위해 상기 노드를 프리차지하는 단계를 포함하는, 방법.

청구항 12

제 11항에 있어서,

상기 그룹의 각 메모리 셀은 연관된 비트 라인에 의해 액세스될 수 있고, 상기 방법은,

상기 방전 전에 상기 메모리 셀 중 제 1 메모리 셀에 대해 상기 중간 회로를 상기 연관된 비트 라인에 결합하는 단계를 더 포함하는, 방법.

청구항 13

제 11항에 있어서,

상기 비휘발성 메모리 셀 그룹은 플래시 EEPROM의 일 부분인, 방법.

청구항 14

제 13항에 있어서,
상기 플래시 EEPROM은 NAND 유형인, 방법.

청구항 15

제 11항에 있어서,
개별 비휘발성 메모리 셀 각각은 전하 저장 요소를 포함하는, 방법.

청구항 16

제 15항에 있어서,
상기 전하 저장 요소는 플로팅 게이트인, 방법.

청구항 17

제 15항에 있어서,
상기 전하 저장 요소는 유전층인, 방법.

청구항 18

제 11항에 있어서,
상기 측정 단계는 상기 도통 전류를 기준 전류와 비교하는 단계를 포함하는, 방법.

청구항 19

제 11항에 있어서,
상기 래치 결과의 출력은 상기 중간 회로에서 스위칭 레벨과 무관하게 상기 데이터 버스에 공급되는, 방법.

청구항 20

병렬로 감지되는 일 그룹의 비휘발성 메모리 셀 중에 제 1 메모리 셀의 도통 전류를 감지하여 그 결과를 데이터 버스에 제공하는 방법에 있어서,
중간 회로를 통해 하나 이상의 메모리 셀에 의해 액세스될 수 있는 노드를 제공하는 단계와,
제 1 감지 동작을 위해 상기 노드를 초기 전압까지 프리차지하는 단계와,
상기 중간 회로를 통해 상기 메모리 셀 중 제 1 메모리 셀을 통해 상기 노드를 방전시키는 단계와,
상기 노드의 방전률에 의해 상기 제 1 메모리 셀을 통해 상기 도통 전류를 측정하는 단계와,
상기 측정의 결과를 래칭하는 단계와,
상기 노드와 상기 중간 회로에 무관한 경로에 의해 상기 래치 결과를 데이터 버스에 출력하는 단계를 포함하는, 방법.

청구항 21

제 20항에 있어서,
상기 그룹의 각 메모리 셀은 연관된 비트 라인에 의해 액세스될 수 있고, 상기 방법은,
상기 방전 전에 상기 메모리 셀 중 제 1 메모리 셀에 대해 상기 중간 회로를 상기 연관된 비트 라인에 결합하는 단계를 더 포함하는, 방법.

청구항 22

제 20항에 있어서,
상기 비휘발성 메모리 셀 그룹은 플래시 EEPROM의 일 부분인, 방법.

청구항 23

제 22항에 있어서,
상기 플래시 EEPROM은 NAND 유형인, 방법.

청구항 24

제 20항에 있어서,
개별 비휘발성 메모리 셀 각각은 전하 저장 요소를 포함하는, 방법.

청구항 25

제 24항에 있어서,
상기 전하 저장 요소는 플로팅 게이트인, 방법.

청구항 26

제 24항에 있어서,
상기 전하 저장 요소는 유전층인, 방법.

청구항 27

제 20항에 있어서,
상기 측정 단계는 상기 도통 전류를 기준 전류와 비교하는 단계를 포함하는, 방법.

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

명세서

기술분야

[0001] 이 발명은 일반적으로 전기적으로 소거 가능한 프로그램 가능한 판독 전용 메모리(EEPROM)와 플래시 EEPROM과 같은 비휘발성 반도체 메모리에 관한 것이고, 보다 구체적으로는 감지 회로 및 감지 회로의 동작을 위해 속도가 증가되는 메모리 동작에 관한 것이다.

배경기술

[0002] 전하를 비휘발성으로 저장할 수 있는, 특히 소형 폼 팩터 카드로서 패키징되는 EEPROM 및 플래시 EEPROM 형태의 고체상태 메모리는 다양한 이동 및 휴대 장치, 특히 정보기기 및 소비자 전자 제품에서 선택되는 저장 장치가 되었다. 고체상태 메모리이기도 한 RAM과는 달리, 플래시 메모리는 비휘발성이고 전원이 턴 오프된 뒤에도 자신의 저장된 데이터를 보존한다. 많은 비용에도 불구하고 플래시 메모리는 점점 더 대량 저장 용도에 사용되고 있다. 하드드라이브와 플로피 디스크와 같이 회전하는 자기 매체에 기초한, 종래의 대량 저장 장치는 이동 및 휴대 환경엔 적합하지 않다. 이것은 디스크 드라이브가 부피가 커지기 쉽고, 기계적 고장이 나기 쉬우며 큰 레이턴시 및 큰 전력요건을 갖기 때문이다. 이들 바람직하지 못한 속성으로 인해서 디스크 기반의 저장 장치는 대부분의 이동 및 휴대 응용에서 실현되지 못한다. 반면, 내장형이면서도 착탈 가능한 카드 형태인 플래시 메모리는 이의 소형 크기, 저 전력 소비, 고속 및 고 신뢰도 특징으로 인해 이동 및 휴대 환경에서 이상적으로 적합하다.

[0003] EEPROM 및 전기적으로 프로그램 가능한 판독 전용 메모리(EPROM)는, 소거될 수 있고 새로운 데이터를 이들의 메모리 셀에 기록 또는 "프로그램"시킬 수 있는 비휘발성 메모리이다. 이들은, 전계 효과 트랜지스터 구조에서, 소스 영역과 드레인 영역 사이에 반도체 기판 내 채널영역 위에 배치된 플로팅(비접속의) 도전성 게이트를 이용한다. 이때 제어 게이트는 플로팅 게이트 위에 설치된다. 트랜지스터의 임계 전압 특징은 플로팅 게이트 상에 보존되는 전하량에 의해 제어된다. 즉, 플로팅 게이트 상에 주어진 레벨의 전하에 대해서, 소스 영역과 드레인 영역 사이에 도통이 되게 트랜지스터가 턴 "온"이 되기 전에 제어 게이트에 인가되어야 하는 대응하는 전압(임계)이 있다.

[0004] 플로팅 게이트는 일 범위의 전하를 보존할 수 있고 따라서 임계 전압 윈도우("도통 윈도우"라고도 함) 내의 어떤 임계 전압 레벨로 프로그램될 수 있다. 임계 전압 윈도우의 크기는 장치의 최소 및 최대 임계 레벨에 의해 그 범위가 정해지고, 이는 플로팅 게이트에 프로그램될 수 있는 일 범위의 전하에 대응한다. 임계 윈도우는 일반적으로 메모리 장치의 특징, 동작 조건 및 이력에 따른다. 윈도우 내의 각각의 서로 구별되고 확정 가능한 임계 전압 레벨의 범위는 셀의 명확한 메모리 상태를 나타내는데 사용될 수 있다. 임계 전압이 2개의 구별되는 영역으로 분할될 때, 각각의 메모리 셀은 한 비트의 데이터를 저장할 수 있을 것이다. 유사하게, 임계 전압 윈도우가 2 이상의 서로 구별되는 영역으로 분할될 때, 각 메모리 셀은 1 비트 이상의 데이터를 저장할 수 있을 것이다.

[0005] 2-상태 EEPROM 셀에서는 도통 윈도우를 2개의 영역으로 분할하기 위해서 적어도 한 전류 구분 레벨이 설정된다. 소정의 고정된 전압을 인가함으로써 셀이 판독될 때, 이의 소스/드레인 전류는 구분 레벨(또는 기준 전류(IREF))와 비교함으로써 메모리 상태로 분해된다. 판독된 전류가 구분점 레벨의 전류보다 크다면, 셀은 한 논리 상태(예를 들어, "제로" 상태)에 있는 것으로 판정된다. 반면, 전류가 구분점 레벨보다 낮다면, 셀은 다른 논리 상태(예를 들면, "1" 상태)인 것으로 판정된다. 이에 따라, 이러한 2-상태 셀은 1비트의 디지털 정보를 저장한다. 외부에서 프로그램될 수 있는 기준 전류원은 흔히 구분점 레벨 전류를 발생하기 위해 메모리 시스템의 일부로서 제공된다.

[0006] 메모리 용량을 증가시키기 위해서, 플래시 EEPROM 장치는 반도체 기술 상태가 진보함에 따라 점점 더 고 밀도로 제조되고 있다. 저장 용량을 증가시키는 또 다른 방법은 각 메모리 셀에 2상태 이상을 저장하는 것이다.

[0007] 복수 상태 또는 복수 레벨 EEPROM 메모리 셀에 있어서, 도통 윈도우는 각 셀이 한 비트 데이터 이상을 저장할

수 있게 하나 이상의 구분점에 의해 2이상의 영역으로 분할된다. 이에 따라 주어진 EEPROM 어레이가 저장할 수 있는 정보는 각 셀이 저장할 수 있는 상태의 수에 따라 증가된다. 복수 상태 또는 복수 레벨의 메모리 셀을 구비한 EEPROM 또는 플래시 EEPROM은 미국 특허 5,172,338에 기재되어 있다.

[0008] 메모리 셀로서 작용하는 트랜지스터는 전형적으로 두 가지 메커니즘 중 한 메커니즘에 의해 "프로그래밍" 상태로 프로그래밍된다. "핫 전자 주입"에서, 드레인에 인가되는 하이(high) 전압은 기판 채널 영역을 지나는 전자를 가속시킨다. 이와 동시에, 제어 게이트에 인가되는 하이 전압은 핫 전자를 얇은 게이트 유전체를 거쳐 플로팅 게이트로 가게 한다. "터널링 주입"에서, 하이 전압이 기판에 관하여 제어 게이트에 인가된다. 이렇게 하여, 기판으로부터 전자가 개재된 플로팅 게이트로 유입된다.

[0009] 메모리 장치는 많은 메커니즘에 의해 소거될 수 있다. EPROM에 있어서, 메모리는 자외 방사에 의해 플로팅 게이트로부터 전하를 제거함으로써 전체적으로 소거가 될 수 있다. EEPROM에 있어서, 메모리 셀은 플로팅 게이트 내 전자를 얇은 산화막을 통과하여 기판 채널 영역으로 터널링되게 하기 위해서(즉, 파울러-노다임 터널링) 제어 게이트에 관하여 기판에 하이 전압을 인가함으로써 전기적으로 소거될 수 있다. 통상적으로, EEPROM은 한 바이트씩 소거될 수 있다. 플래시 EEPROM에 있어서, 메모리는 한꺼번에 또는 한번에 하나 또는 그 이상의 블록으로 전기적으로 소거될 수 있고, 여기서 한 블록은 512 또는 그 이상의 바이트의 메모리로 구성될 수 있다.

[0010] 메모리 장치는 통상적으로, 카드 상에 실장될 수 있는 하나 또는 그 이상의 메모리 칩을 포함한다. 각 메모리 칩은 디코더 및 소거, 기록 판독 회로와 같은 주변회로에 의해 지원되는 메모리 셀 어레이를 포함한다. 보다 정교한 메모리 장치는 지능형이고 더 높은 수준의 메모리 동작 및 인터페이싱을 수행하는 외부 메모리 제어기로 동작한다.

[0011] 최근에 사용되는 많은 상업적으로 성공한 비휘발성 고체상태 메모리 장치가 있다. 이들 메모리 장치는 플래시 EEPROM일 수도 있으며 또는 다른 유형의 비휘발성 메모리 셀을 채용할 수 있다. 플래시 메모리 및 시스템 및 이들을 제조하는 방법의 예는 미국 특허 5,070,032, 5,095,344, 5,315,541, 5,343,063, 및 5,661,053, 5,313,421 및 6,222,762에 주어져 있다. 특히, NAND 스트링 구조를 갖는 플래시 메모리 장치는 미국 특허 5,570,315, 5,903,495, 6,046,935에 기술되어 있다.

[0012] 비휘발성 메모리 장치는 전하를 저장하기 위한 유전층을 구비한 메모리 셀로부터도 제조된다. 앞서 기술된 도전성 플로팅 게이트 요소 대신에, 유전층이 사용된다. 유전성 저장 요소를 이용하는 이러한 메모리 장치는 Eitan 등의 "NROM: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell," IEEE Electron Device Letters, vol. 21, no. 11, November 2000, pp. 543-545 에 기재되어 있다. ONO 유전층은 소스 확산 영역과 드레인 확산 영역 사이의 채널을 가로질러 확장하여 있다. 한 데이터 비트용의 전하는 드레인에 인접한 유전층에 모이고 다른 데이터 비트용의 전하는 소스에 인접한 유전층에 모인다. 예를 들어, 미국 특허 5,768,192 및 6,011,725는 두 개의 이산화규소 층 사이에 개재된 트랩 유전층을 구비한 비휘발성 메모리 셀을 개시하고 있다. 복수 상태 데이터 저장은 유전층 내 공간적으로 분리된 전하 저장 영역의 2진 상태를 개별적으로 읽어냄으로써 구현된다.

[0013] 한 페이지의 메모리 셀을 프로그래밍하는 것은 전형적으로 일련의 교번되는 프로그램/검증 사이클을 수반한다. 각각의 프로그램 사이클은 하나 이상의 프로그래밍 전압 펄스가 가해지는 한 페이지의 메모리 셀을 갖는다. 프로그램 사이클에 이어, 각 셀이 올바르게 프로그래밍되었는지를 판정하기 위해 다시 판독되는 검증 사이클이 이어진다. 검증이 된 셀은 후속되는 프로그래밍 펄스로부터 프로그램이 금지될 것이다. 프로그램/검증 사이클은 페이지 내 모든 셀이 프로그램-검증될 때까지 증가하는 프로그래밍 전압 레벨로 계속된다.

[0014] 판독 및 검증 동작 둘 다는 페이지의 각 메모리 셀의 도통 전류 또는 임계 전압이 구별 값에 관하여 판정되는 하나 이상의 감지 사이클을 실행함으로써 수행된다. 일반적으로, 메모리가 n 상태로 분할된다면, 모든 가능한 메모리 상태를 결정하기 위해 적어도 n-1 감지 사이클이 있게 될 것이다. 많은 구현에서 각각의 감지 사이클은 2 이상의 페이지를 포함할 수 있다. 예를 들어, 메모리 셀이 밀접하게 패킹될 때, 이웃한 전하 저장 요소 간에 상호작용은 현저해지고 어떤 감지 기술은 이들 상호작용에 의해 야기되는 오류를 보상하기 위해서 이웃한 워드 라인 상에 메모리 셀을 감지하는 것을 포함한다.

[0015] 판독 및 프로그램 성능을 개선하기 위해서, 어레이 내 복수의 전하 저장소자 또는 메모리 트랜지스터는 병렬로 판독 또는 프로그래밍된다. 이에 따라, 한 "페이지"의 메모리 요소는 함께 판독 또는 프로그래밍된다. 기존의 메모리 아키텍처에서, 한 행은 전형적으로 몇 개의 인터리빙된 페이지를 내포하거나 한 페이지의 인접한 메모리 셀을 구성할 수도 있다. 페이지의 모든 메모리 요소는 함께 판독 또는 프로그래밍될 것이다. 현재 제조되는 반도체 집적 회로 메모리 칩에서, 메모리 페이지는 64,000만큼이나 많은 메모리 셀 또는 병렬로 판독 또는 감지되는 메

모리 요소를 구비할 수 있다.

- [0016] 증가되는 성능을 위한 계속되는 필요성이 있다. 또한, 대량 병렬 메모리 페이지는 감지 정확성 및 중국에는 성능 및 저장 용량을 제한시키는 밀접히 패키징된 메모리 셀 및 구조 간에 간섭과 현저한 잡음 문제를 제기한다.

발명의 내용

해결하려는 과제

- [0017] 그러므로, 고용량 및 고성능 비휘발성 메모리에 대한 일반적인 필요성이 있다. 특히, 속도가 증가되고 잡음이 적은 감지 회로에 대한 필요성이 있다.

과제의 해결 수단

- [0018] 병렬로 감지되는 일 그룹의 비휘발성 메모리 셀 중에 한 메모리 셀의 도통 전류를 감지하여 결과를 데이터 버스에 제공하는 감지 회로가 제시된다. 실시예에서, 프리차지 회로는 노드를 초기 전압까지 충전하기 위해 노드에 결합된다. 중간 회로가 노드에 결합되고 메모리 셀에 연결될 수 있어, 프리차지 회로로부터 전류가 메모리 셀에 공급될 수 있다. 회로는, 노드에서의 방전물에 의해 도통 전류의 판정을 수행하는 비교기 회로; 판정 결과를 유지하기 위해 비교기 회로에 결합된 데이터 래치; 및 래치된 결과를 노드에 무관하게 데이터 버스에 공급하기 위해 데이터 래치에 결합된 전송 게이트를 포함한다.

- [0019] 한 세트의 면에 따라서, 이것은 비휘발성 메모리 셀의 도통 전류를 감지하는 방법을 가능하게 하며, 방법은 중간 회로를 통해 하나 이상의 메모리 셀에 의해 액세스될 수 있는 노드를 제공하는 단계; 제 1 감지 동작을 위해 상기 노드를 초기 전압까지 프리차지하는 단계; 상기 중간 회로를 통해 상기 메모리 셀 중 제 1 메모리 셀을 통해 상기 노드를 방전시키는 단계; 상기 노드의 방전물에 의해 상기 제 1 메모리 셀을 통해 상기 도통 전류를 측정하는 단계; 상기 측정 결과를 래칭하는 단계; 상기 래치된 결과를 데이터 버스에 출력하는 단계를 포함한다. 한 세트의 면에서, 상기 래칭 후에, 그러나 상기 출력을 완료하기 전에, 제 2 감지 동작을 위해 상기 노드를 프리차지한다. 또 다른 한 세트의 면에서, 래치된 결과는 노드 및 중간 회로에 무관한 경로에 의해 데이터 버스에 출력된다. 또 다른 면에서, 중간 회로에 무관하게 래치된 결과를 데이터 버스에 출력하는 단계는 중간 회로에 잡음을 감소시킨다.

- [0020] 본 발명의 여러 가지 면, 이점, 특징 및 실시예는 이의 예에 대한 다음의 설명에 포함되며, 이 설명은 첨부한 도면과 함께 취해질 것이다. 여기에서 참조되는 모든 특허, 특허 출원, 논문, 그외 공보, 문헌 및 자료는 모든 목적을 위해 전체 내용이 본 명세서에 참조로 포함된다. 포함된 공보, 문헌 또는 자료 중 어느 것과 본원 간에 용어의 정의 또는 사용에 있어 어떤 비일관성 또는 충돌되는 것은 본원의 것이 우선할 것이다.

발명의 효과

- [0021] 본 발명은, 고용량 및 고성능 비휘발성 메모리와, 속도가 증가되고 잡음이 적은 감지 회로를 제공하는 효과를 갖는다.

도면의 간단한 설명

- [0022] 도 1은 본 발명이 구현될 수 있는 비휘발성 메모리 칩의 기능 블록을 개략적으로 도시한 도면.
 도 2는 비휘발성 메모리 셀을 개략적으로 도시한 도면.
 도 3은 플로팅 게이트가 언제든지 선택적으로 저장하고 있을 수 있는 4개의 서로 다른 전하(Q1 ~ Q4)에 대한 소스-드레인 전류(I_D)와 제어 게이트 전압(V_{CG}) 간의 관계를 도시한 도면.
 도 4는 NOR 어레이의 메모리 셀의 예를 도시한 도면.
 도 5a는 NAND 스트링으로 구성된 일련의 메모리 셀을 개략적으로 도시한 도면.
 도 5b는 도 5a에 도시된 것과 같은 NAND 스트링으로 구성된 NAND 어레이 메모리 셀의 예를 도시한 도면.
 도 6은 일련의 번갈아 행해지는 프로그램/검증 사이클에 의해 한 페이지의 메모리 셀을 타깃 메모리 상태로 프로그래밍하기 위한 전형적 기술을 도시한 도면.
 도 7(1)은 접지상태 "Gr"로서 소거된 상태와 점진적으로 더 프로그램된 메모리 상태 "A", "B", "C"를 갖는 4상

태 메모리 어레이 예의 임계 전압 분포를 도시한 도면.

도 7(2)는 도 7(1)에 도시된 4개의 가능한 메모리 상태를 나타내기 위한 바람직한 2비트 LM 코딩을 도시한 도면.

도 8(1)은 8 -상태 메모리 어레이의 예의 임계 전압 분포를 도시한 도면.

도 8(2)는 도 8(1)에 도시된 8개의 가능한 메모리 상태를 나타내기 위한 바람직한 33비트 LM 코딩을 도시한 도면.

도 9는 메모리 셀 어레이에 대해 한 뱅크의 p개의 감지 모듈을 내포하는, 도 1에 도시된 판독/기록 회로를 도시한 도면.

도 10은 도 9에 도시된 감지 모듈의 바람직한 구성을 개략적으로 도시한 도면.

도 11은 도 10에 도시된 판독/기록 스택을 상세히 도시한 도면.

도 12a는 도 9 및 도 11에 도시된 감지 모듈의 현존 구현예를 개략적으로 도시한 도면.

도 12b는 폐쇄 모드에 진입한 도 12a에 도시된 감지 모듈의 잡음 경로를 도시한 도면.

도 13은 폐쇄 모드에 진입한 도 12b에 도시된 현존 감지 모듈에 대한 제어신호의 타이밍을 도시한 도면.

도 14는 접지에 대해 유한 저항을 갖는 소스 라인에서 전류 흐름에 기인한 소스 전압의 문제를 도시한 도면.

도 15는 소스 라인 전압 강하에 의해 야기되는 메모리 셀의 임계 전압 레벨에서 오류를 도시한 도면.

도 16은 바람직한 실시예에 따라, 폐쇄 감지 모듈로부터 개선된 잡음 격리를 갖는 감지 모듈 스택을 도시한 도면.

도 17은 폐쇄 모드에 들어간 도 16에 도시된 개선된 감지 모듈에 대한 제어 신호의 타이밍을 도시한 도면.

도 18은 대안적인 바람직한 실시예에 따라, 폐쇄 감지 모듈로부터 개선된 잡음 격리를 갖는 감지 모듈을 도시한 도면.

도 19는 폐쇄 감지 모듈로부터의 잡음을 페이지를 감지하는데 있어 여전히 활성인 다른 것에 간섭하지 않게 격리시키는 방법을 도시한 흐름도.

도 20a ~ 도 20c는 감지를 위해 아날로그 경로와 접치는 데이터 전송을 위한 경로를 갖는 감지 모듈을 도시한 도면.

도 21a ~ 도 21c는 감지를 위해 아날로그 경로와 구별되는 데이터 전송을 위한 경로를 갖는 감지 모듈을 도시한 도면.

발명을 실시하기 위한 구체적인 내용

[0023]

메모리 시스템

[0024]

도 1 내지 도 11은 본 발명의 여러 면이 구현될 수 있는 메모리 시스템의 예를 도시한다.

[0025]

도 12 내지 도 13은 기존의 감지 회로에서 잡음 문제를 도시한다.

[0026]

도 16 내지 도 19는 잡음 문제가 해결되는 다양한 면 및 실시예를 도시한다.

[0027]

도 20a 내지 도 20c는 감지를 위해 아날로그 경로와 접치는 데이터 전송을 위한 경로를 갖는 감지 모듈을 도시한다.

[0028]

도 21a ~ 도 21c는 감지를 위해 아날로그 경로와는 구별되는 데이터 전송을 위한 경로를 갖는 감지 모듈을 도시한다.

[0029]

도 1은 본 발명이 구현될 수 있는 비휘발성 메모리 칩의 기능 블록을 개략적으로 도시한다. 메모리 칩(100)은 2차원 어레이의 메모리 셀(200), 제어 회로(210), 그리고 디코더, 판독/기록 회로 및 멀티플렉서와 같은 주변회로를 포함한다.

[0030]

메모리 어레이(200)는 행(row) 디코더(230)(230A, 230B로 분할된)를 통해 워드 라인에 의해서 그리고 열

(column) 디코더(260)를 통해 비트 라인에 의해 어드레스될 수 있다(도 4 및 도 5 참조). 판독/기록 회로(270)(270A, 270B로 분할된)는 한 페이지의 메모리 셀이 병렬로 판독 또는 프로그램될 수 있게 한다. 데이터 I/O 버스(231)는 판독/기록 회로(270)에 결합된다.

[0031] 바람직한 실시예에서, 한 페이지는 동일 워드 라인을 공유하는 인접한 한 행의 메모리 셀로부터 구성된다. 한 행의 메모리 셀이 복수의 페이지로 분할되는 또 다른 실시예에서, 판독/기록 회로(270)를 개별 페이지에 멀티플렉스하기 위해 블록 멀티플렉서(250)(250A 및 250B로 분할된)가 제공된다. 예를 들어, 기수 열 및 우수 열의 메모리 셀에 의해 각각 형성된 2개의 페이지가 판독/기록 회로에 멀티플렉스된다.

[0032] 도 1은 여러 주변 회로에 의한 메모리 어레이(200)에의 액세스가 각측에 액세스 라인 및 회로의 밀도가 절반으로 감소되게 어레이의 양 대향측 상에 대칭형으로 이행되는 바람직한 배열을 도시한다. 이에 따라, 행 디코더는 행 디코더(230A, 230B)로 분할되고 열 디코더는 열 디코더(260A, 260B)로 분할된다. 한 행의 메모리 셀이 복수의 블록으로 분할되는 실시예에서, 페이지 멀티플렉서(250)는 페이지 멀티플렉서(250A, 250B)로 분할된다. 마찬가지로, 판독/기록 회로(270)는 하부로부터 비트 라인에 연결하는 판독/기록 회로(270A) 및 어레이(200)의 상부로부터 비트 라인에 연결하는 판독/기록 회로(270B)로 분할된다. 이에 따라, 판독/기록 모듈의 밀도, 따라서 감지 모듈(380)의 밀도가 근본적으로 절반으로 감소된다.

[0033] 제어 회로(110)는 메모리 어레이(200)에 메모리 동작을 수행하기 위해 판독/기록 회로(270)와 협동하는 온-칩 제어기이다. 제어 회로(110)는 전형적으로 상태 머신(112) 및 그외에, 온칩 어드레스 디코더 및 파워제어 모듈(명백히 도시되지 않음)과 같은 회로를 포함한다. 상태 머신(112)은 메모리 동작의 칩 수준의 제어를 제공한다. 제어 회로는 외부 메모리 제어기를 통해 호스트와 통신한다.

[0034] 메모리 어레이(200)는 전형적으로 행 및 열로 배열되고 워드 라인 및 비트 라인에 의해 주소지정될 수 있는 2차원 어레이의 메모리 셀로서 구성된다. 어레이는 NOR 유형 또는 NAND 유형 아키텍처에 따라 형성될 수 있다.

[0035] 도 2는 비휘발성 메모리 셀을 개략적으로 도시한다. 메모리 셀(30)은 플로팅 게이트 또는 유전층과 같은 전하 저장유닛(20)을 갖는 전계 효과 트랜지스터에 의해 구현될 수 있다. 또한, 메모리 셀(10)은 소스(14), 드레인(16), 및 제어 게이트(30)를 포함한다.

[0036] 최근에 사용되는 많은 상업적으로 성공한 비휘발성 고체상태 메모리 장치가 있다. 이들 메모리 장치는 각 유형이 하나 이상의 전하저장 소자를 구비하는 것인 서로 다른 유형의 메모리 셀을 채용할 수 있다.

[0037] 전형적인 비휘발성 메모리 셀은 EEPROM 및 플래시 EEPROM을 포함한다. EEPROM 셀 및 이들을 제조하는 방법들의 예가 미국 특허 5,595,924에 주어지 있다. EEPROM 셀, 메모리 시스템에서 이들의 사용 및 이들을 제조하는 방법의 예는 미국 특허 5,070,032, 5,095,344, 5,315,541, 5,343,063, 5,661,053, 5,313,421, 6,222,762에 주어지 있다. 특히, NAND 셀 구조를 갖는 메모리 장치의 예는 미국 특허 5,570,315, 5,903,495, 6,046,935에 기술되어 있다. 또한, 유전 저장소자를 이용하는 메모리 장치의 예는, Eitan et al, "NROM: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell", IEEE Electron Device Letters, vol. 21, no. 11, November 2000, pp. 543-545, 및 미국 특허 5,768,192 및 6,011,725에 기술되어 있다.

[0038] 실제로, 셀의 메모리 상태는 일반적으로 기준전압이 제어 게이트에 인가될 때 셀의 소스 및 드레인 전극을 지나가는 도통 전류를 감지함으로써 판독된다. 이에 따라, 셀의 플로팅 게이트 상에 각각의 주어진 전하에 대해서, 고정된 기준 제어 게이트 전압에 관한 대응하는 도통 전류가 검출될 수 있다. 유사하게, 플로팅 게이트에 프로그램될 수 있는 전하의 범위는 대응하는 임계 전압 윈도우 또는 대응하는 도통 전류 윈도우를 정의한다.

[0039] 대안적으로, 분할된 전류 윈도우 중에서 도통 전류를 검출하는 대신에, 테스트되는 주어진 메모리 상태에 대한 임계 전압을 제어 게이트에 설정하고 도통 전류가 임계 전류보다 낮은지 아니면 높은지를 검출하는 것이 가능하다. 일 구현예에서 임계 전류에 대한 도통 전류의 검출은 도통 전류가 비트 라인의 커패시턴스를 통한 방전률을 조사함으로써 달성된다.

[0040] 도 3은 언젠는 선택적으로 플로팅 게이트가 저장하고 있을 수 있는 4개의 서로 다른 전하(Q1 ~ Q4)에 대해 소스-드레인 전류(I_D)와 제어 게이트 전압(V_{CG}) 간에 관계를 도시한다. V_{CG} 에 대한 I_D 의 4개의 실선 곡선은 4개의 가능한 메모리 상태에 대응하여 각각 메모리 셀의 플로팅 게이트 상에 프로그램될 수 있는 4개의 가능한 전하 레벨을 나타낸다. 예로서, 한 집단의 셀의 임계 전압 윈도우는 0.5V 내지 3.5V의 범위일 수 있다. 각각 하나는 소거된 상태이고 8개는 프로그램된 상태를 나타내는 8개의 가능한 메모리 상태 "0", "1", "2", "3", "4", "5", "6", "7"은 임계 윈도우를 각각 대략 0.4V의 간격으로 8개의 영역으로 분할함으로써 구별될 수 있다. 예를

들어, 기준 전류로서 $0.05\mu\text{A}$ 의 IREF가 도시된 바와 같이 사용된다면, Q1으로 프로그램된 셀은 $V_{CG} = 0.43\text{V}$ 및 0.88V 에 의해 구별되는 임계 윈도우의 영역에서 곡선이 IREF와 교차하기 때문에 메모리 상태 "1"에 있는 것으로 간주될 수 있다. 유사하게, Q4는 메모리 상태 "5"에 있다.

[0041] 전술한 바로부터 알 수 있듯이, 메모리 셀에 더 많은 상태가 저장되게 할수록, 임계 윈도우는 더욱 미세하게 분할된다. 예를 들어, 메모리 장치는 -1.5V 내지 5V 범위의 임계 전압을 갖는 메모리 셀을 가질 수 있다. 이것은 6.5V 의 최대폭을 제공한다. 메모리 셀이 16 상태를 저장한다면, 각 상태는 임계 윈도우에서 350mV 내지 450mV 를 점유할 수 있다. 이것은 요구되는 분해능을 달성할 수 있기 위해서 프로그래밍 및 판독 동작에 있어 더 높은 정밀도를 요구할 것이다.

[0042] 도 4는 NOR 어레이 메모리 셀의 예를 도시한다. 메모리 어레이(200)에서, 각 한 행의 메모리 셀은 이들의 소스(14) 및 드레인(16)에 의해 데이터 체인 방식으로 연결된다. 이 설계를 가상 접지 설계라고도 한다. 한 행에 셀(10)은 이들의 제어 게이트(30)가 워드 라인(42)과 같은 워드 라인에 연결된다. 한 열에 셀은 이들의 소스 및 드레인이 각각 비트 라인(34, 36)과 같은 선택된 비트 라인에 연결된다.

[0043] 도 5a는 NAND 스트링으로 구성된 일련의 메모리 셀을 개략적으로 도시한다. NAND 스트링(50)은 소스 및 드레인을 데이터 체인 연결의 일련의 메모리 트랜지스터($M1, M2, \dots, M_n$) (예를 들어, $n = 4, 8, 16$ 또는 그 이상)로 구성된다. 한 쌍의 선택 트랜지스터($S1, S2$)는 각각 NAND 스트링의 소스 단자(54) 및 드레인 단자(56)를 통해 외부에 메모리 트랜지스터의 체인 연결을 제어한다. 메모리 어레이에서, 소스 선택 트랜지스터($S1$)가 턴 온 되었을 때, 소스 단자는 소스 라인에 결합된다(도 5b 참조). 마찬가지로, 드레인 선택 트랜지스터($S2$)가 턴 온 되었을 때, NAND 스트링의 드레인 단자는 메모리 어레이의 비트 라인에 결합된다. 체인 내 각 메모리 트랜지스터(10)는 메모리 셀로서 작용한다. 이것은 의도하는 메모리 상태를 나타내기 위해서 주어진 전하량을 저장하기 위해 전하 저장 요소(20)를 갖는다. 각각의 메모리 트랜지스터의 제어 게이트(30)는 판독 및 기록 동작에 대해 제어하게 한다. 도 5b에서 알게 되는 바와 같이, 한 행의 NAND 스트링의 대응하는 메모리 트랜지스터의 제어 게이트(30)는 모두가 동일 워드 라인에 연결된다. 마찬가지로, 선택 트랜지스터($S1, S2$) 각각의 제어 게이트(32)는 각각의 소스 단자(54) 및 드레인 단자(56)를 통해 NAND 스트링에 대한 제어 액세스를 제공한다. 마찬가지로, 한 행의 NAND 스트링의 대응하는 선택 트랜지스터의 제어 게이트(32)는 모두 동일 선택 라인에 연결된다.

[0044] NAND 스트링 내의 어드레스된 메모리 트랜지스터(10)가 프로그래밍 동안에 판독되거나 검증될 때, 이의 제어 게이트(30)엔 적합한 전압이 공급된다. 동시에, NAND 스트링(50) 내의 어드레스 지정이 안 된 나머지 메모리 트랜지스터는 이들의 제어 게이트에 충분한 전압을 인가함으로써 완전히 턴 온 된다. 이에 따라, 개별 메모리 트랜지스터의 소스에서 NAND 스트링의 소스 단자(54)로 그리고 마찬가지로 개별 메모리 트랜지스터의 드레인에 대해서는 셀의 드레인 단자(56)로의 도통경로가 유효하게 만들어진다. 이러한 NAND 셀 구조를 갖는 메모리 장치는 미국 특허 5,570,315, 5,903,495 및 6,046,935에 기재되어 있다.

[0045] 도 5b는 도 5a에 도시된 것과 같은 NAND 스트링(50)으로부터 구성되는, NAND 어레이(200)의 메모리 셀의 예를 도시한다. NAND 스트링의 각 열을 따라, 비트 라인(36)과 같은 비트 라인은 각 NAND 스트링의 드레인 단자(56)에 결합된다. 각 한 행의 NAND 스트링을 따라, 소스 라인(34)과 같은 소스 라인이 각 NAND 스트링의 소스 단자(54)에 결합된다. 한 행의 NAND 스트링 내에 한 행의 메모리 셀을 따라 제어 게이트 또한 워드 라인(42)과 같은 워드 라인에 연결된다. 한 행의 NAND 스트링 내에 한 행의 선택 트랜지스터를 따라 제어 게이트는 선택 라인(44)과 같은 선택 라인에 연결된다. 한 행의 NAND 스트링 내에 전체 한 행의 메모리 셀은 한 행의 NAND 스트링의 워드 라인 및 선택 라인에 적합한 전압에 의해 어드레스될 수 있다. NAND 스트링 내에 한 메모리 트랜지스터가 판독되고 있을 때, 그 스트링 내에 나머지 메모리 트랜지스터는 이들의 연관된 워드 라인을 통해 확실하게 거의 턴 온 되지 않으므로 스트링을 통하는 전류는 근본적으로 판독되는 셀 내 저장된 전하의 레벨에 의존한다.

[0046] 프로그램 및 검증

[0047] 도 6은 일련의 교번하는 프로그램/검증 사이클에 의해 한 페이지의 메모리 셀을 타깃 메모리 상태로 프로그래밍하기 위한 전형적인 기술을 도시한다. 프로그래밍 전압(V_{PGM})은 결합된 워드 라인을 통해 메모리 셀의 제어 게이트에 인가된다. V_{PGM} 은 초기 전압 레벨(V_{PGM0})로부터 시작하는 계단 파형 형태의 일련의 프로그래밍 전압 펄스이다. 프로그래밍되는 셀에는 이 일련의 프로그래밍 전압 펄스가 가해지는데, 매 시도마다 플로팅 게이트에 증분적 전하가 더해진다. 프로그래밍 펄스 사이에서 셀은 구분 레벨에 관하여 그의 소스-드레인 전류를 판정하기 위해서 다시 판독 또는 검증된다. 재판독 프로세스는 하나 이상의 감지 동작을 수반할 수 있다. 셀이 타깃

상태에 도달한 것으로 검증되었을 때 셀에 대해 프로그래밍은 중단된다. 사용되는 프로그래밍 펄스열은 메모리 셀의 전하 저장유닛에 프로그램된 축적된 전자를 상쇄하기 위해서 증가된 기간 또는 진폭을 가질 수 있다. 프로그래밍 회로를 일반적으로 선택된 워드 라인에 일련의 프로그래밍 펄스를 인가한다. 이렇게 하여, 제어 게이트가 워드 라인에 결합된 한 페이지의 메모리 셀이 함께 프로그램될 수 있다. 페이지의 한 메모리 셀이 이의 타깃 상태로 프로그램되었을 때마다, 페이지의 모든 셀이 프로그램-검증될 때까지 다른 셀이 계속하여 프로그래밍이 되는 동안 프로그래밍이 금지된다.

[0048] 메모리 상태 분할의 예

[0049] 도 7(1)은 접지상태 "Gr"로서 소거된 상태와 점진적으로 더 프로그램된 메모리 상태 "A", "B", "C"를 갖는 4상태 메모리 어레이 예의 임계 전압 분포를 도시한다. 관독시, 4개의 상태는 3개의 구별 구분점($D_A \sim D_C$)에 의해 구별된다.

[0050] 도 7(2)은 도 7(1)에 도시된 4개의 가능한 메모리 상태를 나타내기 위한 바람직한 2비트 LM 코딩을 도시한다. 메모리 상태(즉, "Gr", "A", "B", "C") 각각은 한 쌍의 "상위, 하위" 코드 비트, 즉 각각 "11", "01", "00", "10"에 의해 표현된다. "LM" 코드는 미국 특허 6,657,891에 개시되어 있고 전하의 큰 변화를 요구하는 프로그램 동작을 피함으로써 이웃 플로팅 게이트 사이의 전계 효과 커플링을 감소시키는 데에 이점이 있다. 코딩은 2 코드 비트인 "하위" 및 "상위" 비트가 개별적으로 프로그램 및 관독될 수 있게 설계된다. 하위 비트를 프로그래밍할 때, 셀의 임계 레벨은 "소거된" 영역에 남아있거나 임계 윈도우의 "하위 중간" 영역으로 이동된다. 상위 비트를 프로그래밍할 때, 이 두 영역 중 어느 하나에 임계 레벨은 임계 윈도우의 "하위 중간" 영역에서 약간 더 높은 레벨까지 더 나아간다.

[0051] 도 8(1)은 예로서의 8상태 메모리 어레이의 임계 전압 분포를 도시한다. 각 메모리 셀의 가능한 임계 전압은 8개의 가능한 메모리 상태 "Gr", "A", "B", "C", "D", "E", "F", "G"를 구별하기 위해 8개의 영역으로 분할되는 임계 윈도우에 걸쳐있다. "Gr"은 헵(tightened) 분포 내에 소거된 상태인 접지상태이며, "A" ~ "G"는 7개의 점진적으로 프로그램된 상태이다. 관독시, 8개의 상태는 7개의 구별 구분점($D_A \sim D_G$)에 의해 구분된다.

[0052] 도 8(2)은 도 8(1)에 도시된 8개의 가능한 메모리 상태를 나타내기 위한 바람직한 3비트 LM 코딩을 도시한다. 8개의 메모리 상태 각각은 3개로 된 것인 "상위, 중위, 하위" 비트로서, 즉 각각 "111", "011", "001", "101", "100", "000", "010", "110"에 의해 표현된다. 코딩은 3 코드 비트인 "하위", "중위" 및 "상위" 비트가 개별적으로 프로그램 및 관독될 수 있게 설계된다. 이에 따라, 첫회의 하위 페이지 프로그래밍은 하위 비트가 "1"이라면 셀을 "소거된" 또는 "Gr" 상태에 있게 하거나, 하위 비트가 "0"이라면 "하위 중간" 상태로 프로그램되게 한다. 기본적으로, "Gr" 또는 "접지" 상태는 깊게 소거된 상태를 헵범위의 임계값 이내로 프로그램되게 함으로써 헵(tightened) 분포를 갖는 "소거된" 상태이다. "하위 중간" 상태는 메모리 상태 "B"와 메모리 상태 "D" 사이에 걸쳐있는 넓은 분포의 임계 전압을 가질 수 있다. 프로그래밍 동안에, "하위 중간" 상태는 D_B 와 같은 넓은(coarse) 구분점 임계 레벨에 관하여 검증될 수 있다. 중위 비트를 프로그래밍할 때, 셀의 임계 레벨은 하위 페이지 프로그래밍에 기인한 2개의 영역 중 한 영역에서 시작하여 4개의 가능한 영역 중 하나로 이동할 것이다. 상위 비트를 프로그래밍할 때, 셀의 임계 레벨은 중위 페이지 프로그래밍에 기인한 4개의 가능한 영역 중 하나에서 시작하여 8개의 가능한 메모리 상태 중 하나로 이동할 것이다.

[0053] 감지 회로와 기술

[0054] 도 9는 도 1에 도시된 판독/기록 회로(270A, 270B)를 도시한 것으로, 메모리 셀 어레이에 대해 한 뱅크의 p개의 감지 모듈을 내포한다. 병렬로 동작하는 전체 한 뱅크의 p 감지 모듈(480)은 한 행을 따른 한 블록(또는 페이지)의 p 셀(10)이 병렬로 판독 또는 프로그램될 수 있게 한다. 근본적으로, 감지 모듈1은 셀1에 전류(I_1)를 감지할 것이며, 감지 모듈2는 셀2에 전류(I_2)를 감지할 것이며, ..., 감지 모듈 p는 셀p에 전류(I_p)를 감지할 것이다, 등등. 소스 라인(34)에서 결집 노드(CLSRC)로 그리고 이로부터 접지로 흘러나가는 페이지에 대한 총 셀 전류(i_{TOT})는 p 셀 내 모든 전류의 합이 될 것이다. 종래의 메모리 아키텍처에서, 한 공통의 워드 라인을 갖는 한 행의 메모리 셀은 2 이상의 페이지를 형성하며, 여기서 한 페이지 내 메모리 셀이 병렬로 판독 및 프로그램된다. 2개의 페이지를 갖는 한 행의 경우, 한 페이지는 우수 비트 라인에 의해 액세스되고 다른 한 페이지는 기수 비트 라인에 의해 액세스된다. 한 페이지의 감지 회로는 언제나 우수 비트 라인에 결합되거나 아니면 기수 비트 라인에 결합된다. 이 경우, 각각 개별 페이지에 판독/기록 회로(270A, 270B)를 멀티플렉스하기 위해 페이지 멀티플렉서(250A, 250B)가 제공된다.

- [0055] 56nm 기술에 기반한 현재 생산되는 칩에서는 $p > 64000$ 이고 43nm 32Gbit x4 칩에서는 $p > 150000$ 이다. 바람직한 실시예에서, 블록은 연속한 전체 한 행의 셀이다. 이것, 페이지가 각각 인접 비트 라인에 결합된 한 행의 인접 메모리 셀로부터 구성되는 소위 "전(all) 비트 라인" 아키텍처이다. 또 다른 실시예에서, 블록은 행 내 한 부분집합의 셀이다. 예를 들어, 부분집합 셀은 전체 행의 반 또는 전체 행의 1/4 일 수도 있을 것이다. 부분집합 셀은 연속한 인접 셀일 수도 있고 또는 하나 걸러 한 셀, 또는 소정 수의 셀을 걸러 한 셀일 수도 있을 것이다. 각각의 감지 모듈은 비트 라인을 통해 메모리 셀에 결합되며 메모리 셀의 도통 전류를 감지하기 위한 감지 증폭기를 포함한다. 일반적으로, 판독/기록 회로가 메모리 어레이의 서로 대향한 양측 상에 분포된다면, 한 뱅크의 p 개의 감지 모듈은 2세트의 판독/기록 회로(270A, 270B) 사이에 분포될 것이다.
- [0056] 도 10은 도 9에 도시된 감지 모듈의 바람직한 구성을 개략적으로 도시한다. p 감지 모듈을 내장하는 판독/기록 회로(270A, 270B)는 한 뱅크의 판독/기록 스택(400)으로 그룹화된다.
- [0057] 도 11은 도 10에 도시된 판독/기록 스택을 상세히 도시한다. 각각의 판독/기록 스택(400)은 한 그룹의 k 개의 비트 라인에 병렬로 동작한다. 한 페이지가 $p = r * k$ 비트 라인을 갖고 있다면, r 개의 판독/기록 스택(400-1, ..., 400- r)이 있게 될 것이다. 근본적으로, 아키텍처는 각 스택의 k 감지 모듈이 공간 절약을 위해 공통 프로세서(500)에 의해 소용되게 하는 아키텍처이다. 공통 프로세서(500)는 감지 모듈(480)에 그리고 데이터 래치(430)에 위치한 래치 내 저장될 업데이트된 데이터를 이 래치 내 현재값과 상태 머신(112)으로부터의 제어에 기초하여 계산한다. 공통 프로세서의 상세한 설명은 전체 개시된 바를 참조로 여기 포함시키는 2006년 6월 29일 미국 특허출원공개번호 US-2006-0140007-A1에 기술되어 있다.
- [0058] 병렬로 동작하는 전체 한 뱅크의 분할된 판독/기록 스택(400)은 한 행을 따른 한 블록(또는 페이지)의 p 셀이 병렬로 판독 또는 프로그램되게 한다. 이에 따라, 전체 한 행의 셀에 대해 p 개의 판독/기록 모듈이 있게 될 것이다. 각 스택이 k 메모리 셀에 사용되고 있으므로, 뱅크 내 판독/기록 스택의 총 수는 $r = p/k$ 에 의해 주어진다. 예를 들어, 뱅크에 스택 수가 r 이면, $p = r * k$ 가 된다. 일예의 메모리 어레이는 $p = 150000$, $k = 8$ 을 가질 수 있고 따라서 $r = 18750$ 이다.
- [0059] 400-1과 같은 각각의 판독/기록 스택은 근본적으로 병렬로 한 부분의 k 메모리 셀에 소용되는 한 스택의 감지 모듈(480-1 내지 480- k)을 내포한다. 페이지 제어기(410)는 선(411)을 통해 제어 및 타이밍 신호를 판독/기록 회로(370)에 제공한다. 페이지 제어기 자체는 선(311)을 통해 메모리 제어기(310)에 의존한다. 각각의 판독/기록 스택(400) 간에 통신은 상호연결 스택 버스(431)에 의해 달성되고 페이지 제어기(410)에 의해 제어된다. 제어 라인(411)은 페이지 제어기(410)로부터 제어 및 클럭 신호를 판독/기록 스택(400-1)의 구성성분에 제공한다.
- [0060] 바람직한 배열에서, 스택 버스는 공통 프로세서(500)와 한 스택의 감지 모듈(480) 간에 통신을 위한 SABus(422)와, 프로세서와 한 스택의 데이터 래치(430) 간에 통신을 위한 DBus(423)으로 분할된다.
- [0061] 한 스택의 데이터 래치(430)는 스택에 연관된 각 메모리 셀에 하나씩 데이터 래치(430-1 내지 430- k)를 포함한다. I/O 모듈(440)은 데이터 래치가 데이터를 I/O 버스(231)을 통해 외부와 교환할 수 있게 한다.
- [0062] 또한, 공통 프로세서는 오류 상태와 같은 메모리 동작의 상태를 나타내는 상태 신호의 출력을 위한 출력(507)을 포함한다. 상태 신호는 Or-결선 구성으로 FLAG BUS(509)에 묶인 n -트랜지스터(550)의 게이트를 구동하기 위해 사용된다. FLAG BUS는 바람직하게는 제어기(310)에 의해 프리차지되고 판독/기록 스택 중 어느 것에 의해 상태 신호가 발현되었을 때 풀-다운 될 것이다.
- [0063] 저잡음 감지 모듈 어레이
- [0064] 미국 특허 7,046,568는 저 공급 전압에서 동작할 수 있는 저잡음 감지 회로를 구비한 비휘발성 메모리 장치를 개시한다. US 7,046,568의 전체 기재 내용이 본 명세서에 참조로 포함된다.
- [0065] 이전의 감지 회로와 달리, US 7,046,568의 저잡음 감지 회로는 커패시터로서 작용하는 비트 라인이 아니라 전용 커패시터를 방전시키는 방전선에 의해 셀 전류를 측정한다. 이렇게 하여, 비트 라인 전압은 감지하는 동안 일정하게 유지될 수 있고, 그럼으로써 비트 라인 상에 시변 전압에 기인한 비트 라인간 커플링으로부터의 잡음을 회피할 수 있다. 또한, 감지 회로는 셀 전류를 판정하기 위해 사용되는 전압 방전의 동적 범위를 효과적으로 확장하는 전압 승압 회로를 탑재함으로써 저 공급 전압으로 동작할 수 있다.
- [0066] 본 발명의 일면에 따라서, 한 페이지의 메모리 셀은 대응하는 한 어레이의 감지 모듈에 의해 병렬로 감지되며, 주어진 메모리 셀을 위한 감지 모듈에서 발생하는 잡음은 어레이 내 다른 감지 모듈과 간섭으로부터 방지된다. 특히 기존의 감지 모듈은 페이지의 고 도통 메모리 셀을 확인하여 폐쇄시킨 후에는 어레이 내 다른 감지 모듈에

대한 현저한 잡음원이 된다. 본 발명은 폐쇄된 메모리 셀에 연관된 감지 모듈이 어레이에서 여전히 감지하고 있는 다른 감지 모듈에 잡음을 전파시키는 것을 방지한다. 이렇게 하여, 감지 정확성이 개선되어 성능이 더 나아지게 하며 더 많은 데이터 비트가 각 메모리 셀에 저장될 수 있게 한다.

- [0067] 도 12a는 도 9 내지 도 11에 도시된 감지 모듈의 기존의 구현예를 개략적으로 도시한 것이다. 기존의 감지 모듈(480')은 US 7,046,568에 개시된 것과 유사하다. 도 10에 도시된 각각의 판독/기록 스택(400)은 k 비트 라인을 통해 대응하는 k 메모리 셀에 소용되는 한 세트의 k 감지 모듈을 내포함이 이해될 것이다. 한 공통 프로세서(500)에 의해 소용되는 k 감지 모듈(480-1 내지 480-k), 및 k 데이터 래치(430-1 내지 430-k)가 있게 될 것이다. 간단하게 하기 위해서, 도 12a는 한 세트의 k 감지 모듈(480-1 내지 480-k) 중 어느 하나를 나타내는 감지 모듈(480') 중 하나와, 공통 프로세서(500)와 함께 동작하는 한 세트의 k 데이터 래치(430- 내지 430-k) 중 어느 하나를 나타내는 한 세트의 데이터 래치(430)을 명료하게 도시하고 있다. 도 10 및 도 11에 관련하여 기술된 바와 같이, 총 r 판독/기록 스택을 병렬로 동작시킴으로써 한 페이지의 p 메모리 셀에 사용된다.
- [0068] 기존의 감지 모듈(480')은 신호(BLS)에 의해 제어되는 커플링 트랜지스터(482)를 통해 비트 라인(36)을 경유하여 메모리 셀에 결합된다. 메모리 셀의 예는 NAND 체인(50) 중에 메모리 트랜지스터이다. 감지 모듈(480')은 감지 증폭기(600'), 비트 라인 전압 클램프(610) 및 풀다운 회로(550)를 포함한다. 감지 모듈(480')은 신호(NC0)에 의해 제어되는 전송 게이트(488)를 통해 SA 버스(422)와 같은 버스를 사용하여 다른 주변회로와 통신한다.
- [0069] 앞서 기술된 바와 같이, 한 스택의 감지 모듈은 SA 버스(422)를 통해 공통 프로세서(500) 및 한 세트의 데이터 래치(430)과 통신한다. 공통 프로세서(500)는 감지 모듈(480')의 래치에 그리고 데이터 래치(430)에 저장된 데이터에 액세스한다. 이것은 이들의 현재의 값에 기초해서 그리고 상태 머신(112)으로부터의 제어에 기초해서, 업데이트된 값을 계산한다. 업데이트된 값은 감지 모듈(480') 내 래치 및/또는 데이터 래치(430)에 다시 저장된다. 공통 프로세서(500)는 Dbus(423)을 통해 k 데이터 래치에 결합된다. 한 세트의 데이터 래치(430)은 I/O 버스(231)를 통해 외부에 연결된다. 감지 모듈(480'), 공통 프로세서(500) 및 한 세트의 데이터 래치(430)의 동작은 제어 라인(411)을 통해 제어 및 타이밍 신호를 발행하는 페이지 제어기(410)를 통해 상태 머신(112)(도 11 참조)에 의해 제어된다.
- [0070] 감지 모듈(480')은 신호(COM1)를 전달하는 노드(481)를 갖는다. 노드(481)는 감지 증폭기(600')가 비트 라인(36) 및/또는 SA 버스(422))에 선택적으로 결합되게 한다.
- [0071] 감지는 비트 라인 전압 클램프(610)에 의해 클램프된 고정된 전압에서 비트 라인(336)으로 수행된다. 비트 라인 전압 클램프는 비트 라인과 COM1 노드(481) 사이에 소스 및 드레인이 직렬로 된 n-트랜지스터(612)에 의해 구현된다. n-트랜지스터(612)의 게이트 상에 아날로그 전압은 비트 라인 상에 클램프된 전압을 판정한다. 감지 동작 동안에, 일정한 비트 라인 전압은 비트 라인 상에 가변하는 전압에 기인하여 비트 라인 간에 있을 수 있는 커플링을 제거한다.
- [0072] 페이지의 메모리 셀이 기준 전류보다 더 큰 도통 전류를 갖는 것으로 판정될 때, 이 셀에 대한 감지가 행해지고 나머지 페이지가 계속 감지되는 동안 추가의 감지 동작으로부터 격리된다. 이것은 비트 라인(336)을 접지로 낮춤으로써 셀을 턴 오프 시켜 달성된다. 풀-다운 회로(550)는 비트 라인(36)을 접지로 선택적으로 가져가기 위해 제공된다. 풀-다운 회로(550)는 필수적으로 비트 라인 및 접지에 걸쳐 직렬의 2개의 n-트랜지스터(552, 486)를 포함한다. 2개의 트랜지스터는 신호(GRS, INV)에 의해 각각 제어된다. 둘 다 하이일 때, 풀-다운 회로(550)가 활성화되고 노드(481)(COM1)를 접지로 가져간다. 신호(BLS) 또한 하이일 때, 비트 라인(36)도 접지로 된다. 이렇게 하여, 셀 전류는 이의 소스와 드레인의 단락에 기인하여 턴 오프된다.
- [0073] 신호(GRS)는 프로그래밍 동안에 사용되며 상태 머신(112)으로부터 제어되고(도 11 참조), 페이지 제어기(411)로부터의 제어 및 타이밍 신호의 부분으로서 공급된다. 감지하는 동안에, GRS는 항상 하이이며, 감지 증폭기(600')가 셀 전류가 기준 전류보다 더 큰 것으로 감지할 때 감지 증폭기(600')에 의해 신호(INV)도 하이로 설정된다.
- [0074] 감지 증폭기(600')는 전압 클램프(620), 프리차지 회로(640'), 셀 전류 포관별기(650) 및 감지 증폭기 래치(660)를 포함한다. 감지는 셀 전류 판별기(650)에 의해 노드(631)에 신호(SEN)를 검출함으로써 수행된다. SEN 노드(631)는 신호(HLL)에 의해 제어되는 분리 트랜지스터(642)를 통해 프리차지 회로(640')에 의해 프리차지될 수 있다. 이어서 SEN 노드(631)는 신호(XXL)에 의해 제어되는 분리 트랜지스터(630)를 통해 COM1 노드(481)에 결합될 때 메모리 셀에도 결합될 수 있다.
- [0075] 전압 클램프(620)는 프리차지 회로와 COM1 노드(481) 간에 트랜지스터(622)에 의해 구현된다. 비트 라인 전압

클램프(610)이 적합히 기능하게 하기 위해서 노드(481)에 신호(COM1)를 소정 레벨 이상으로 유지하게 트랜지스터(622)는 신호(BLX)에 의해 구동된다.

- [0076] 프리차지 회로(640')는 감지 모듈의 여러 동작 동안 COM1 노드(481)와 SEN 노드(631)가 Vdd 쪽으로 상승되게 한다. 프리차지 회로(640')는 신호(INV)에 의해 활성화되는 p-트랜지스터(644)에 의해 구현된다.
- [0077] SEN 노드(631)와 COM1 노드(481) 사이에 분리 트랜지스터(630)는 서로 다른 전압이 2개의 노드 상에 존재하게 한다. 비트 라인(36)이 소정 전압까지 프리차지될 필요가 있을 때, 신호(BLS, BLC, XXL, HLL, INV)에 의해 각각 제어되는 트랜지스터(482, 612, 630, 642, 644)에 의해 활성화되는 경로를 통해 상승될 수 있다. 유사하게, 노드(481)에 COM1 신호와 노드(631)에 SEN 신호는 신호(XXL, HLL, INV)에 의해 각각 제어되는 Vdd까지 필수적으로 상승될 수 있다.
- [0078] 일부 구현예에서, Vdd는 더 낮은 값으로 변환 전에 외부 소스(Vext)로부터 직접 공급된다. 이것은 상승된 전압에 대해 100mV의 가외의 여유를 제공할 수 있고 음(V_{TS})의 영역에서 메모리 셀을 감지하는 경우 특히 유용하다.
- [0079] 셀 전류 판별기(650)는 근본적으로 메모리 셀의 도통 전류를 기주전류에 대해 비교한다. 셀 전류가 기준 전류보다 높을 때, 감지 증폭기는 신호(INV)를 하이 상태로 출력하며 그 역도 같다. 일단 설정되면, 신호(INV)는 감지 증폭기 래치(660)에 의해 래치된다.
- [0080] 감지 전에, 선택된 메모리 셀의 전극에의 전압은 적합한 워드 라인 및 비트 라인을 통해 하나 이상의 프리차지 동작에서 설정되어야 한다.
- [0081] 예를 들어, 도 12a에 도시된 바와 같이, NAND 체인(50)과 교차하는 워드 라인(WL1)을 따른 한 페이지의 메모리 셀이 감지를 위해 선택될 수 있다. 프리차지 동작은 고찰되는 소정의 메모리 상태에 대해서 비선택된 워드 라인(WL0, WL2 ~ WL31)이 전압(Vread)까지 충전되고 선택된 워드 라인(WL1)이 소정의 임계 전압($V_T(i)$)까지 충전되는 것부터 시작한다.
- [0082] 비트 라인(36) 및 COM1 노드(481), SEN 노드(631)는 프리차지 회로(640')에 의해 각각 감지하기에 적합한 소정의 전압까지 프리차지된다. NAND 체인(50)에 워드 라인 및 비트 라인 전압의 인가로, 선택된 메모리 셀이 턴 온 될 것이다. 소스-드레인 도통 전류가 메모리 셀에서 흐를 것이다. 도통 전류는 메모리 셀의 소스와 드레인 사이에 명목상의 전압차가 존재할 때 선택된 메모리 셀에 프로그램된 전하 및 선택된 워드 라인에 인가되는 $V_T(i)$ 의 함수이다.
- [0083] 워드 라인 및 비트 라인 상에 전압이 안정될 때, 선택된 메모리 셀의 도통 전류 또는 프로그램된 임계 전압은 SEN 노드에서 감지 증폭기(600')에 의해 감지될 수 있다.
- [0084] 셀 전류 판별기(650)는 근본적으로, 노드(631)에서 커패시터(652) 상에 신호(SEN)를 셀 전류가 방전하는 방전물을 검출함으로써 셀 전류를 측정한다. 이에 따라, 방전되는 SEN의 방전물의 판정은 도통 전류의 측정을 제공할 것이다. 방전 전에, SEN은 프리차지 회로(640')에 의해 Vdd까지 프리차지된다. 감지는 셀 전류가 차단되는 시간까지(XXL LOW) 셀 전류가 커패시터를 방전하는데 허용되는 시간(HLL LOW 및 XXL HIGH)으로 주어지는 소정의 기간에 끝난다.
- [0085] 감지하는 동안, 비트 라인에 메모리 저장유닛의 도통 전류는 커패시터(652)를 방전시킬 것이다. 셀이 더 도통될수록, 더 빠르게 방전한다. 그러면 SEN 노드(631)에 전압은 도통 전류에 따른 방전물로 Vdd로부터 감소할 것이다. 기정의된 방전기간 끝에서, 분리 트랜지스터(630)는 XXL이 로우로 감으로써 턴 오프된다(기간은 기준 전류에 대응한다). 이것은 셀 전류를 SEN 노드(631)로부터 단절시켜 추가의 방전을 중지시킬 것이다. 신호(SEN)는 측정하는 p-트랜지스터(656)를 턴 오프 할 수도 있고 하지 않을 수도 있을 어떤 값까지 떨어질 것이다.
- [0086] 감지 기간 후에, 신호(SEN)에 전압은 p-트랜지스터의 임계값($V_{dd} - |V_T|$)과 비교된다(V_{TP} 는 p-트랜지스터의 임계 전압이다). SEN은 p-트랜지스터(656)의 게이트에 인가된다. p-트랜지스터가 턴 온 된다면, SEN은 $V_{dd} - |V_T|$ 미만으로 방전되거나 도통 전류는 기준 전류보다 크다. p-트랜지스터가 턴 오프 되지 않는다면, 도통 전류는 SEN을 $V_{dd} - |V_T|$ 미만으로 방전시킬 수 없는 기준 전류 미만이 된다.
- [0087] p-트랜지스터(656)의 소스측은 연결 트랜지스터(654)가 게이트 신호(STB)로 턴 온 될 때 Vdd에 연결된다. SEN이 p-트랜지스터(656)를 턴 온 시킬 만큼 충분히 낮게 떨어지지 않았다면, 트랜지스터(656)의 드레인측에서 신호(INV)를 출력하는 노드(657)는 로우인 채로 남아 있을 것이다. 반면, SEN이 $V_{dd} - |V_{TP}|$ 미만으로 떨어졌다면,

p-트랜지스터(656)가 턴 온 될 것이며 INV 노드(657)는 Vdd까지 상승되어 래치될 것이다.

[0088] 셀 전류 판별기(650)는 셀의 도통 전류가 주어진 구별 전류값보다 큰지 아니면 낮은지를 효과적으로 판정한다. 주어진 구별 전류값은 소정의 방전시간에 대응한다. 감지된 전류가 구별 전류 값보다 크다면, 해당 메모리 셀은 제어 게이트에 인가된 $V_T(i)$ 미만의 임계값을 갖는다. 이에 따라, INV 형태로 감지된 결과는 셀 전류가 기준 구별레벨 미만일 때 로우 상태로 남아 있다. 역으로, INV는 셀 전류가 기준 레벨보다 클 때는 하이 이다. NV 신호는 감지 증폭기 래치(660)에 의해 래치되는 CMOS 로직 레벨로 전환된다.

[0089] 전압 승압 회로

[0090] 도 12a 및 앞에 설명으로부터, 비트 라인 클램프(610)에 의해 비트 라인 전압 이 소정의 V_{BL} 에 클램프된다면, 클램프 n-트랜지스터(612)의 드레인 측은 클램프가 기능할 수 있게 소스 측보다 전압이 약간 더 높아야(예를 들어, 약 0.2V 만큼) 함을 알 것이다. 이에 따라, COM1은 약 0.2V만큼 V_{BL} 보다 더 높아야 하며 이것은 전압 클램프(622)에 의해 보증된다. 또한, 이것은 SEN의 전압 레벨이 기껏해야 COM1보다 높은 V_T 이내까지 떨어질 수 있음을 의미한다. 이에 따라, 노드(631)에서 SEN 신호의 방전은 Vdd에 의해 주어진 상한과 COM1보다 약간 더 높은(예를 들어, 약 V_T 만큼) V_{LIMIT} 에 의해 주어진 하한을 갖는 제한된 동적 범위로 동작할 수 있을 뿐이다. 그러나, Vdd의 소스인 낮은 공급 전압에 대해서, V_{LIMIT} 의 존재가 주어졌을 때, $(Vdd - |V_{TP}|) < V_{LIMIT}$ 이라면, p-트랜지스터는 결코 턴 온 되지 않을 것이다.

[0091] 비교회로(650')는 커패시터(652)의 한 플레이트에 선(703)을 통해 승압 전압(V_B)을 공급하기 위해 전압 시프터(700) 형태의 전압 승압 회로를 제공함으로써 저 전압 동작에 맞게 구성된다. 전압 시프터의 타이밍은 선(702)을 통해 페이지 제어기(498)에 의해 제어된다.

[0092] 동작시, 프리차지 회로(640')는 감지 노드 SEN(631)를 Vdd까지 가져간다. 전압 시프터는 노드 SEN이 분리 트랜지스터(636)에 의해 Vdd로부터 차단된 후에 활성화된다. 전압 시프터는 기본적으로 ΔV 만큼 V_B 신호 레벨 증분을 가지므로, 노드 SEN(631)에서 커패시터의 다른 플레이트 상에 전압은 같은 양만큼 승압될 것이다. 이것은 동적 범위의 상한을 ΔV 만큼 효과적으로 증가시키므로 보통의 도통 전류에 대응하는 최종 전압은 Vdd - V_{LIMIT} 보다 더 높을 수 있다. 방전기간의 끝에서, 감지 노드 SEN(631)은 분리 트랜지스터(634)를 통해 노드 SEN2로부터 차단됨으로써 V_{LIMIT} 제약을 제거한다. 이어서 SEN(631) 상에 전압은 동일 ΔV 만큼 감소되어 기준 전압 ($Vdd - |V_{TP}|$)과 비교되기 전에 초기 승압을 상쇄시킨다. 이것은 V_{LIMIT} 미만의 레벨에서도 전압 비교가 행해질 수 있게 한다.

[0093] 다른 감지 모듈에 대해 감지 모듈 폐쇄에 따른 잡음

[0094] 전압 승압 회로(700)는 감지 기간 동안 V_B 를 상승시키므로 감지 모듈(480')에서 잡음원이 될 수 있다. 잡음은 커패시터(652)를 통해 SEN 노드(631) 및 이를 넘어서 전파할 수 있다. 잡음은 감지 모듈이 감지 동작에서 활성화 되었을 때 셀이 전류싱크로서 작동하고 있고 감지 증폭기 내 비트 라인 전압 클램프(610) 및 전압 클램프(620) 둘 다 잡음을 완화시키도록 동작하고 있으므로 중요하지 않다.

[0095] 앞서 기술된 바와 같이, 감지 모듈은 고 전류 셀을 검출하고 신호(INV)를 하이로 래치한 후에 폐쇄 모드에 진입한다. 이것은 비트 라인이 풀다운 회로(550)에 의해 접지까지 내려간 후에 셀 전류가 쏟 다운되게 한다. 폐쇄 감지 모듈은 더 이상 감지에 관여하지 않으며 페이지 내 아직 폐쇄되지 않은 메모리 셀을 감지하는 데 있어 다른 감지 모듈이 계속 활성인 동안에 비활성이 된다. 그러나, 폐쇄된 감지 모듈은 비활성 모드에서도, 여전히 활성인 다른 감지 모듈에 대한 현저한 잡음원이 된다.

[0096] 도 12b는 폐쇄 모드에 들어간 도 12a에 도시된 감지 모듈의 잡음경로를 도시한 것이다. 폐쇄 모드는 감지 증폭기(600')가 기준 전류 이상의 셀 전류를 검출하고 신호(INV)를 하이로 설정할 때이다. INV가 하이인 것에 응하여, 감지 모듈(480')은 프리차지 회로(640')를 통한 Vdd에의 액세스가 차단되는 동안 비트 라인을 접지로 가져간다. 이것은 전압 클램프(620) 및 따라서 비트 라인 전압 클램프(610)도 더 이상 기능할 수 없음을 의미한다. 한 페이지의 메모리 셀이 병렬로 감지되고 있을 때, XXL와 BLS 및 V_B 과 같은 제어 신호이, 폐쇄 모드에 들어간 감지 모듈을 포함한 모든 감지 모듈에 균일하게 인가된다. 이에 따라, INV가 하이인 상태의 감지 모듈(480')에 대해서, 전압 승압 회로(700)에 의해 발생된 잡음은 경로(711)를 따라 비트 라인(36)에 전파할 수 있다. 페이지

내 각 메모리 셀의 소스가 신호(CLSRC)로 페이지 소스 라인에 결합되고 페이지 소스 라인이 접지에 결합된다면, 잡음이 전파하여 접지 루프를 통해 CLSRC에 영향을 미칠 수 있다.

[0097] 도 13은 폐쇄 모드에 들어간 도 12b에 도시된 기존의 감지 모듈에 대한 제어 신호의 타이밍을 도시한 것이다. 폐쇄 모드에서 감지 모듈(480')은 전압 승압 회로(700)으로부터의 잡음이 비트 라인뿐만 아니라 페이지 소스 라인에 도달하게 한다. 도 13 및 도 12b 둘 다를 참조하면, 모든 감지 모듈에 대한 감지 기간은 SEN 노드(631)로부터 프리차지 회로(640')를 차단시키는 HLL(도 13(a))로 시작하여, SEN 노드를 더 방전시키는 것으로부터 셀 전류를 차단시키는 XXL(도 13(b))로 끝난다. 감지 기간 동안에, 전압 승압 회로로부터 V_B 공급으로 감지 노드가 승압된다. 폐쇄 모드의 감지 모듈에 있어서, SEN 노드(631)는 풀다운 회로(550)를 통해 CLSRC 페이지 소스 라인(34)에도 결합되는 비트 라인(36)에 결합된다. 셀 전류가 턴 오프된 상태에서, 감지 기간의 시작에서 V_B 의 전압 레벨의 급격한 이동은 SEN 노드에 리플을 야기한다{도 13(d)}. 이 리플은 잡음으로서 잡음 경로(711)를 따라 전파하여 결합된 비트 라인{도 13(e)} 및 CLSRC 페이지 소스 라인{도 13(f)}에 도달한다.

[0098] 잡음이 비트 라인에 미치는 영향

[0099] 감지 모듈(480')은 비트 라인 간에 시변 전류의 커플링을 피하기 위해서 일정한 비트 라인 전압에서 감지하게 설계되었다. 셀 전류에 관련없는 어떠한 전류이든 단지 잡음이 될 것이며 셀 전류의 감지에서 오류에 기여할 것이다. 위에 설명되는 바와 같이, 폐쇄 감지 모듈은 시변 전류인 잡음을 폐쇄 비트 라인에 떠넘길 수 있다. 폐쇄 메모리 셀이 더 이상 감지되고 있지 않을지라도, 폐쇄 비트 라인에 변동 전류는 이웃한 비트 라인의 셀이 여전히 감지되고 있을 수 있는 이 이웃한 비트 라인에 결합될 수 있다. 이러한 유형의 결합 잡음은 폐쇄 셀 근처에 감지되는 셀에 유효하여 감지시 오류에 기여한다.

[0100] 잡음이 페이지 소스 라인에 미치는 영향

[0101] 또 다른 문제는 메모리 셀의 소스측 전압에서 불확실성에 의해 유발되는 오류를 처리해야 한다. 예를 들어, 소스측 오류의 한 발현은 소스 라인과 칩의 접지 패드 간에 유한한 저항에 기인한다. 메모리 셀을 감지하기 위한 잠재적 문제는 유한 저항에 소스 부하에 의해 야기되는 소스 라인 바이어스이다. 상당수의 메모리 셀이 병렬로 감지될 때, 이들의 결합된 전류에 의해 유한 저항을 갖는 접지 루프에 현저한 전압 강하가 나타날 수 있다. 이에 따라 소스 라인 바이어스가 초래되어 임계 전압 감지를 채용하는 판독 동작에서 오류를 야기한다.

[0102] 도 14는 접지에 대해 유한 저항을 갖는 소스 라인에 전류 흐름에 기인한 소스 전압 오류의 문제를 도시한 것이다. 판독/기록 회로(270A, 270B)는 동시에 한 페이지의 메모리 셀에 동작한다. 판독/기록 회로에 각각의 감지 모듈(480)은 비트 라인(36)을 통해 대응하는 셀에 결합된다. 예를 들어, 감지 모듈(480)은 메모리 셀(10)의 도통 전류(i_1)(소스-드레인 전류)를 감지한다. 도통 전류는 소스 라인(34)을 통해 접지로 가기 전에 비트 라인(36)을 통해 감지 모듈로부터 메모리 셀(10)의 드레인 내로 그리고 소스(14)로부터 밖으로 흐른다. 집적 회로 칩에서, 메모리 어레이 내 셀의 소스는 메모리 칩의 어떤 외부 접지 패드(예를 들어, V_{SS} 패드)에 연결되는 소스 라인(34)의 복수의 브랜치로 모두가 함께 결선된다. 소스 라인의 저항을 감소시키기 위해서 금속 스트래핑이 사용될 때라도, 메모리 셀의 소스 전극과 접지 패드 간에 유한 저항(R)이 계속 남아 있다. 전형적으로, 접지 루프 저항(R)은 대략 50 옴이다.

[0103] 병렬로 감지되는 전체 한 페이지의 메모리에 있어서, 소스 라인(34)을 통해 흐르는 총 전류는 모든 도통 전류의 합, 즉 $i_{TOT} = i_1 + i_2 + \dots + i_p$ 이다. 일반적으로, 각 메모리 셀은 이의 전하 저장 소자에 프로그램된 전하량에 따라 도통 전류를 갖는다. 메모리 셀의 주어진 제어 게이트 전압에 대해서, 소 전하는 비교적 더 큰 도통 전류를 야기할 것이다(도 3 참조). 메모리 셀의 소스 전극과 접지 패드 간에 유한 저항이 존재할 때, 저항에 걸리는 전압 강하는 $V_{drop} = i_{TOT}R$ 에 의해 주어진다.

[0104] 예를 들어, 각각이 $0.25\mu A$ 의 전류를 갖는 24000 비트 라인이 동시에 방전한다면, 소스 라인 전압 강하는 24000 라인 $\times 0.25\mu A$ /라인 $\times 50$ 옴 ~ 0.3 볼트와 같게 될 것이다. 이 소스 라인 바이어스는 바디 효과가 소스 전압에서 0.3 V 상승이 임계 전압에서 0.45 V 상승을 초래하게 하는 것이라고 할 때, 메모리 셀의 임계 전압이 감지될 때 0.45 볼트의 감지 오류에 기여할 것이다.

[0105] 도 15는 소스 라인 전압 강하에 의해 야기되는 메모리 셀의 임계 전압 레벨에서의 오류를 도시한 것이다. 메모리 셀(10)의 제어 게이트(30)에 공급되는 임계 전압 V_T 은 GND에 대한 전압이다. 그러나, 메모리 셀에서 본 유효 V_T 은 이의 제어 게이트(30)와 소스(14) 간의 전압차이다. 공급과 유효 V_T 간에{소스(14)에서 소스 라인에의 전압

강하의 작은 기여는 무시한다} 대략 $1.5 \times V_{\text{drop}}$ 의 차이가 있다. 이 V_{drop} 또는 소스 라인 바이어스는 메모리 셀의 임계 전압이 감지될 때 예를 들어 0.45 볼트의 감지 오류에 기여할 것이다. 이 바이어스는 이것이 데이터에 의존적일 때, 즉 페이지의 메모리 셀의 메모리 상태에 의존적일 때는 쉽게 제거될 수 없다.

[0106] 미국 특허 7,173,854는 접지 루프에 기인한 소스 바이어스 오류 문제를 완화하기 위해서 페이지 내 각 메모리 셀의 소스에 가까운 워드 라인 전압을 참조하는 방법을 개시한다.

[0107] "METHOD FOR SENSING NEGATIVE THRESHOLD VOLTAGES IN NON-VOLATILE STORAGE USING CURRENT SENSING" 명칭의 Nguyen 등의 2007년 6월 29일에 출원된 미국 특허출원번호 11/771,982는 페이지를 따른 각 메모리 셀의 소스를 소정 페이지의 소스 전압에 레귤레이트하는 메모리 장치 및 방법을 개시한다. 미국 특허출원번호 11/771,982의 전체 내용이 본 명세서에 참조로 포함된다.

[0108] 도 15는 폐쇄 감지 모듈에 기인한 잡음이 감지되고 있는 개별 감지 모듈의 페이지 소스 라인 및 비트 라인 둘다에 유입되는 것을 개략적으로 도시한 것이다. 잡음은 전형적으로 페이지 소스 라인에 레귤레이터로도 유지할 수 없는 빠른 변동을 갖는다. 위에 개시된 바로부터, 페이지 소스 라인(34)에 신호(CLSRC)에 잡음이 유입된다면, 페이지 소스 라인에 결합된 모든 메모리 셀을 감지하는 동안 오류를 야기할 것임이 명백하다.

[0109] 개선된 저 잡음 감지 모듈 어레이

[0110] 감소된 공급 전압으로 동작할 수 있는 감지 모듈의 바람직한 구현에서, 감지되는 방전 전압의 동적 범위를 증가시키기 위해 전압 승압 회로가 채용된다. 감지 모듈이 기준 전류보다 더 큰 도통 전류를 갖는 셀을 확인하였을 때, 셀은 더 감지되지 않게 폐쇄되고 연관된 비트 라인은 폐쇄 셀을 턴 오프시키기 위해서 페이지의 소스 라인에 단락된다. 이 폐쇄 모드에서, 전압 승압 회로에 의해 발생된 상승된 전압은 잡음원이 되고 셀의 비트 라인에 그리고 페이지의 소스 라인에 전파하기 쉬어, 다른 동작하는 감지 모듈에 간섭할 수 있다. 이 잡음원은 감지 모듈이 폐쇄 모드에 들어갔을 때마다 비트 라인 및 소스 라인에 도달하지 않게 격리된다. 잡음원과 비트 라인 및 소스 라인을 전압 상승회로에 결합하는 중간 회로 사이에 격리 회로가 배치된다.

[0111] 일반적인 실시예에서, 격리회로로서 전송 게이트가 채용된다. 전송 게이트는, 기준 전류보다 더 큰 도통 전류를 갖는 것으로 확인된 메모리 셀에 기인한 폐쇄 모드를 나타내는 래치된 신호에 의해 턴 오프 되고 페이지의 추가 감지 동작되지 않게 폐쇄되었다. 전송 게이트를 턴 오프 하는 것은 메모리 셀의 비트 라인 및 페이지의 소스 라인에의 잡음 경로를 차단한다.

[0112] 바람직한 실시예에서, 방전 전압이 감지되고 있고 승압된 전압이 인가되는 노드와 중간 회로 사이에 전송 게이트가 배치된다.

[0113] 도 16은 바람직한 실시예에 따라, 폐쇄 감지 모듈로부터 개선된 잡음 격리를 갖는 감지 모듈 스택을 도시한 것이다. 감지 모듈 스택은 공통 SAbus(422)를 공유하는 감지 모듈(480-1 내지 480-k)로 구성된다. 동작에서, 한 페이지의 메모리 셀이 병렬로 감지된다. 도 11에 도시된 바와 같이, p 비트 라인을 통해 한 페이지의 p 메모리 셀에 연결하는 p 감지 모듈이 있다. 이에 따라, 도 16에 도시된 감지 모듈 스택은 페이지에 대해서 전체 한 세트의 감지 모듈을 형성하는 p/k 스택 중 하나를 나타낸다. 한 페이지의 메모리 셀은 전압 CLSRC를 갖는 페이지 소스 라인(343)(도 14 및 도 15 참조)에 결합된 각 메모리 셀의 소스를 갖는다.

[0114] 각각의 감지 모듈(480)은 도 12a 및 도 12b에 도시된 기존의 감지 모듈(480')과 유사하다. 한 차이는 메모리 셀의 감지된 결과에 따라 설정되는 신호(INV)에 의해 제어되는 전송 게이트(750)의 포함이다. 바람직한 구현에서, 전송 게이트(750)는 p-트랜지스터(752) 및 n-트랜지스터(754)를 포함한다. 전송 게이트의 제 1 노드는 n-트랜지스터(754)의 드레인에 결합되는 p-트랜지스터(752)의 소스를 갖는다. 전송 게이트의 제 2 노드는 n-트랜지스터(754)의 소스에 결합되는 p-트랜지스터의 드레인을 갖는다. 2개의 노드는 COM1 노드(481) 및 노드(482)에 걸쳐 연결된다. 노드(482)는 신호(COM2)를 전달하며 전송 게이트(750)와 비트 라인 전압 클램프(610) 사이에 위치된다. p-트랜지스터(752)는 신호(INV)에 의해 게이트되며 n-트랜지스터(754)는 INV의 반전인 INV*에 의해 게이트된다.

[0115] 셀 전류가 기준 전류보다 높은 것으로 감지 증폭기(600)에 의해 판정될 때, INV는 하이로 설정되고 래치된다. 비트 라인은 페이지 소스 라인(34)에 CLSRC까지 높아진다(도 14 및 도 15 참조). 소스 및 드레인이 근본적으로 동일 전위에 있을 때, 셀 전류는 턴 오프 되고 감지 모듈은 폐쇄 모드에 들어가며 다른 감지 모듈이 이들의 각각의 메모리 셀의 감지를 계속하여 수행하는 동안 비활성이 된다. 폐쇄 모드에서, 하이인 INV는 전송 게이트(750)를 턴 오프 시킬 것이다. 이에 따라, V_b 로 전압 이동에 기인한 잡음은 감지 모듈이 폐쇄 모드에 있을 때

다 전송 게이트에 의해서만 차단될 SEN 노드(631) 및 COM1 노드(481)까지 전파할 수 있다. 이렇게 하여, 임의의 폐쇄 감지 모듈로부터의 잡음이, 여전히 감지에 연루된 감지 모듈에 간섭하는 것이 방지된다.

- [0116] 도 16에 도시된 전송 게이트에 대한 바람직한 실시예의 또 다른 특징은 비트 라인과 궁극적으로는 Vdd 간에 경로 내에 전송 게이트(750) 내 p-트랜지스터(752)의 구성으로, p-트랜지스터는 도 12a에 도시된 이전 프리차지 회로(640') 내 이전 p-트랜지스터(644)의 풀업 기능을 이행한다는 것이다. 이에 따라, 도 16에서, 개선된 감지 모듈(480) 내 프리차지 회로(640)는 풀업을 위해 더 이상 p-트랜지스터를 요구하지 않는다. 프리차지 회로(640)는 단순히 Vdd에의 연결이다. 전송 게이트는 Vdd로의 풀업을 수행하기 위해 프리차지 동작 동안 턴 온 된다.
- [0117] 도 17은 폐쇄 모드에 들어간 도 16에 도시된 개선된 감지 모듈에 대한 제어 신호의 타이밍을 도시한 것이다. 폐쇄 모드에서 감지 모듈(480)의 전송 게이트(750)는 전압 승압 회로로부터의 잡음이 비트 라인 뿐만 아니라 페이지 소스 라인에 도달되지 못하게 한다. 도 17 및 도 16 둘 다를 참조하면, 모든 감지 모듈에 대한 감지 기간은 SEN 노드(631)로부터 프리차지 회로(640')를 차단시키는 HLL(도 17(a))로 시작하여 SEN 노드를 더 방전시키지 못하게 셀 전류를 차단하는 XXL(도 17(b))로 끝난다. 감지 기간 동안, V_B 가 전압 승압 회로로부터 공급되어 감지 노드가 승압된다. 폐쇄 모드의 감지 모듈에 있어서, SEN 노드(631)는 개재된 전송 게이트(750)를 제외하고, 풀다운 회로(550)를 통해 CLSRC 페이지 소스 라인(34)에도 결합되는 비트 라인(36)에 결합된다. 셀 전류가 턴 오프된 상태에서, 감지 기간의 시작에서 V_B 의 전압 레벨의 급격한 이동은{도 17(c)} SEN 노드에 리플을 야기한다{도 17(d)}. 잡음으로서 이 리플의 전파는 결합된 비트 라인{도 17(e)} 및 CLSRC 페이지 소스 라인{도 17(f)}에 도달하는 것이 턴 오프된 전송 게이트(750)에 의해 중단된다. 도 13(e) 및 도 13(f)에 도시된 대응하는 것과 비교해서, 폐쇄된 개선된 감지 모듈의 비트 라인에 또는 전체 페이지의 페이지 소스 라인에는 잡음이 없다.
- [0118] 또 다른 바람직한 실시예에서, 전송 게이트는 방전 전압이 감지되고 있는 노드와 전압 승압 회로 사이에 배치된다.
- [0119] 도 18은 대안적 바람직한 실시예에 따라, 폐쇄 감지 모듈로부터 개선된 잡음 격리를 갖는 감지 모듈을 도시한 것이다. 대안적 실시예에서 감지 모듈(480")은, 전송 게이트(750)가 유사 전송 게이트(760)로 대체되고 전압 승압 회로(700) 및 SEN 노드(631) 사이에 재배치된 것을 제외하고, 도 16에 도시된 바람직한 실시예의 감지 모듈(480)과 유사하다. 경로(703)를 통해 커패시터(652)에 도달하기 전에 게이트 V_B 를 게이트하게 놓여져 있다.
- [0120] 도 19는 폐쇄 감지 모듈로부터의 잡음을 페이지를 감지하는데 있어 여전히 활성인 다른 것에 간섭하지 않게 격리시키는 방법을 도시한 흐름도이다.
- [0121] 단계 810: 병렬로 감지되는 일군의 비휘발성 메모리 셀 중에 한 비휘발성 메모리 셀의 도통 전류를 감지하기 위해, 중간 회로를 통해 메모리 셀에 의해 액세스될 수 있는 노드를 제공한다.
- [0122] 단계 820: 노드를 초기 전압까지 프리차지 한다.
- [0123] 단계 830: 노드에 결합된 전압 승압 회로를 제공한다.
- [0124] 단계 832: 노드 상의 초기 전압을 소정의 양만큼 승압한다.
- [0125] 단계 840: 노드에서의 전압 방전률에 의해 도통 전류를 측정한다.
- [0126] 단계 850: 도통 전류가 소정의 값보다 더 큰 것으로 판정될 때마다, 적어도 일 그룹의 메모리 셀에 대한 감지가 완료될 때까지 메모리 셀의 중간 회로로부터 전압 승압 회로를 격리시킨다.
- [0127] 고속 감지 모듈 어레이
- [0128] 12/28/2007에 출원된 미국 특허출원번호 11/966,325에 더 전개되어 있는 것인 위에 주어진 감지 모듈에 대한 여러 실시예는 감지 증폭기의 데이터 래치로부터 데이터를 판독하는 프로세스가, 연결된 비트 라인에 프리차지 요소가 공급하는 동일 경로의 일부를 이용하는 배열을 사용한다. 이것은 미국 특허 7,173,854 및 7,170,784에서 볼 수 있는 것에서도 그러하다. 예를 들어, 도 12a에 도시된 바와 같이, 감지 모듈(480')에 래치된 데이터 값은 스위치(488)를 통해 버스 노드(422)에 공급된다. 이것은 라인(COM1)이 481에서 연결하는 것을 수반한다. 이것은 도 12b에 도시된 바와 같이, 프리차지가 비트 라인에 공급되는 것과 동일 경로이다.
- [0129] 이 논의의 목적을 위해 다소 재배열된 이들 감지 모듈의 상세 중 일부를 나타낸 도 20a ~ 도 20c에서 이 상황을 더 상세히 고찰한다. 도 20a는 이들 다른 감지 증폭기의 다소 일반적 버전으로서 취해질 수 있지만 중간에 프리

차지 유지 커패시터 CSA(653)를 구비하여 배열된 것을 도시한 것으로, 좌측을 디지털부라 할 수 있고 우측을 아날로그부라 할 수 있는 것을 도시한 것이다. 도 12a의 대응하는 부분의 단지 재배열인 아날로그부는 프리차지 커패시터(653)로부터의 전류를 선택된 비트 라인에 제공한다. 디지털측에서, 판별 요소는 상태를 판별하여 660에 래치한다. SA 래치(660)는 예를 들어 래치된 값을 유지하기 위해 교차결합된 트랜지스터로부터 형성될 수 있고 여기에서는 RST 및 STB 신호에 응답한다.

[0130] 도 20b는 전류가 프리차지 커패시터 CSA(652)에서 선택된 비트 라인까지 취하는 감지를 위한 아날로그 경로를 도시한 것이다. 구체적으로, 이것은 노드(631, 481)를 지나 계속 진행하여 비트 라인 선택 트랜지스터(482)까지 진행한다. 도 20c는 데이터를 SA BUSS(422)로 전송하기 위한 경로를 도시한 것으로, 다시 전류는 노드(631, 481)를 통과하는데, 여기에서 전류는 방향을 바꾸어 트랜지스터(488)를 거쳐 계속하여 422에 감지 증폭기 buss로 진행한다. 이들 두 경로는 공통 부분으로서, SEN에 라인부터 노드(631)로 계속하여 노드(481)를 지나는 부분을 공유한다. 결국, 한 감지 동작을 위해 422까지의 데이터 전송이 완료될 때까지, 프리차지 커패시터(652)는 다음 감지 동작을 위해 충전될 수 없다. 결국, 도 20a의 배열과 같은 배열에서 감지 수행을 느리게 하는 요인 중 하나는 아날로그 감지 시간(도 20c)에 연속하여 디지털 데이터 전송 시간(도 20b)의 결과이다.

[0131] 속도 고찰 외에도, 이 배열은 트랜지스터(630)를 통해 Vdd의 하이 데이터 값을 전달하기 위해서는 일반적으로 630의 임계값을 보상하기 위해 XXL이 Vdd 이상의 값으로 취해질 것을 요구할 것이기 때문에 아날로그 감지 경로에서 잡음을 야기한다. 데이터 값이 출력되게 놔둔 후에, XXL은 전형적으로 Vdd로 다시 취해질 것이지만, 이것은 얼마간에 시간이 걸릴 수 있기 때문에, 이것은 잡음을 유발하여 이 잡음은 BL 클램프(610)를 거쳐 도 12b에 관하여 여기에서 논의된 것과 유사한 효과를 갖고 앞에서 기술된 경로를 따라간다.

[0132] 여기에서 제시된 배열은 감지 모듈 회로 내 아날로그부와 디지털부가 병렬로 행해질 수 있게 이들을 분리하는 새로운 방법을 도입한다. 이렇게 하여, 감지 성능은 대략적으로 10%만큼 전형적 설계를 개선할 수 있다. 또한, 이것은 감지하는 동안 아날로그 감지 경로 상에 잡음을 제거하고 스위칭 전류를 감소시키는데 도움을 준다. 도 21a에 관하여 알게 되는 바와 같이, 이러한 종류의 설계는 메모리가 이전 감지 데이터를 밖으로 전송하는 동안 다음 감지 환경이 준비될 수 있게 한다.

[0133] 도 21a는 도 20a의 감지 모듈의 맥락에서 방법의 일부 특징을 도시한 것이다. 다른 실시예는 미국 특허 7,173,854 및 7,170,784의 것과 같은 다른 감지 모듈에서 뿐만 아니라 앞에서 주어진 다른 여러 실시예에 근거하거나, 이들과 결합될 수 있다.

[0134] 도 21a의 실시예는 좌측은 아날로그부이고 우측은 디지털부로서, 중앙에 프리차지 요소 CSA(652)를 도시한다. 디지털부는 이전처럼 구성될 수 있는 SA 래치(660), 및 판별요소(650)를 포함한다. Dcrm(650) 내에, 트랜지스터(654, 656)는 앞서와 같으나, 그러나 RST에 의해 트랜지스터 658 제어기가 노드(657)를 접지에 연결하지 않고, 노드(657)가 트랜지스터(2101)를 통해 노드(422)에 연결되고 이로부터 계속하여 SABus로 연결된다. 결국, 래치된 데이터는 이제 RST 신호와 함께 이전 NCO 신호의 기능을 포함하는 신호(RST_NCO)에 의해 제어되는 트랜지스터(2101)를 통해 이 경로를 따라 전송되어 나간다. 데이터를 밖으로 전송하는 이제 완전히 경로는 디지털측 내에 있기 때문에, NCO에 의해 제어되는 도 20a의 이전의 스위치(488)은 더 이상 이 기능을 이행할 필요가 없다.

[0135] 도 21b는 경로 전류가 프리차지 커패시터 CSA(652)부터 선택된 비트 라인까지 취하는 감지를 위한 아날로그 경로를 도시한 것으로 도 20b에 대한 것에 대부분 동일하다. 데이터를 SA BUSS(422)에 전송하기 위한 디지털 경로는 도 21c에 도시되었고, 도 20c와는 달리, 이것은 레벨 INV가 스위치(2101)에 의해서 노드(657)에서 노드(422)로 전송되므로 아날로그 경로와 겹치지 않는다. 결국, 일단 판별 요소(650)가 감지 동작의 결과를 확정하였으면, 감지 모듈은 다음 감지 동작의 디지털부로 계속되게 디지털 결과가 전송될 것을 기다릴 필요없이 커패시터를 충전하고 다른 단계를 시작할 수 있고, 래치된 데이터 값은 편리할 때 버스로 전송된다.

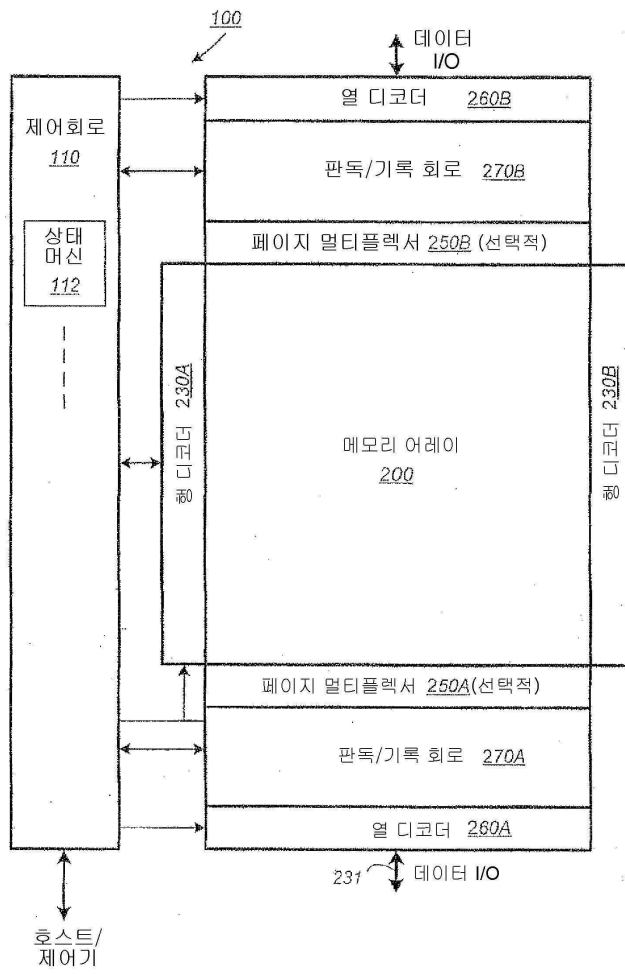
[0136] 판독 프로세스에서, 도 7에 도시된 바와 같은 4-상태 메모리의 예를 취하면, 전형적인 프로세스는 먼저 A 상태에 대해 판독하며, 이어서 B 상태, 마지막으로 C 상태에 대해 판독한다. 도 20a의 배열에서, 선택된 워드 라인은 A상태에 대해 판독하기 위해 사용되는 값까지 상승되고 판독의 아날로그부가 실행되며, 프리차지가 수행되고 이어서 도 20b의 경로를 따라 선택된 비트 라인에 공급하기 위해 사용된다. 감지 증폭기는 셀의 상태를 기준 레벨과 비교하기 위해 판별부(650)를 위해 스트로브(strobe) 되고, 결과는 래치된다. 이 결과를 읽어내기 위해서, 도 20c의 경로가 사용되는데, 그러나 이것은 프리차지 커패시터가 방전되는 것이 아날로그부에서 이미 행해지지 않았다면(즉, 선택된 셀이 도통되어 있지 않다면) 이를 필요로 한다. 일단 이것이 행해지면, 이어서 데이터 전송이 행해질 수 있다. 또한, 워드 라인이 다음 감지 동작을 준비하기 위해 상승될 수 있을지라도(여기에서는,

선택된 셀 상에 B 상태), 감지 증폭기는 전송이 완료될 때까지 다음 감지 동작을 위해 준비될 수 없다.

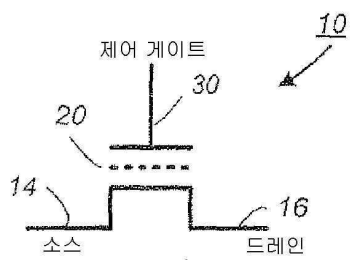
- [0137] 일단 A 판독에 대한 결과의 데이터 전송이 도 20c의 경로를 사용하여 완료되면, B 판독을 위해 비트 라인이 상승될 수 있는데, 이것은 C 판독으로 계속되기 전에 동일한 방법으로 진행된다. 결국, 도 20a 내지 도 20c와 같은 배열이 구조 하에서, 데이터 결과를 래치하기까지 판독 동작의 아날로그부는 디지털 값의 데이터 전송 부분에 이어 수행되고 워드 라인 및 비트 라인의 값은 순차적으로 상승된다.
- [0138] 이와 반대로, 도 21a 내지 도 21c와 같은 배열하에서, 일단 비교결과가 판별요소에 의해 수행되고 래치되면, 전송은 다음 판독을 위한 준비와 병렬로 수행될 수 있어, 전송 시간이 가려질 수 있게 되고 워드 라인 및 비트 라인 값이 동시에 상승되게 할 수 있다.
- [0139] 다시 도 21a 내지 도 21c를 참조하고 도 7에 도시된 바와 같은 4 상태 메모리의 예를 취하면, A 상태에 대한 판독부터 시작하여 선택된 워드 라인은 A 상태에 대해 판독하기 위해 사용되는 값까지 상승되고 판독의 아날로그부가 실행되며, 프리차지가 수행되고 이어서 도 21b의 경로를 따른 선택된 비트 라인에 공급하는데 사용된다. 감지 증폭기는 셀의 상태를 기준 레벨과 비교하기 위해 판별부(650)를 위해 스트로브(strobe) 되고, 결과는 래치된다. 이때 프로세스는 이전 경우에서 같리는데, 도 21c의 데이터 전송을 위한 경로가 사용되므로, 아날로그부 및 프리차지부는 다음 상태로 계속 진행할 수 있고 이와 아울러 데이터 전송은 이 후속되는 판독의 결과를 위해 래치가 필요로 되기 전에 언제든지 행해질 수 있다. 또한, 아날로그/프리차지 요소에서 레벨을 방전하고 재충전할 필요성이 덜하기 때문에, 아날로그 감지 경로에 잡음 및 필요로 되는 스위칭 전류가 감소된다.
- [0140] 검증 동작을 위한 것이든 정규의 판독을 위한 것이든, 동일한 경로의 대부분이 비트 라인 전류에 공급하고 데이터를 전송시키는데 사용되므로, 트랜지스터(630)는 도 20b 및 도 20c의 두 경로에 대해 XXL에 의해 턴 온 되어야 한다. 위에 언급된 바와 같이, 이것은 트랜지스터(630)를 통해 BL 전압 클램프(610)로, 이어서 비트 라인 자체로 잡음 리플이 계속되게 하여 변위 전류에 영향을 미치게 될 것이다. 데이터를 전송하기 위해 도 21c의 경로를 사용하는 것은 Vdd의 "하이"로 감지된 값을 계속하여 SA 버스로 전달하기 위해 요소(630)가 충분히 턴 온 될 필요가 없기 때문에 XXL로부터 이 잡음을 최소화하는데 도움을 줄 수 있다.
- [0141] 도 21a의 설계는 감지 동작을 위해 도 20a의 것보다 덜 스위칭 파워를 사용할 것이다. 도 20c를 참조하면, 스위치(488)를 턴 온 시키기 위해 NCO를 하이로 취할 필요성 외에도, 위에 논의된 바와 같이, XXL은 630을 충분히 턴 온 시키기 위해 상승시킨 레벨로 취해져야 한다. 또한, 도 20c에서, BL 전압 클램프(610) 및 비트 라인 선택 스위치(482)가 턴 오프 되므로, BLC 및 BLS 둘 다 로우로 취해질 것이다. 반대로, 도 21c에서, 데이터 전송 동안 BLC 및 BLS 값을 토글할 필요성이 더 이상 없으며 XXL은 상승된 값으로 취해질 필요가 없다. 대신에, 래치된 값(2101)을 전송시키는데 필요한 스위치만이 턴 온 될 필요가 있다. 또한, 도 20a 내지 도 20c는 간이화한 도면으로서, 이들의 아날로그부는 도 20b의 모드에서 도 20c의 모드로 천이에서 스위칭을 요구하였을 다수의 다른 요소를 포함할 수 있다.
- [0142] 본 발명의 다양한 면이 어떤 실시예에 관하여 기술되었으나, 발명은 첨부한 청구항의 전체 범위 내에서 보호되게 한 것임을 알 것이다.

도면

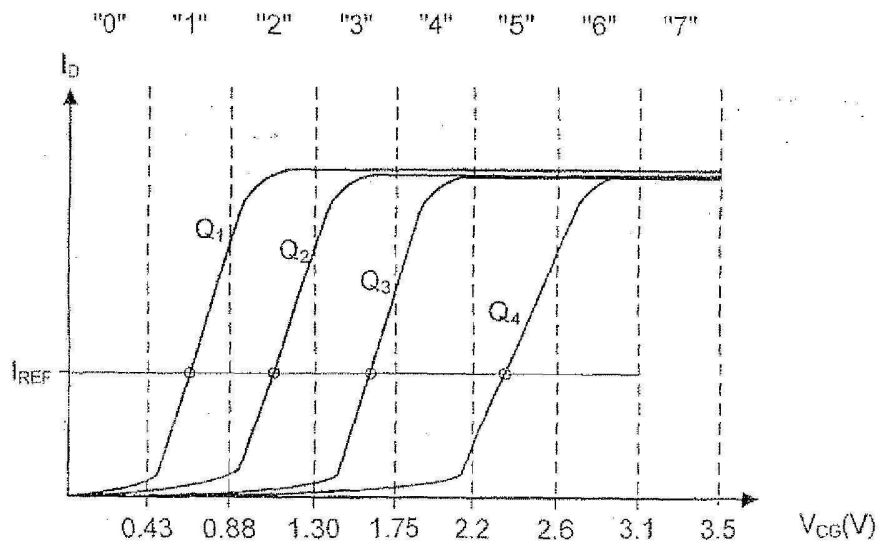
도면1



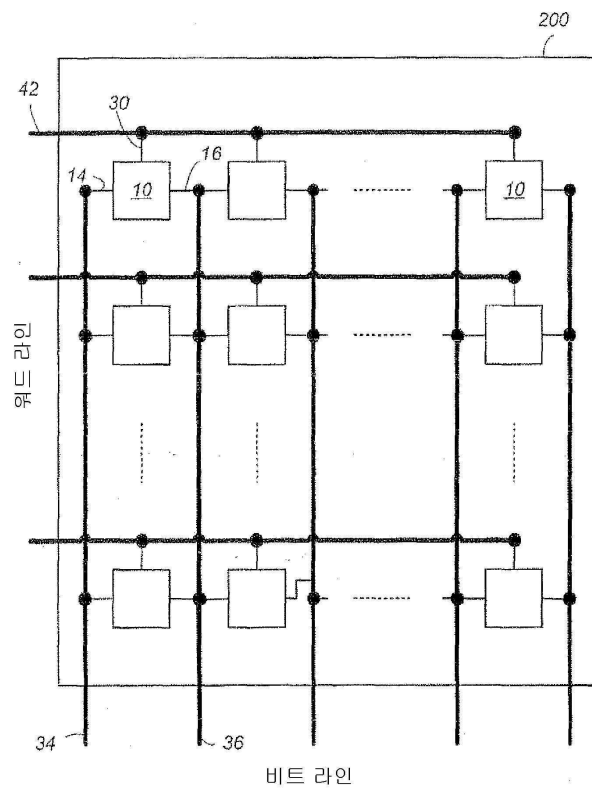
도면2



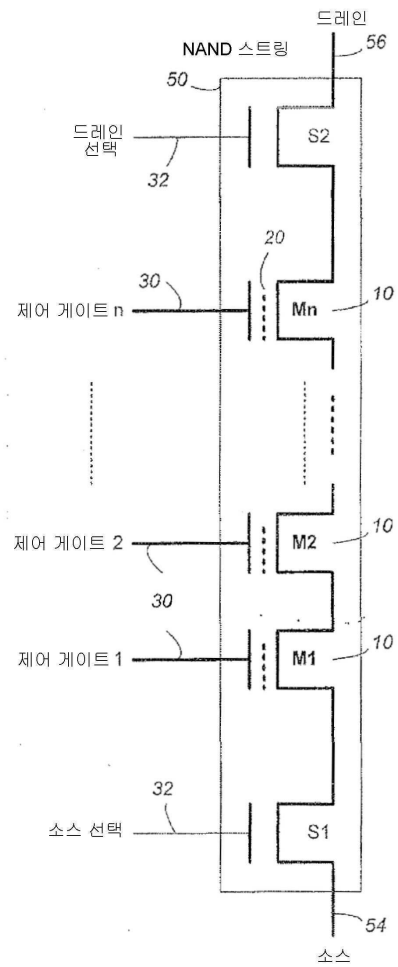
도면3



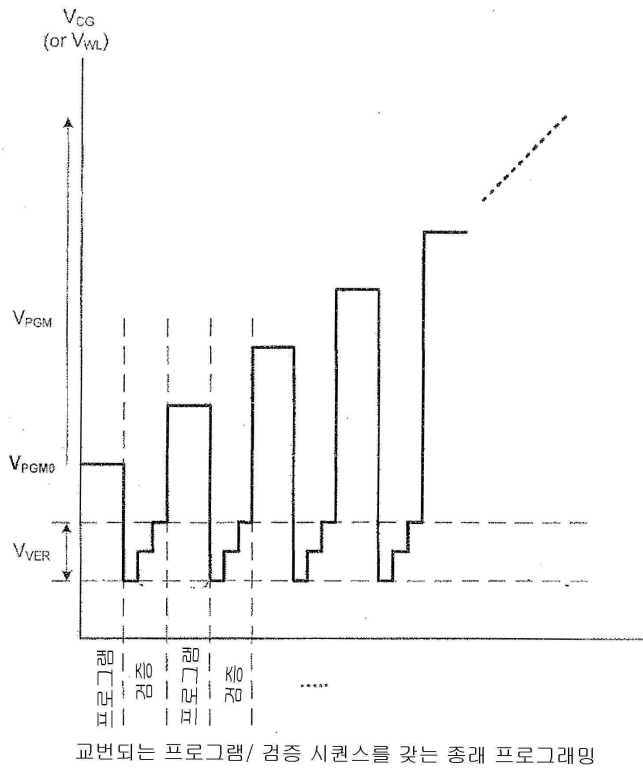
도면4



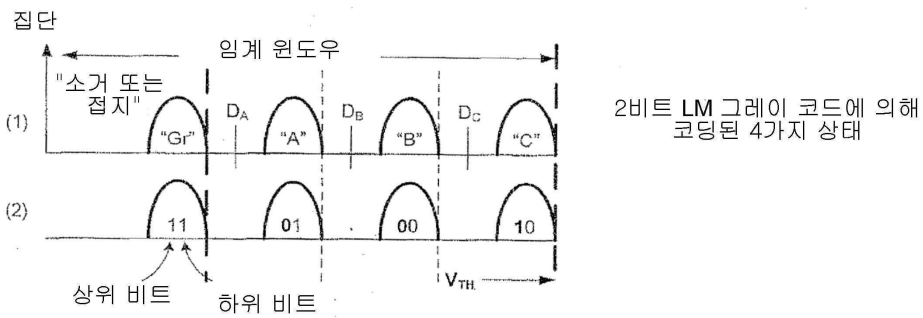
도면5a



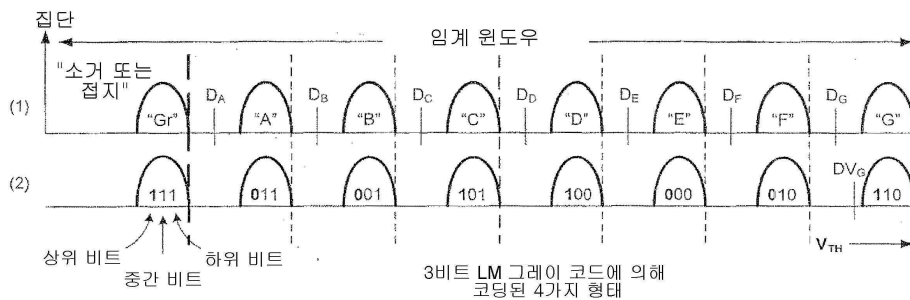
도면6



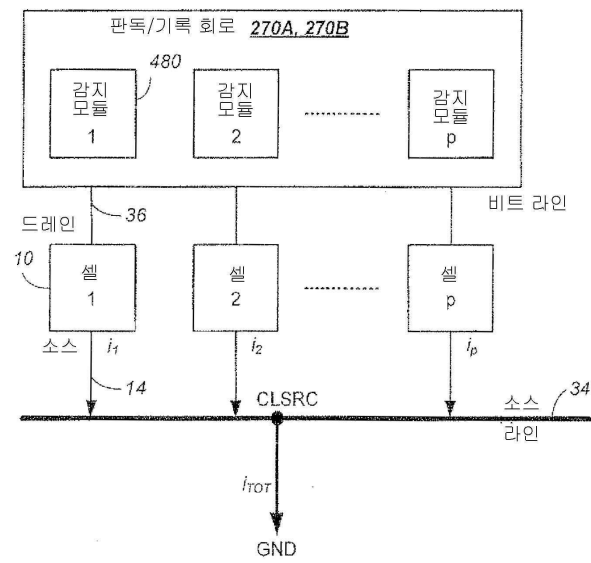
도면7



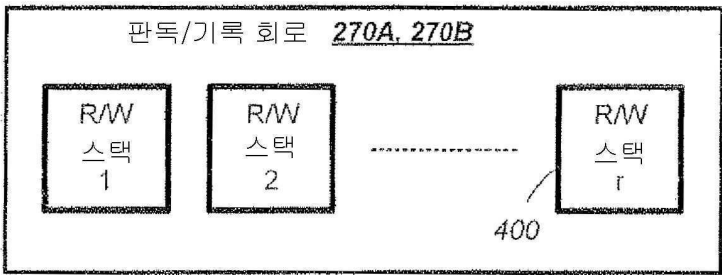
도면8



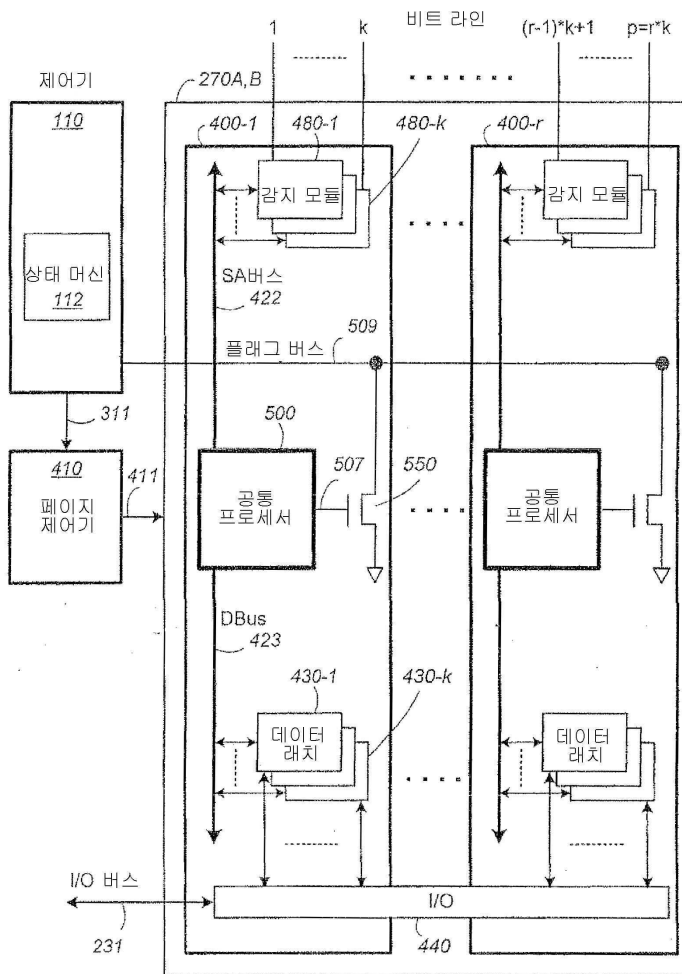
도면9



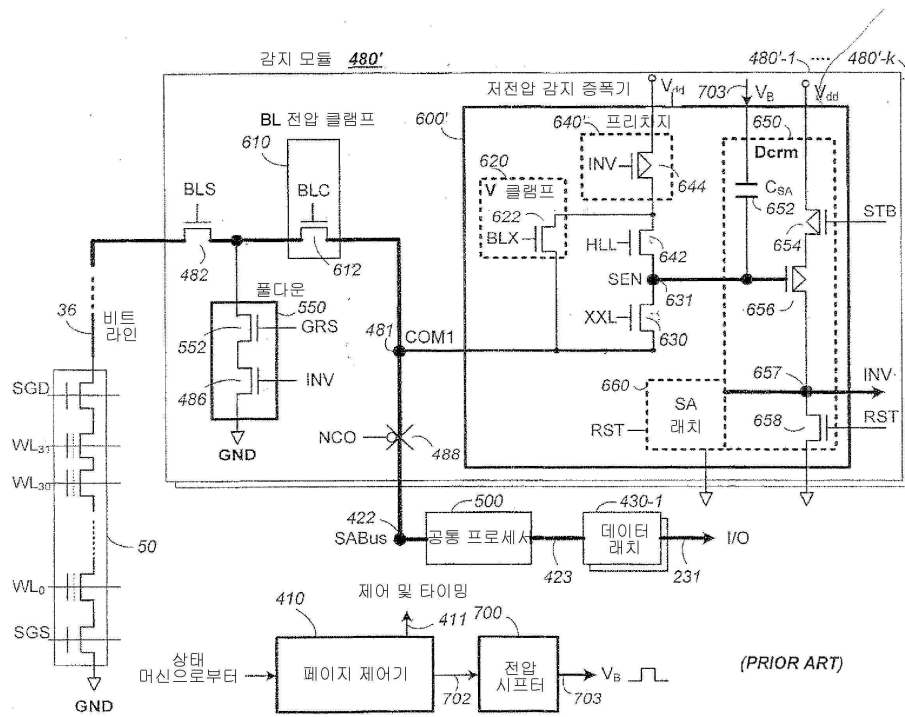
도면10



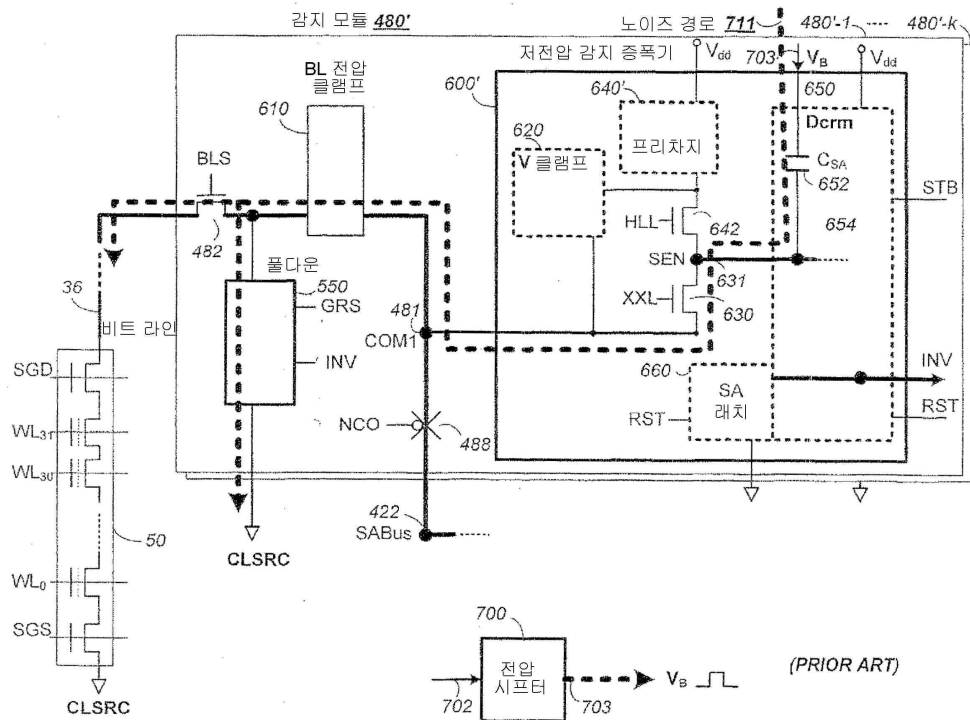
도면11



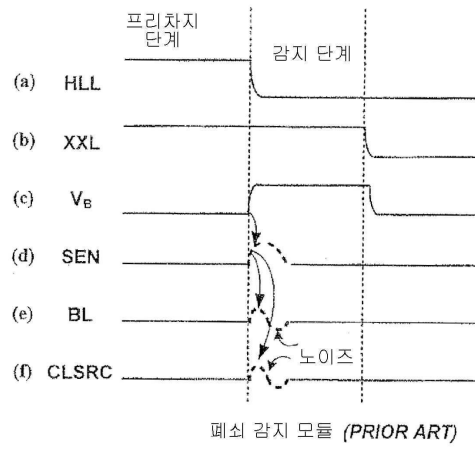
도면12a



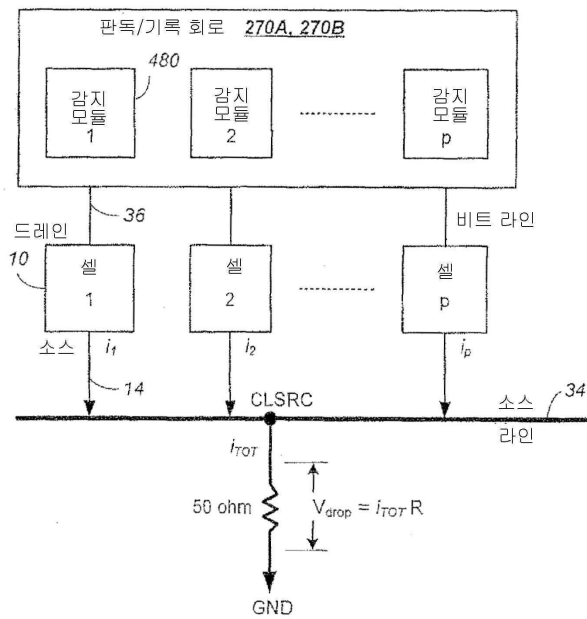
도면12b



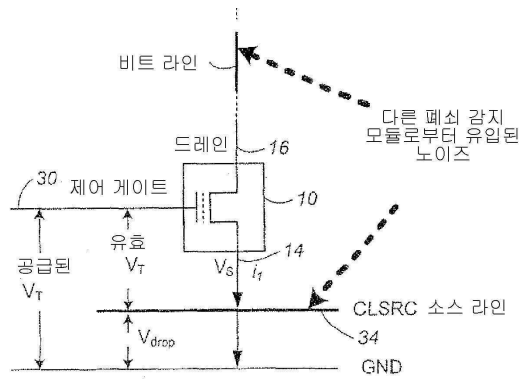
도면13



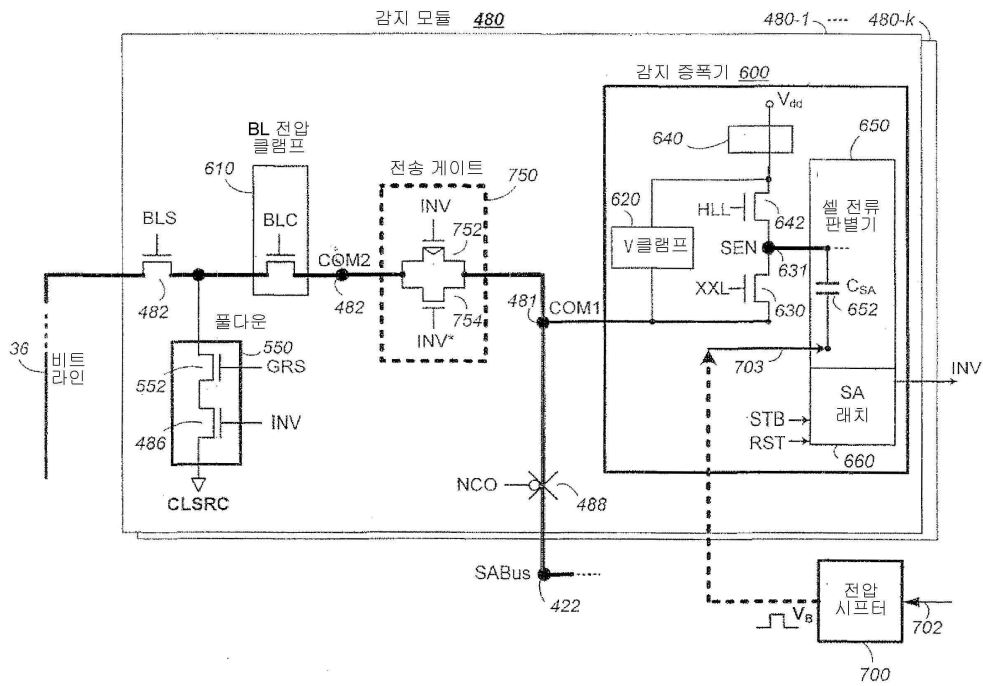
도면14



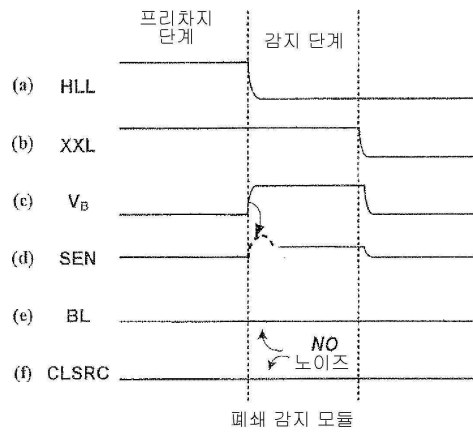
도면15



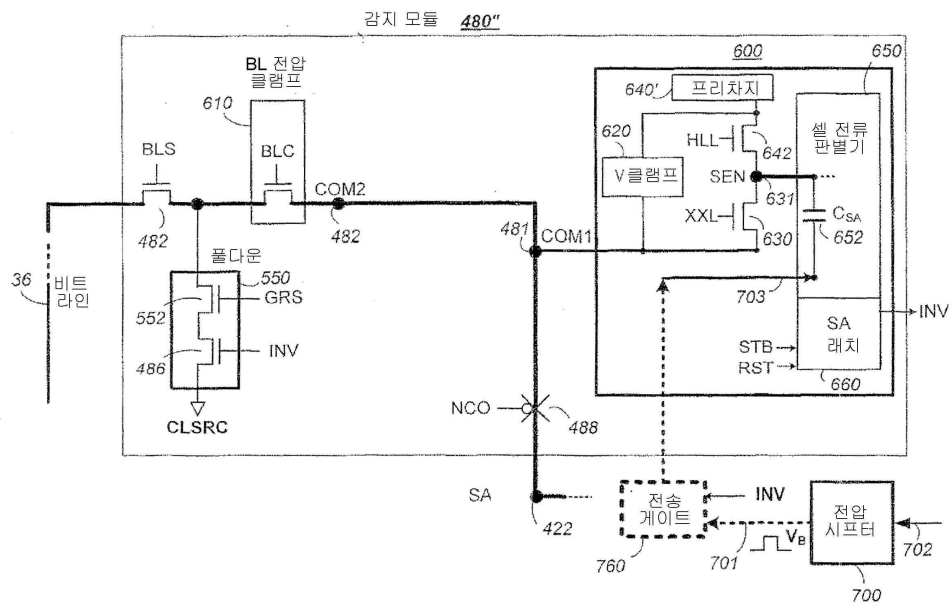
도면16



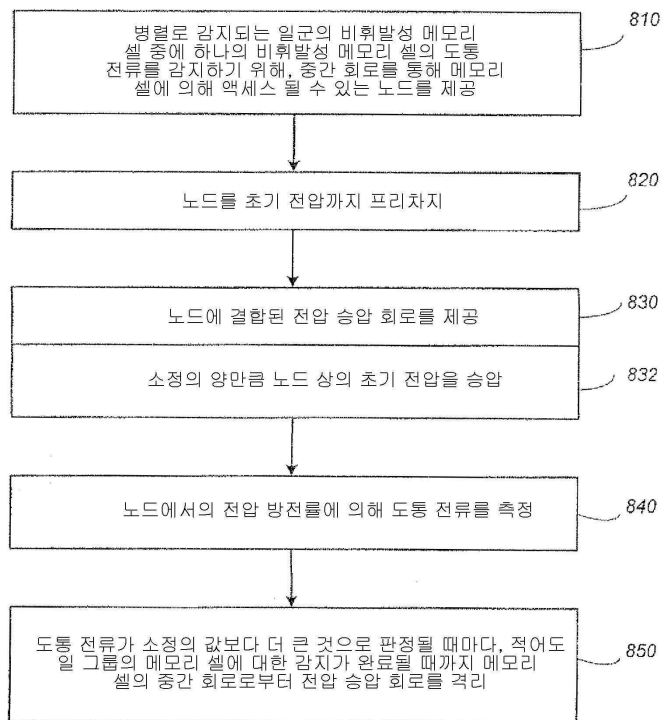
도면17



도면18

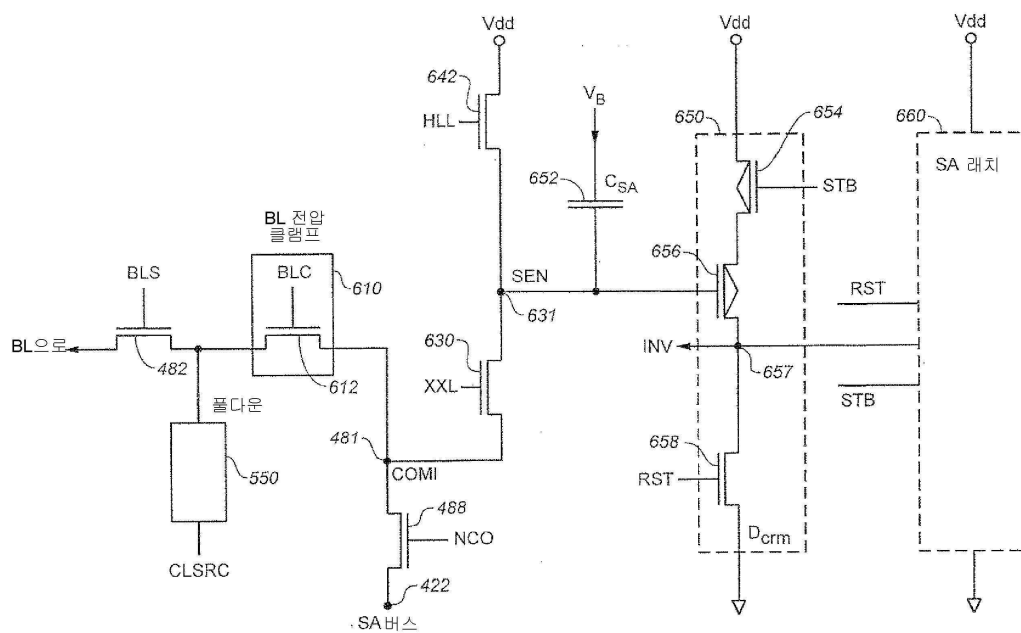


도면19

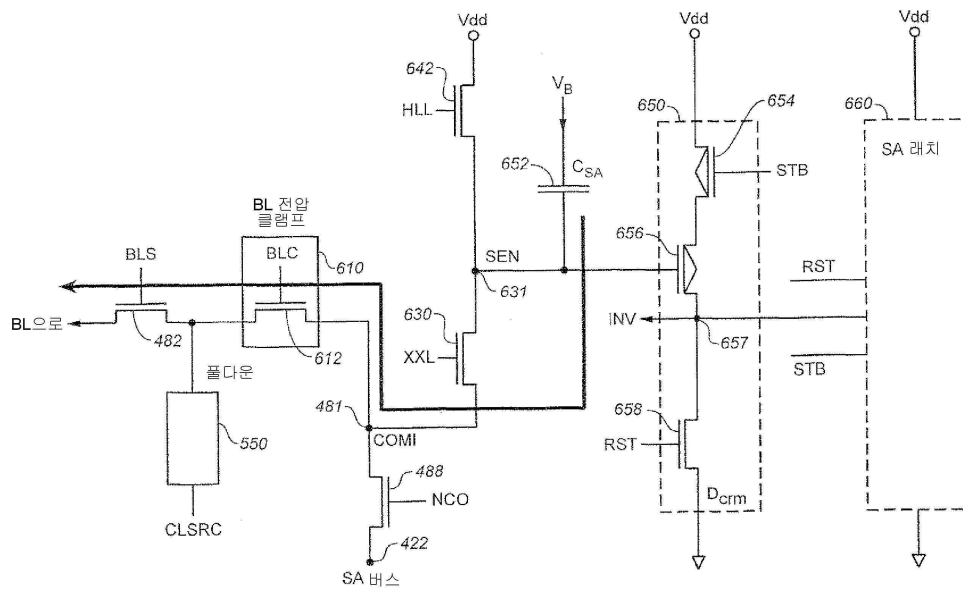


폐쇄 감지 모듈로부터의 노이즈를 다른 것과 격리

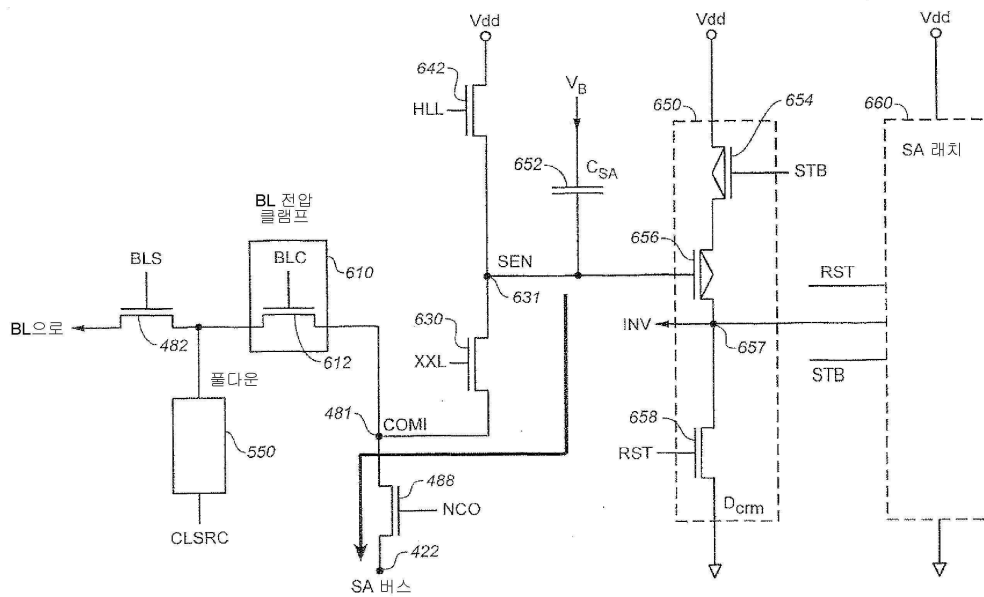
도면20a



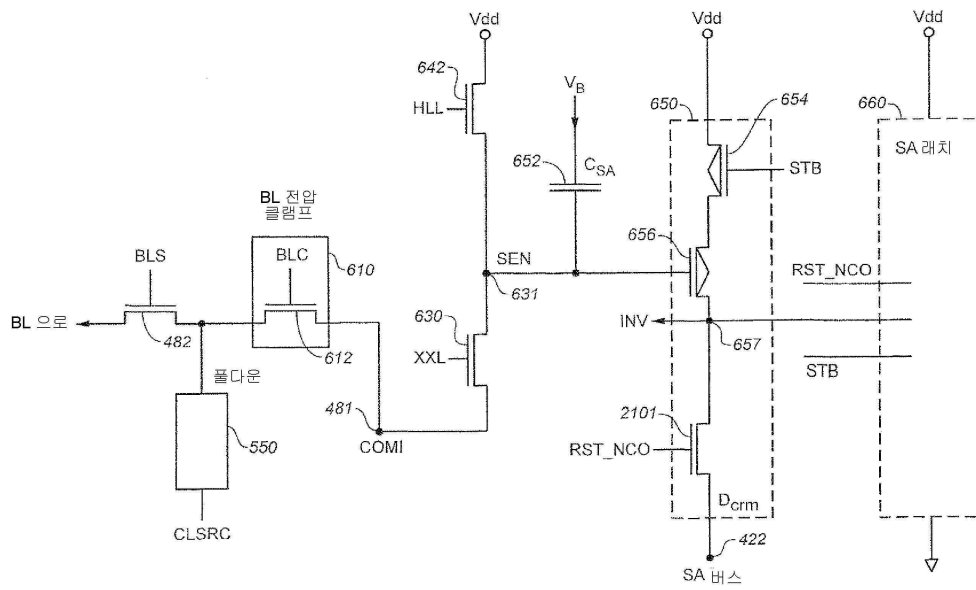
도면20b



도면20c



도면21a



도면21b

