

(12) 发明专利申请

(10) 申请公布号 CN 102843132 A

(43) 申请公布日 2012. 12. 26

(21) 申请号 201210047677. 1

(22) 申请日 2012. 02. 28

(71) 申请人 无锡芯骋微电子有限公司  
地址 214072 江苏省无锡市滨湖区滴翠路  
100 号五二零大厦 2 号楼 902 室

(72) 发明人 盖伟新 何金杰

(51) Int. Cl.  
H03L 7/099 (2006. 01)

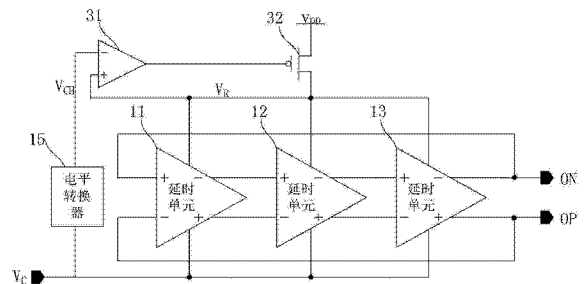
权利要求书 1 页 说明书 3 页 附图 2 页

(54) 发明名称

一种能抑制电源噪声的低电压压控振荡器

(57) 摘要

本发明公布了一种能抑制电源噪声的低电压压控振荡器,所述电源噪声滤波器消耗的电压裕量较小,对电源噪声的抑制能力高,利于压控振荡器在低电压下工作。本发明和现行以源极跟随器为核心的电源噪声滤波器相比,电源电压能降低 33%。本发明包括一个环路振荡器和一个电源噪声滤波器,输入的控制电压在调整环路振荡器的振荡频率的同时,还通过电平转换器的升压作为电源噪声滤波器的参考电压。本发明可用于各种锁相环系统中,特别是低电源电压的锁相环系统。



1. 本发明是一种能抑制电源噪声的低电压压控振荡器,属于锁相环技术中的压控振荡器领域,该装置能够改善锁相环的时钟抖动特性,适用于低功耗设计。

2. 根据权利要求书 1 所述的一种能抑制电源噪声的低电压压控振荡器包括至少一个环路振荡器和一个电源噪声滤波器。

3. 根据权利要求书 2 所述的环路振荡器,其包含的延时单元级数由具体设计所需的振荡频率范围决定,所述环形振荡器的结构既可以由差分放大延时单元构成,也可以由单端信号延时单元组成;另外,所述环形振荡器还可以由其他结构的振荡器替代,包括但不限于 LC 振荡器等。

4. 根据权利要求书 2 所述的电源噪声滤波器包含至少 PMOS 晶体管 32 和运算放大器 31,运算放大器 31 的反相输入端可以是一个独立的参考电压,其特点是运算放大器 31 和 PMOS 晶体管 32 构成的负反馈环路滤除来自电源的噪声,该装置消耗的电压裕量较小,适用于低电压电路设计。

5. 根据权利要求书 2 所述的电源噪声滤波器除 PMOS 晶体管 32、运算放大器 31 外,还可以增加电平转换器 15,通过对压控振荡器控制电压的升压,为运算放大器 31 的反相输入端提供参考电压。

6. 根据权利要求书 4 所述的运算放大器 31,其电路设计可多种多样,包括但不限于套筒式运算放大器、折叠式运算放大器、轨到轨运算放大器等。

7. 根据权利要求书 4 所述的电平转换器 15 的设计可以多种多样,输出电压与输入电压保持一定关系,实现方法有但不限于源极跟随器、电阻分压结构、DC-DC 转换器等。

8. 根据权利要求书 5 所述的电平转换器 15 的输入端既可以是所述压控振荡器的电压控制端,也可以是独立的偏置电压。

## 一种能抑制电源噪声的低电压压控振荡器

### 技术领域

[0001] 本发明属于锁相环技术中的压控振荡器领域,是一种能抑制电源噪声的低电源电压压控振荡器,能够改善锁相环的时钟抖动特性,适用于低功耗设计。

### 背景技术

[0002] 压控振荡器是锁相环的重要组成部分,压控振荡器的输出时钟经过分频和锁相环的输入参考时钟比较,再经过鉴相、滤波,实现时钟相位锁定、时钟抖动过滤、频率综合等锁相环功能。压控振荡器的基本结构是环形振荡器,环形振荡器的振荡频率由输入的控制电压决定,理想情况下压控振荡器的输出时钟的振荡频率和控制电压成线性关系。压控振荡器产生的时钟的边沿出现在理想时间点的前后,这种边沿位置的不确定经过几个时钟周期的累加,反映到锁相环输出,会产生较大的时钟抖动。在数据通信领域,时钟抖动会使采样时钟和被采样的数据相位偏移,特别是在高速数据通信中,由于每个数据的采样时间窗口较短,时序上的偏差有可能使采样时钟的边沿错过数据采样窗口,产生误码,影响通信系统的稳定性。

[0003] 压控振荡器输出的时钟抖动的主要来源是电源电压的噪声,这种噪声引起组成环形振荡器的各个延时单元延迟时间的不确定,导致振荡频率随电源电压而变化。开关电源产生的电压纹波是压控振荡器工作电源上噪声的主要来源之一;其次在芯片系统集成中,锁相环通常和大规模数字电路集成在一个芯片上,大量数字电路在工作中由于寄存状态的翻转向电源线注入大量的噪声。

[0004] 为减小压控振荡器产生的时钟抖动,现行的方法通常是在芯片输入电源和环形振荡器之间插入一个源极跟随器,隔离来自电源的噪声。但是源极跟随器所消耗的电压裕量会使得现行压控振荡器在低电源电压下的实现变得困难,不利于低功耗设计;其次在采用先进的深亚微米技术甚至纳米技术工艺下,源极跟随器的主要元件 NMOS 晶体管在饱和工作区的输出电阻变小,对电源噪声的隔离效果并不理想。本专利发明了一种高效隔离电源噪声的新型滤波器结构,该结构消耗的电压裕量较小,利于压控振荡器在低电源电压下工作;本发明还克服了先进工艺下器件特性变差的缺陷,较好地阻隔来自电源的噪声。

### 发明内容

[0005] 本发明是一种能抑制电源噪声的低电压压控振荡器,包含一个环形振荡器和一个电源噪声滤波器。所述环形振荡器的振荡频率由输入的参考电压控制,所述环形振荡器的偏置电压来自所述电源噪声滤波器的输出。由于所述电源噪声滤波器对于电源噪声的隔离作用,所述环形振荡器的振荡频率不受电源噪声的影响。

[0006] 所述环形振荡器工作在负反馈模式,包含一串首尾相连的相同的延时单元,每个延时单元有一对差分输入端、一对差分输出端、一个电压控制端和一个电压偏置端,延迟单元的个数由实际应用所要求的振荡频率范围决定。每级延时单元的差分输入端和上级延时单元的差分输出端连接,每级延时单元的差分输出端和下级延时单元的差分输入端连接,

这样首尾相连形成环形电路。所有延时单元的电压控制端短接在一起,电压控制端的电压来自外部输入信号,控制每个延时单元的延迟时间。电压偏置端接所述电源噪声滤波器的输出端。

[0007] 所述延时单元电路结构包括第一和第二 PMOS 晶体管和第一至第四 NMOS 晶体管。所述第一和第二 PMOS 晶体管的源极短接在一起,和所述电压偏置端连接,第一和第二 PMOS 晶体管的栅极分别作为延时单元的正相输入端和反相输入端,第一和第二 PMOS 晶体管的漏极分别作为延时单元的反相输出端和正相输出端。第一和第二 NMOS 晶体管的漏极分别接反相输出端和正相输出端,其栅极短接,并作为所述延时单元的电压控制端,其源极均接地。第三和第四 NMOS 晶体管的漏极分别接反相输出端和正相输出端,其栅极分别接正相输出端和反相输出端,其源极分别接地。第三和第四 NMOS 晶体管构成交叉耦合结构,形成一个负电阻,与第一和第二 NMOS 晶体管并联。

[0008] 所述电源噪声滤波器包含一个 PMOS 晶体管、一个运算放大器和一个电平转换器。所述电平转换器一端和所述电压控制端相连,另一端和所述运算放大器的反相输入端连接,所述电平转换器实现电平的变化,用来升高电压控制端输入的电压。所述运算放大器的输出端接所述 PMOS 晶体管的栅极,正相输入端和所述 PMOS 晶体管的漏极相连,所述 PMOS 晶体管的源极接电源电压,所述 PMOS 晶体管的漏极作为所述电源噪声滤波器的输出。所述运算放大器和 PMOS 晶体管构成一个负反馈环路,使所述电源噪声滤波器的输出稳定在电平转换器的输出电压,实现抑制电源电压的噪声。

## 附图说明

[0009] 图 1 所示为现行压控振荡器结构。

[0010] 图 2 所示为一种现行延时单元电路结构。

[0011] 图 3 所示为本发明提出的能抑制电源噪声的压控振荡器结构。

## 具体实施方式

[0012] 图 1 是现行使用的一种压控振荡器结构,包括延时单元 11 至 13、NMOS 晶体管 14 和电平转换器 15。所述延时单元 11 至 13 首尾环形相连组成环形振荡器,延时单元级数由实际要求的振荡频率范围决定,延时单元的延迟时间由电压控制端  $V_C$  决定。NMOS 晶体管 14 和电平转换器 15 组成电源噪声滤波器,NMOS 晶体管 14 工作在饱和区,形成源极跟随器,其源极电压由参考电压  $V_{CH}$  减去一个  $V_{GS}$  决定,和电源电压无关,有效地阻隔了电源上的噪声电压,所述源极电压为所述环形振荡器的偏置电压  $V_R$ 。电平转换器 15 通过对  $V_C$  的升压为 NMOS 晶体管 14 提供适当的参考电压  $V_{CH}$ 。

[0013] 图 2 为所述环形振荡器中延时单元的电路结构,包括 PMOS 晶体管 21 和 22、NMOS 晶体管 23 至 26。PMOS 晶体管 21 和 22 的源极短接并由电压偏置端  $V_R$  供电,PMOS 晶体管的 21 和 22 的栅极连接差分输入 IP 和 IN、漏极分别和 NMOS 晶体管 23 和 24 的漏极相连。NMOS 晶体管 23 和 24 的源极接地、栅极和电压控制端  $V_C$  短接在一起,NMOS 晶体管 23 和 24 作为差分结构的电阻负载,其漏极作为差分输出 OP 和 ON。所述延时单元的延迟时间与输出端 OP 和 ON 的输出电阻和在该节点的电容的乘积成正比,通过输入电压控制端  $V_C$  改变 NMOS 晶体管 23 和 24 的电阻值,就能调节延时单元的延迟时间。NMOS 晶体管 25 和 26 的源极接

地,漏极和栅极交叉耦合连接,并和输出端 OP 和 ON 连接,该结构用于抑制共模信号,促使由延时单元组成的所述环形振荡器工作在差分放大的模式。

[0014] 图 1 所示压控振荡器工作时在所述延时单元的输出端产生差分时钟信号,当所述延时单元的输入端与输出端 IP、IN、OP、ON 达到相同的电平时,  $V_R$  需要至少大于  $2V_{GS}$  才能保证晶体管 21、22、25 和 26 导通工作。NMOS 晶体管 14 工作在饱和区,  $V_{CH}$  必须大于  $V_R+V_{GS}$ , 也即电源电压必须大于  $3V_{GS}$  才能保证图 1 所示压控振荡器的正常直流偏置。在深亚微米和纳米工艺条件下,电源电压已低至 1V 或 1V 以下,上述正常直流偏置的要求已经限制了所述压控振荡器结构在低电源电压下的应用。其次,在先进的深亚微米和纳米工艺条件下,NMOS 晶体管 14 的沟道长度调制效应非常显著,电源电压的变化会导致 NMOS 晶体管的电流的变化,对电源噪声的抑制能力大大下降,时钟抖动增加。最后,NMOS 晶体管 14 的衬底端接地,不和源极短接,来自衬底的电压变化在源极和衬底间形成噪声,改变晶体管 14 中的工作电流,引起时钟抖动的增加。

[0015] 图 3 所示为本发明提出的能抑制电源噪声的压控振荡器结构,包括由延时单元组成的环形振荡器、电平转换器 15、运算放大器 31 和 PMOS 晶体管 32。电平转换器 15 通过对输入端  $V_C$  的升压输出适当的偏置电位  $V_{CH}$ ,偏置电位  $V_{CH}$  为运算放大器 31 的参考电压。运算放大器 31 和 PMOS 晶体管 32 构成一个闭合负反馈回路,将  $V_R$  和  $V_{CH}$  的电位钳位在一起,有效地过滤来自于电源的噪声。其次,PMOS 晶体管 32 可以工作在饱和区,也可以工作在线性区,  $V_{DD}$  可以低至接近  $V_R$  的电压值,也即  $V_{DD}$  最低为  $2V_{GS}$  时就能满足环形振荡器的工作电压偏置的要求。本发明和图 1 所示的现行压控振荡器相比,电源电压降低 33%。最后,PMOS 晶体管 32 的衬底和源极均接电源电压  $V_{DD}$ ,保持衬底和源极间电压差为零,避免了衬底噪声对 PMOS 晶体管工作电流的影响。

[0016] 所述电源噪声滤波器中的电平转换器 15 的结构可以多种多样,包括但不限于源极跟随器、电阻分压网络、DC-DC 转换器等。所述环形振荡器中的延时单元级数由具体设计所需的振荡频率范围决定,所述环形振荡器的结构既可以由差分放大延时单元构成,也可以由单端信号延时单元组成。另外,所述压控振荡器中的环形振荡器还可以由其他结构的振荡器替代,包括但不限于 LC 振荡器等。

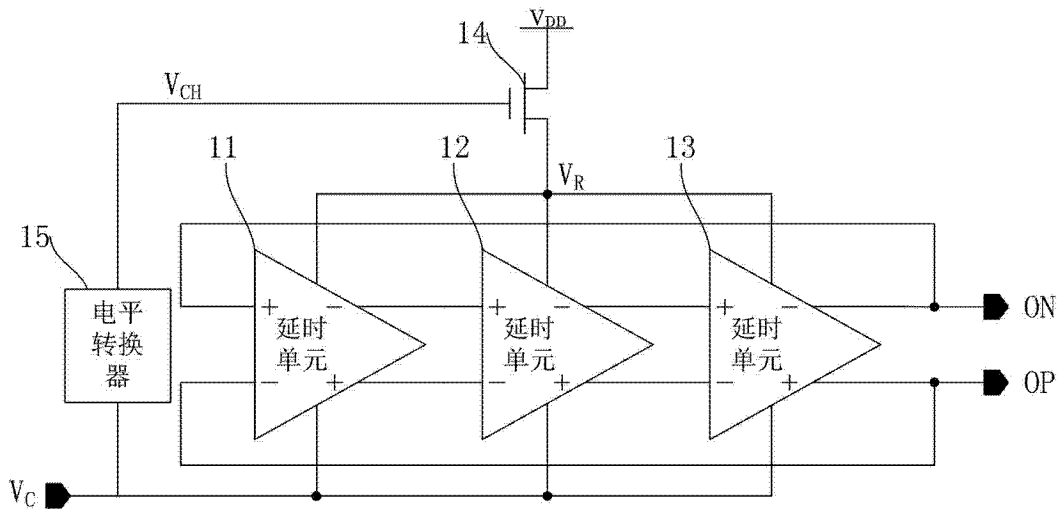


图 1

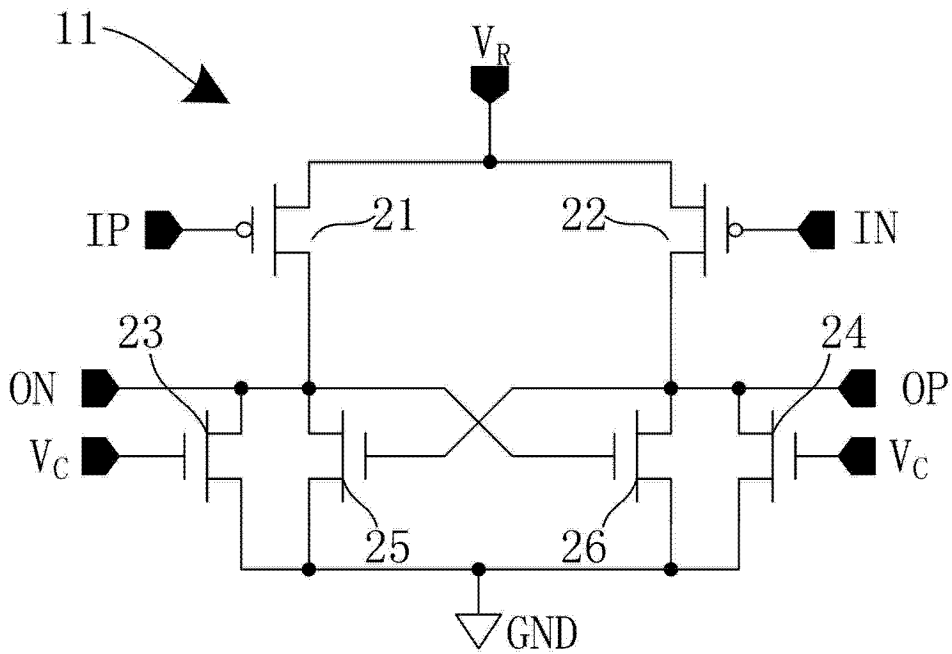


图 2

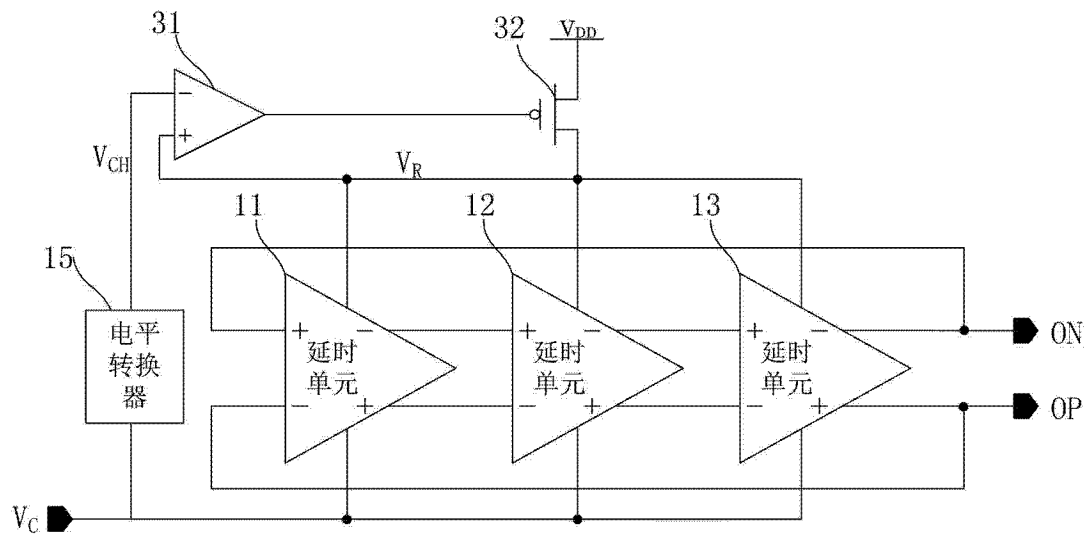


图 3