



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2012년10월09일
 (11) 등록번호 10-1189271
 (24) 등록일자 2012년10월02일

- (51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01)
- (21) 출원번호 10-2005-0062730
 (22) 출원일자 2005년07월12일
 심사청구일자 2010년07월12일
 (65) 공개번호 10-2007-0008868
 (43) 공개일자 2007년01월18일
 (56) 선행기술조사문헌
 KR1020020089157 A*
 KR1020040060453 A*
 *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
삼성디스플레이 주식회사
 경기도 용인시 기흥구 삼성2로 95 (농서동)
 (72) 발명자
김상갑
 서울특별시 강동구 명일동15번지 삼익아파트 301
 동 306호
이우근
 경기도 용인시 기흥구 용구대로 1842, 현대모닝사
 이드2차 102동 504호 (보라동)
 (뒷면에 계속)

- (74) 대리인
팬코리아특허법인

전체 청구항 수 : 총 7 항

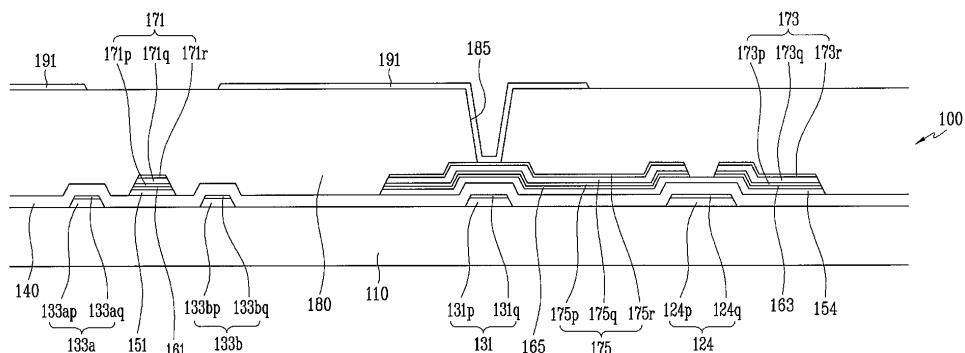
심사관 : 이상호

(54) 발명의 명칭 박막 트랜지스터 표시판 및 그 제조 방법

(57) 요약

본 발명은, 기판 위에 게이트선을 형성하는 단계, 상기 게이트선 위에 게이트 절연막, 반도체층 및 저항성 접촉층을 형성하는 단계, 상기 저항성 접촉층 위에 몰리브덴(Mo)을 포함하는 제1 도전층, 알루미늄(Al)을 포함하는 제2 도전층 및 몰리브덴(Mo)을 포함하는 제3 도전층을 형성하는 단계, 상기 제3 도전층 위에 제1 감광막 패턴을 형성하는 단계, 상기 제1 감광막 패턴을 식각 마스크로 하여 상기 제1 도전층, 상기 제2 도전층 및 상기 제3 도전층을 식각하는 단계, 상기 제1 감광막 패턴을 소정 두께만큼 제거하여 제2 감광막 패턴을 형성하는 단계, 상기 제2 감광막 패턴을 식각 마스크로 하여 상기 제1 도전층, 상기 제2 도전층 및 제3 도전층을 식각하여 상기 저항성 접촉층의 일부를 노출시키는 단계, 상기 노출된 저항성 접촉층을 염소계 기체 및 불소계 기체를 이용하여 식각하는 단계를 포함하는 박막 트랜지스터 표시판의 제조 방법을 제공한다.

대 표 도 - 도2



(72) 발명자

김시열

경기 용인시 상현동 861번지 만현마을8단지 두산위
브아파트 806동1601호

주진호

서울특별시 마포구 도화길 28, 105동 504호 (도화
동, 삼성아파트)

김장수

경기 수원시 영통구 영통동 신나무설6단지 신원아
파트 643동1703호

황보상우

서울특별시 송파구 올림픽로4길 15, 아시아선수촌
아파트 7동 704호 (잠실동)

오민석

경기도 용인시 수지구 신봉1로48번길 29, 한일아파
트 102동 202호 (신봉동)

류혜영

서울특별시 성북구 정릉로38길 33 (정릉동)

진홍기

경기 수원시 장안구 조원동 한일타운 147동 201호

특허청구의 범위

청구항 1

기판,

상기 기판 위에 형성되어 있는 게이트선,

상기 게이트선 위에 형성되어 있는 게이트 절연막,

상기 게이트 절연막 위에 형성되어 있는 반도체층,

상기 반도체층 위에 형성되어 있으며 소스 전극을 포함하는 데이터선,

상기 반도체층 위에 형성되어 있으며 상기 소스 전극과 마주하는 드레인 전극,

상기 드레인 전극과 연결되어 있는 화소 전극

을 포함하며,

상기 데이터선은 알루미늄(Al)을 포함하는 도전층과 상기 알루미늄(Al)을 포함하는 도전층의 하부 및 상부 중 적어도 하나에 형성되어 있는 몰리브덴(Mo)을 포함하는 도전층을 포함하며,

상기 반도체층은 상기 데이터선 및 상기 드레인 전극과 실질적으로 동일한 평면 모양을 가지는 제1 부분과 상기 데이터선 및 상기 드레인 전극으로 덮이지 않으며 상기 소스 전극과 상기 드레인 전극 사이에 위치한 제2 부분을 포함하며,

상기 제2 부분은 3 내지 20at%의 염소 원자(Cl)를 포함하는

박막 트랜지스터 표시판.

청구항 2

제1항에서,

상기 반도체층과 상기 데이터선 사이에 저항성 접촉 부재를 더 포함하는

박막 트랜지스터 표시판.

청구항 3

제1항에서,

상기 몰리브덴(Mo)을 포함하는 도전층은 순수 몰리브덴(Mo), 질화 몰리브덴(MoN), 몰리브덴-니오븀(MoNb), 몰리브덴-바나듐(MoV), 몰리브덴-티타늄(MoTi), 몰리브덴-텅스텐(MoW) 중에서 선택된 어느 하나인

박막 트랜지스터 표시판.

청구항 4

제1항에서,

상기 알루미늄(Al)을 포함하는 도전층은 알루미늄-네오디뮴 합금(AlNd) 인

박막 트랜지스터 표시판.

청구항 5

제1항에서,

상기 데이터선은 몰리브덴을 포함하는 제1 도전층, 알루미늄을 포함하는 제2 도전층 및 몰리브덴을 포함하는 제3 도전층이 차례로 적층되어 있는

박막 트랜지스터 표시판.

청구항 6

제1항에서,

상기 게이트선은 알루미늄을 포함하는 도전층 및 몰리브덴을 포함하는 도전층을 포함하는
박막 트랜지스터 표시판.

청구항 7

제6항에서,

상기 알루미늄을 포함하는 도전층은 알루미늄-네오디뮴 합금(AlNd)인
박막 트랜지스터 표시판.

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0009] 본 발명은 박막 트랜지스터 표시판 및 그 제조 방법에 관한 것이다.

[0010] 액정 표시 장치(Liquid Crystal Display)는 현재 가장 널리 사용되고 있는 평판 표시 장치(Flat Panel Display) 중 하나로서, 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 이루어져,

전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하는 표시 장치이다.

[0011] 액정 표시 장치 중에서도 현재 주로 사용되는 것은 전계 생성 전극이 두 표시판에 각각 구비되어 있는 구조이다. 이 중에서도, 하나의 표시판(이하, '박막 트랜지스터 표시판'이라 함)에는 복수의 화소 전극이 행렬의 형태로 배열되어 있고 다른 표시판(이하, '공통 전극 표시판'이라 함)에는 하나의 공통 전극이 표시판 전면을 덮고 있는 구조의 형태가 주류이다. 이러한 액정 표시 장치에서의 화상의 표시는 각 화소 전극에 별도의 전압을 인가함으로써 이루어진다. 이를 위해서 화소 전극에 인가되는 전압을 스위칭하기 위한 삼단자 소자인 박막 트랜지스터를 각 화소 전극에 연결하고 이 박막 트랜지스터를 제어하기 위한 신호를 전달하는 게이트선(gate line)과 화소 전극에 인가될 전압을 전달하는 데이터선(data line)을 표시판에 형성한다.

[0012] 박막 트랜지스터는 게이트선(gate line)을 통하여 전달되는 주사 신호에 따라 데이터선(data line)을 통하여 전달되는 화상 신호를 화소 전극에 전달 또는 차단하는 스위칭 소자로서의 역할을 한다. 이러한 박막 트랜지스터는, 자발광소자인 능동형 유기 발광 표시 소자(AM-OLED)에서도 각 발광 소자를 개별적으로 제어하는 스위칭 소자로서 역할을 한다.

[0013] 한편, 박막 트랜지스터 표시판은 게이트선 및 데이터선을 포함하는 도전층, 반도체층 및 절연층을 포함한 복수의 박막을 포함하며, 각 박막은 별도의 마스크를 사용하여 패터닝된다.

[0014] 그러나, 하나의 마스크가 더 추가됨에 따라 감광막 도포, 노광, 현상 및 세정 공정을 반복해야 되므로 공정시간 및 비용이 현저하게 증가한다. 따라서, 가능한 마스크 수를 줄이는 것이 필요하다.

[0015] 이에 따라, 데이터용 금속층과 반도체층을 하나의 마스크로 식각하는 방안이 제안되었다.

발명이 이루고자 하는 기술적 과제

[0016] 그러나, 데이터용 금속층과 반도체층을 하나의 마스크로 식각하는 경우, 데이터용 금속층 하부 전면에 반도체층이 남게된다. 이 경우 백라이트와 같은 광원에 노출되는 반도체층의 면적이 넓어져서 광 누설 전류가 급격히 증가하게 되고, 이는 박막 트랜지스터 특성을 저하시켜 외부에서 잔상으로 시인될 수 있다.

[0017] 따라서, 본 발명이 이루고자 하는 기술적 과제는 이러한 문제점을 해결하기 위한 것으로서, 마스크 수를 줄이는 경우에도 광 누설 전류의 급격한 증가를 방지하여 박막 트랜지스터 특성 및 잔상을 개선하는 것이다.

발명의 구성 및 작용

[0018] 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판은, 기판, 상기 기판 위에 형성되어 있는 게이트선, 상기 게이트선 위에 형성되어 있는 게이트 절연막, 상기 게이트 절연막 위에 형성되어 있는 반도체층, 상기 반도체층 위에 형성되어 있으며 소스 전극을 포함하는 데이터선, 상기 반도체층 위에 형성되어 있으며 상기 소스 전극과 마주하는 드레인 전극, 상기 드레인 전극과 연결되어 있는 화소 전극을 포함하며, 상기 데이터선은 알루미늄(AI)을 포함하는 도전층과 상기 알루미늄(AI)을 포함하는 도전층의 하부 및 상부 중 적어도 하나에 형성되어 있는 몰리브덴(Mo)을 포함하는 도전층을 포함하며, 상기 반도체층은 상기 데이터선 및 상기 드레인 전극과 평면 모양이 실질적으로 동일한 제1 부분과 상기 데이터선 및 상기 드레인 전극으로 덮이지 않으며 상기 소스 전극과 상기 드레인 전극 사이에 위치한 제2 부분을 포함하며, 상기 제2 부분은 3 내지 20at%의 염소 원자(C1)를 포함한다.

[0019] 또한, 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 제조 방법은, 기판 위에 게이트선을 형성하는 단계, 상기 게이트선 위에 게이트 절연막, 반도체층 및 저항성 접촉층을 형성하는 단계, 상기 저항성 접촉층 위에 몰리브덴(Mo)을 포함하는 제1 도전층, 알루미늄(AI)을 포함하는 제2 도전층 및 몰리브덴(Mo)을 포함하는 제3 도전층을 형성하는 단계, 상기 제3 도전층 위에 제1 감광막 패턴을 형성하는 단계, 상기 제1 감광막 패턴을 식각 마스크로 하여 상기 제1 도전층, 상기 제2 도전층 및 상기 제3 도전층을 식각하는 단계, 상기 제1 감광막 패턴을 식각 마스크로 하여 상기 저항성 접촉층 및 상기 반도체층을 식각하는 단계, 상기 제1 감광막 패턴을 소정 두께만큼 제거하여 제2 감광막 패턴을 형성하는 단계, 상기 제2 감광막 패턴을 식각 마스크로 하여 상기 제1 도전층, 상기 제2 도전층 및 상기 제3 도전층을 식각하여 상기 저항성 접촉층의 일부를 노출시키는 단계, 상기 노출된 저항성 접촉층을 염소계 기체 및 불소계 기체를 이용하여 식각하는 단계를 포함한다.

[0020] 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술분야에서 통상의 지식을 가진자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으

며 여기에서 설명하는 실시예에 한정되지 않는다.

[0021] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우 뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

[0022] 그러면, 도 1 내지 도 3을 참고로 하여 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판에 대하여 상세하게 설명한다.

[0023] 도 1은 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 배치도이고, 도 2 및 도 3은 각각 도 1의 박막 트랜지스터 표시판을 II-II' 선 및 III-III' 선을 따라 잘라 도시한 단면도이다.

[0024] 투명한 유리 또는 플라스틱 따위로 만들어진 절연 기판(110) 위에 복수의 게이트선(gate line)(121) 및 복수의 유지 전극선(storage electrode line)(131)이 형성되어 있다.

[0025] 게이트선(121)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있다. 각 게이트선(121)은 아래로 돌출한 복수의 게이트 전극(gate electrode)(124)과 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(129)을 포함한다. 게이트 신호를 생성하는 게이트 구동 회로(도시하지 않음)는 기판(110) 위에 부착되는 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되거나, 기판(110) 위에 직접 장착되거나, 기판(110)에 접적될 수 있다. 게이트 구동 회로가 기판(110) 위에 접적되어 있는 경우 게이트선(121)이 연장되어 이와 직접 연결될 수 있다.

[0026] 유지 전극선(131)은 소정의 전압을 인가 받으며, 게이트선(121)과 거의 나란하게 뻗은 줄기선과 이로부터 갈라진 복수 쌍의 유지 전극(133a, 133b)을 포함한다. 유지 전극선(131) 각각은 인접한 두 게이트선(121) 사이에 위치하며 줄기선은 두 게이트선(121) 중 아래쪽에 가깝다. 유지 전극(133a, 133b) 각각은 줄기선과 연결된 고정단과 그 반대쪽의 자유단을 가지고 있다. 한 쪽 유지 전극(133b)의 고정단은 면적이 넓으며, 그 자유단은 직선 부분과 굽은 부분의 두 갈래로 갈라진다. 그러나 유지 전극선(131)의 모양 및 배치는 여러 가지로 변형될 수 있다.

[0027] 게이트선(121) 및 유지 전극선(131)은 알루미늄(Al)이나 알루미늄 합금 등의 알루미늄 계열 금속을 포함하는 하부막(124p, 131p, 133ap, 133bp)과 몰리브덴(Mo)이나 몰리브덴 합금 등의 몰리브덴 계열 금속을 포함하는 상부막(124q, 131q, 133aq, 133bq)으로 이루어진다. 알루미늄 합금으로는 알루미늄에 네오디뮴(Nd)이 소정량 첨가되어 있는 알루미늄-네오디뮴(Al-Nd)을 사용할 수 있다. 하부막(124p, 131p, 133ap, 133bp)의 두께는 약 1000 nm 내지 5000 Å일 수 있고, 상부막(124q, 131q, 133aq, 133bq)의 두께는 약 50 nm 내지 2000 Å일 수 있다.

[0028] 도 2 및 도 3에서 게이트 전극(124) 및 유지 전극선(131)에 대하여 하부막은 영문자 p를, 상부막은 영문자 q를 도면 부호에 덧붙여 표기하였다.

[0029] 게이트선(121) 및 유지 전극선(131)의 측면은 기판(110) 면에 대하여 경사져 있으며 그 경사각은 약 30° 내지 약 80° 인 것이 바람직하다.

[0030] 게이트선(121) 및 유지 전극선(131) 위에는 질화규소(SiNx) 또는 산화규소(SiOx) 따위로 만들어진 게이트 절연 막(gate insulating layer)(140)이 형성되어 있다.

[0031] 게이트 절연막(140) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 쓴) 등으로 만들어진 복수의 선형 반도체(151)가 형성되어 있다. 선형 반도체(151)는 주로 세로 방향으로 뻗어 있으며, 게이트 전극(124)을 향하여 뻗어 나온 복수의 돌출부(projection)(154)를 포함한다. 선형 반도체(151)는 게이트선(121) 및 유지 전극선(131) 부근에서 너비가 넓어져 이들을 폭넓게 덮고 있다.

[0032] 반도체(151) 위에는 복수의 선형 및 섬형 저항성 접촉 부재(ohmic contact)(161, 165)가 형성되어 있다. 저항성 접촉 부재(161, 165)는 인(P) 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다. 선형 저항성 접촉 부재(161)는 복수의 돌출부(163)를 가지고 있으며, 이 돌출부(163)와 섬형 저항성 접촉 부재(165)는 쌍을 이루어 반도체(151)의 돌출부(154) 위에 배치되어 있다.

[0033] 반도체(151)와 저항성 접촉 부재(161, 165)의 측면 역시 기판(110) 면에 대하여 경사져 있으며 경사각은 30° 내지 80° 정도이다.

- [0034] 저항성 접촉 부재(161, 165) 위에는 복수의 데이터선(data line)(171)과 복수의 드레인 전극(drain electrode)(175)이 형성되어 있다.
- [0035] 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121)과 교차한다. 각 데이터선(171)은 또한 유지 전극선(131)과 교차하며 인접한 유지 전극(133a, 133b) 접합 사이에 형성된다. 각 데이터선(171)은 게이트 전극(124)을 향하여 뻗은 복수의 소스 전극(source electrode)(173)과 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(179)을 포함한다. 데이터 신호를 생성하는 데이터 구동 회로(도시하지 않음)는 기판(110) 위에 부착되는 가요성 인쇄 회로막(도시하지 않음) 위에 장착되거나, 기판(110) 위에 직접 장착되거나, 기판(110)에 접적될 수 있다. 데이터 구동 회로가 기판(110) 위에 접적되어 있는 경우, 데이터선(171)이 연장되어 이와 직접 연결될 수 있다.
- [0036] 드레인 전극(175)은 데이터선(171)과 분리되어 있고 게이트 전극(124)을 중심으로 소스 전극(173)과 마주 본다. 각 드레인 전극(175)은 면적이 넓은 한 쪽 끝 부분과 막대형인 다른 쪽 끝 부분을 가지고 있다. 넓은 끝 부분은 유지 전극선(131)과 중첩하며, 막대형 끝 부분은 구부러진 소스 전극(173)으로 일부 둘러싸여 있다.
- [0037] 하나의 게이트 전극(124), 하나의 소스 전극(173) 및 하나의 드레인 전극(175)은 반도체(151)의 돌출부(154)와 함께 하나의 박막 트랜지스터(thin film transistor, TFT)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173)과 드레인 전극(175) 사이의 돌출부(154)에 형성된다.
- [0038] 데이터선(171)은 하부막(171p, 175p), 중간막(171q, 175q) 및 상부막(171r, 175r)을 포함하는 삼중막 구조를 가진다. 하부막(171p, 175p)은 순수 몰리브덴 또는 질화 몰리브덴(MoN), 몰리브덴-니오븀(MoNb), 몰리브덴-바나듐(MoV), 몰리브덴-티타늄(MoTi), 몰리브덴-텅스텐(MoW) 따위의 몰리브덴 합금 등의 몰리브덴 계열의 금속으로 만들어지고, 중간막(171q, 175q)은 비저항이 낮은 알루미늄 또는 알루미늄-네오디뮴(AlNd) 따위의 알루미늄 합금으로 만들어지며, 상부막(171r, 175r)은 ITO나 IZO와의 접촉 특성이 우수한 순수 몰리브덴 또는 질화 몰리브덴(MoN), 몰리브덴-니오븀(MoNb), 몰리브덴-바나듐(MoV), 몰리브덴-티타늄(MoTi), 몰리브덴-텅스텐(MoW) 따위의 몰리브덴 합금 등의 몰리브덴 계열의 금속으로 만들어진다.
- [0039] 도 2 및 도 3에서 소스 전극(173) 및 끝부분(179)을 포함하는 데이터선(171) 및 드레인 전극(175)에 대하여 하부막은 영문자 p를, 중간막은 영문자 q를, 상부막은 영문자 r을 도면 부호에 덧붙여 표기하였다.
- [0040] 데이터선(171) 및 드레인 전극(175) 또한 그 측면이 기판(110) 면에 대하여 30° 내지 80° 정도의 경사각으로 기울어진 것이 바람직하다.
- [0041] 저항성 접촉 부재(161, 165)는 그 아래의 반도체(151)와 그 위의 데이터선(171) 및 드레인 전극(175) 사이에만 존재하며 이들 사이의 접촉 저항을 낮추어 준다.
- [0042] 반도체(151)는 박막 트랜지스터가 위치하는 돌출부(154)를 제외하면 데이터선(171), 드레인 전극(175) 및 그 하부의 저항성 접촉층(161, 163, 165)과 실질적으로 동일한 평면 형태를 가지고 있다. 즉, 선형 반도체층(151)은 데이터선(171) 및 드레인 전극(175)과 그 하부의 저항성 접촉층(161, 163, 165)의 아래에 모두 형성되어 있으며, 소스 전극(173)과 드레인 전극(175) 사이에는 노출되어 있다.
- [0043] 데이터선(171), 드레인 전극(175) 및 노출된 반도체(154) 부분 위에는 보호막(passivation layer)(180)이 형성되어 있다.
- [0044] 보호막(180)은 질화규소나 산화규소 따위의 무기 절연물, 유기 절연물, 저유전율 절연물 따위로 만들어진다. 유기 절연물과 저유전율 절연물의 유전 상수는 4.0 이하인 것이 바람직하며 저유전율 절연물의 예로는 플라스마화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등을 들 수 있다. 유기 절연물 중 감광성(photosensitivity)을 가지는 것으로 보호막(180)을 만들 수도 있으며, 보호막(180)의 표면은 평탄할 수 있다. 그러나 보호막(180)은 유기막의 우수한 절연 특성을 살리면서도 노출된 반도체(151) 부분에 해가 가지 않도록 하부 무기막과 상부 유기막의 이중막 구조를 가질 수 있다.
- [0045] 보호막(180)에는 데이터선(171)의 끝 부분(179)과 드레인 전극(175)을 각각 드러내는 복수의 접촉 구멍(contact hole)(182, 185)이 형성되어 있으며, 보호막(180)과 게이트 절연막(140)에는 게이트선(121)의 끝 부분(129)을 드러내는 복수의 접촉 구멍(181), 유지 전극(133a, 133b)의 고정단 부근 또는 자유단의 유지 전극(131) 일부를 드러내는 복수의 접촉 구멍(184)이 형성되어 있다.
- [0046] 보호막(180) 위에는 복수의 화소 전극(pixel electrode)(191), 복수의 연결 다리(overpass)(84) 및 복수의 접촉 보조 부재(contact assistant)(81, 82)가 형성되어 있다. 이들은 ITO 또는 IZO 등의 투명한 도전 물질이나

알루미늄, 은 또는 그 합금 등의 반사성 금속으로 만들어질 수 있다.

[0047] 화소 전극(191)은 접촉 구멍(185)을 통하여 드레인 전극(175)과 물리적?전기적으로 연결되어 있으며, 드레인 전극(175)으로부터 데이터 전압을 인가 받는다. 데이터 전압이 인가된 화소 전극(191)은 공통 전압(common voltage)을 인가 받는 다른 표시판(도시하지 않음)의 공통 전극(common electrode)(도시하지 않음)과 함께 전기장을 생성함으로써 두 전극 사이의 액정층(도시하지 않음)의 액정 분자의 방향을 결정한다. 화소 전극(191)과 공통 전극은 축전기[이하 “액정 축전기(liquid crystal capacitor)”라 함]를 이루어 박막 트랜지스터가 턴 오프(turn-off)된 후에도 인가된 전압을 유지한다.

[0048] 화소 전극(191)은 유지 전극(133a, 133b)을 비롯한 유지 전극선(131)과 중첩한다. 화소 전극(191) 및 이와 전기적으로 연결된 드레인 전극(171)이 유지 전극선(131)과 중첩하여 이루는 축전기를 유지 축전기(storage capacitor)라 하며, 유지 축전기는 액정 축전기의 전압 유지 능력을 강화한다.

[0049] 접촉 보조 부재(81, 82)는 각각 접촉 구멍(181, 182)을 통하여 게이트선(121)의 끝 부분(129) 및 데이터선(171)의 끝 부분(179)과 연결된다. 접촉 보조 부재(81, 82)는 데이터선(171) 및 게이트선(121)의 끝 부분(179, 129)과 외부 장치와의 접착성을 보완하고 이들을 보호한다.

[0050] 연결 다리(84)는 게이트선(121)을 가로지르며, 게이트선(121)을 사이에 두고 반대쪽에 위치하는 한 쌍의 접촉 구멍(184)을 통하여 유지 전극선(131)의 노출된 부분과 유지 전극(133b) 자유단의 노출된 끝 부분에 연결되어 있다. 유지 전극(133a, 133b)을 비롯한 유지 전극선(131)은 연결 다리(84)와 함께 게이트선(121)이나 데이터선(171) 또는 박막 트랜지스터의 결함을 수리하는 데 사용할 수 있다.

[0051] 그러면, 도 1 내지 도 3에 도시한 박막 트랜지스터 표시판을 제조하는 방법에 대하여 도 4 내지 도 20을 참조하여 상세하게 설명한다.

[0052] 도 4, 도 15 및 도 18은 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 제조 방법을 차례로 도시한 배치도이고, 도 5 및 도 6은 도 4의 박막 트랜지스터 표시판을 V-V'선 및 VI-VI'선을 따라 잘라 도시한 단면도이고, 도 7 내지 도 14는 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 제조 방법에 따라 차례로 도시한 단면도이고, 도 16 및 도 17은 도 15의 박막 트랜지스터 표시판을 XVI-XVI'선 및 XVII-XVII'선을 따라 잘라 도시한 단면도이고, 도 19 및 도 20은 도 18의 박막 트랜지스터 표시판을 XIX-XIX'선 및 XX-XX'선을 따라 잘라 도시한 단면도이다.

[0053] 먼저, 도 4 내지 도 6에 도시한 바와 같이, 투명 유리 또는 플라스틱 따위로 만들어진 절연 기판(110) 위에 알루미늄-네오디뮴(AlNd)으로 만들어진 하부막 및 몰리브덴(Mo)계열의 금속으로 만들어진 하부막을 차례로 적층한다.

[0054] 그 다음, 하부막 및 상부막을 습식 식각(wet etching)하여 게이트 전극(124) 및 끝부분(129)을 포함하는 복수의 게이트선(121)과 유지 전극(133a, 133b)을 포함하는 복수의 유지 전극선(131)을 형성한다.

[0055] 이어서, 도 7 및 도 8에 도시한 바와 같이, 게이트선(121) 및 유지 전극선(131) 위에 질화규소(SiNx) 따위로 만들어진 게이트 절연막(140), 불순물이 도핑되지 않은 진성 비정질 규소(a-Si)층(150) 및 불순물이 도핑된 비정질 규소(n+ a-Si)(160)층을 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성한다. 진성 비정질 규소층(150)은 수소화 비정질 규소(hydrogenated amorphous silicon) 등으로 형성하며 불순물이 도핑된 비정질 규소층(160)은 인(P) 등의 n형 불순물이 고농도로 도핑된 비정질 규소 또는 실리사이드로 형성한다.

[0056] 연속적으로, 불순물이 도핑된 비정질 규소층(160) 위에 몰리브덴 계열의 금속으로 만들어진 하부 몰리브덴층(170p), 알루미늄 계열의 금속으로 만들어진 알루미늄층(170q) 및 몰리브덴 계열의 금속으로 만들어진 상부 몰리브덴층(170r)을 포함하는 데이터 금속층(170)을 스퍼터링으로 차례로 적층한다.

[0057] 그 다음, 도 9 및 도 10에 도시한 바와 같이, 상부 몰리브덴층(170r) 위에 감광막을 형성한 후 노광 및 현상하여 서로 다른 두께를 가지는 감광막 패턴(52, 54)을 형성한다.

[0058] 여기서, 설명의 편의상, 배선이 형성될 부분의 데이터 금속층(170), 불순물이 도핑된 비정질 규소층(160), 진성 비정질 규소층(150)을 배선 부분(A)이라 하고, 게이트 전극(124) 위에 채널이 형성되는 부분을 채널 부분(B)이라 하고, 배선 부분(A) 및 채널 부분(B)을 제외한 영역을 나머지 부분(C)이라 한다.

[0059] 감광막 패턴(52, 54) 중에서 배선 부분(A)에 위치한 제1 부분(52)은 채널 부분(B)에 위치한 제2 부분(54)보다

두껍게 형성하며, 나머지 부분(C)의 감광막은 모두 제거한다. 이 때, 제1 부분(52)의 두께와 제2 부분(54)의 두께의 비(ratio)는 후술할 식각 공정에서의 공정 조건에 따라 다르게 하여야 하되, 제2 부분(54)의 두께를 제1 부분(52)의 두께의 1/2 이하로 하는 것이 바람직하다.

[0060] 이와 같이, 위치에 따라 감광막의 두께를 다르게 형성하는 방법에는 여러 가지가 있을 수 있는데, 노광 마스크에 투명 영역(transparent area)과 차광 영역(light blocking area)뿐 아니라 반투명 영역(semi-transparent area)을 두는 것이 그 예이다. 반투명 영역에는 슬릿(slit) 패턴, 격자 패턴(lattice pattern) 또는 투과율이 중간이거나 두께가 중간인 박막이 구비된다. 슬릿 패턴을 사용할 때에는, 슬릿의 폭이나 슬릿 사이의 간격이 사진 공정에 사용하는 노광기의 분해능(resolution)이 보다 작은 것이 바람직하다. 다른 예로는 리플로우(reflow)가 가능한 감광막을 사용하는 것이다. 즉, 투명 영역과 차광 영역만을 지닌 통상의 마스크로 리플로우 가능한 감광막 패턴을 형성한 다음 리플로우시켜 감광막이 잔류하지 않은 영역으로 흘러내리도록 함으로써 얇은 부분을 형성한다.

[0061] 이어서, 도 11 및 도 12에 도시한 바와 같이, 감광막 패턴의 제1 부분(52)을 이용하여 나머지 부분(C)에 노출되어 있는 데이터 금속층(170)을 습식 식각(wet etching)으로 제거한다.

[0062] 그 다음, 감광막 패턴의 제1 부분(52)을 이용하여 나머지 부분(C)에 남아있는 불순물이 도핑된 비정질 규소층(160) 및 진성 비정질 규소층(150)을 건식 식각(dry etching)한다.

[0063] 이어서, 에치백(etch back) 공정을 이용하여 채널 부분(B)에 존재하는 감광막 패턴의 제2 부분(54)을 제거한다. 이 때, 감광막 패턴의 제1 부분(52)의 두께도 어느 정도 얇아진다.

[0064] 그 다음, 도 13 및 도 14에 도시한 바와 같이, 감광막 패턴의 제2 부분(54)이 제거된 제1 부분(52)을 이용하여 습식 식각하여, 데이터 금속 패턴(174)을 소스 전극(173)과 드레인 전극(175)으로 분리하고, 소스 전극(173)과 드레인 전극(175) 사이의 채널 영역에 불순물이 도핑된 비정질 규소 패턴(164)을 노출시킨다.

[0065] 그 다음, 감광막 패턴의 제1 부분(52)을 식각 마스크로 하여 채널 영역에 위치한 불순물이 도핑된 비정질 규소 패턴(164)을 건식 식각한다.

[0066] 이 때, 건식 식각용 기체로는 염소계 기체 및 불소계 기체를 이용한다.

[0067] 염소계 기체는 Cl_2 , HCl , BCl_3 , CCl_4 , SiCl_2H_2 따위의 염소 원자(Cl)가 포함된 기체일 수 있다.

[0068] 염소계 기체는 불순물이 도핑된 비정질 규소 패턴(164)의 식각시 소정량 공급되어 하부의 반도체(154) 특성을 개선시킬 수 있다.

[0069] 불소계 기체는 SF_6 또는 CF_4 따위의 불소 원자(F)가 포함된 기체일 수 있다.

[0070] 염소계 기체 및 불소계 기체 외에 수소 기체(H_2) 또는 헬륨 기체(He) 따위의 비활성 기체가 함께 공급된다.

[0071] 이 경우, 식각 압력을 약 100 내지 800mT에서 수행한다.

[0072] $\text{HCl}+\text{SF}_6+\text{He}$ 를 사용하는 경우, SF_6 : HCl 의 유량비(flow ratio)는 1:4 내지 1:10인 것이 바람직하다. $\text{Cl}_2+\text{SF}_6+\text{He}$ 를 사용하는 경우, SF_6 : Cl_2 의 유량비는 1:1 내지 1:10인 것이 바람직하다. 상기 비율은 박막 트랜지스터 특성의 개선 효과를 나타내면서도 식각에 영향을 미치지 않는 범위이다. 특히, Cl_2 는 HCl 보다 결합 해리 에너지(bond dissociation energy)가 작아서 라디칼 및 이온 방출에 유리하며, 더 적은 양으로도 동일한 효과를 나타낼 수 있다.

[0073] 상기와 같이, 불순물이 도핑된 비정질 규소 패턴(164)의 식각시 특정 유량의 염소계 기체를 공급함으로써 박막 트랜지스터의 특성 효과를 나타낼 수 있다.

[0074] 구체적으로, 전술한 바와 같이 데이터 금속 패턴(171, 174, 179)과 진성 비정질 규소층(150)을 동일한 감광막 패턴을 이용하여 식각하는 경우, 소스 전극(173) 및 끝부분(179)을 포함하는 데이터선(171)과 돌출부(154)를 포함하는 반도체층(151)이 실질적으로 동일한 평면 모양을 가진다. 이 경우, 백라이트(backlight)와 같은 광원에서 공급되는 빛에 노출되는 반도체층(151)의 면적이 넓어져서 광 누설 전류(photo leakage current)가 증가한다. 이러한 광 누설 전류는 데이터선(171)으로 알루미늄층 하부에 몰리브덴층을 형성한 다층막 구조를 사용한 경우에 더욱 심각하다. 이 경우, 반도체층(151)과 접촉하고 있는 몰리브덴이 반도체 내로 확산되는 문제가 있으며, 또한 습식 식각 공정에서 알루미늄층에서 분리된 알루미늄 불순물이 채널부 등의 반도체 층을 오염

시키게 되기 때문이다.

[0075] 이 경우, 오프 전류(off-current) 및 문턱 전압(threshold voltage) 따위의 박막 트랜지스터 특성에 영향을 미칠 수 있으며, 이는 외부에서 잔상으로 인식된다.

[0076] 이에 따라, 본 발명에서는 도핑된 비정질 규소 패턴을 식각하는 단계, 즉 채널 영역을 형성하는 단계에서 사용되는 염소계 기체와 불소계 기체의 유량비를 소정 범위로 조절함으로써 이러한 문제점을 해결할 수 있다.

[0077] 채널 형성 단계에서 상기 범위의 염소 기체를 사용하는 경우, 식각 이후에는 돌출부(154)에 일부 Cl₂이 잔류하게 된다.

[0078] 표 1은 채널 영역 형성 단계에서 사용된 염소계 기체와 불소계 기체의 유량비를 다르게 하는 경우에 잔상 개선 효과를 보여주는 시험예이다. 각 시험예에서 압력, 전원(power) 및 He 공급량은 각각 170mT, 3400W, 900sccm으로 일정하다. 또한, 각 시험예에서 SF₆의 유량을 150sccm으로 고정하고, Cl₂ 또는 HCl을 SF₆ 유량에 맞추어 0에서 소정 비율까지 조절하여 적정 유량을 공급하였다.

[0079] 여기서, 잔상 특성은 다음과 같은 방법으로 시험한다. 먼저 각각의 유량비의 식각 기체로 채널을 형성한 시험용 표시판을 준비한다. 시험용 표시판에는 복수의 화소가 바둑판 모양으로 배치되어 있다. 먼저, 시험용 표시판에 화이트(white)나 블랙(black)이 아닌 중간 계조의 데이터 전압을 인가하여 화면의 휘도를 측정하고, 이어서 복수의 화소 중 가로 및 세로로 교대로 배치된 일부 화소들에는 블랙을 표시하고 나머지 화소들에는 화이트를 표시한 후 열시간 정도를 둔다. 이어서, 처음에 인가한 중간 계조의 데이터 전압을 인가하여 화면의 휘도를 측정하여 잔상 정도를 확인하였다.

표 1

유량비 (SF ₆ :Cl ₂)	잔상개선	식각특성	유량비 (SF ₆ :HCl)	잔상개선	식각특성
1:0	×	◎	1:0	×	◎
1:0.3	×	◎	1:1.12	×	◎
1:0.7	△	◎	1:3	×	◎
1:1	○	◎	1:3.5	△	◎
1:4	○	◎	1:4	○	◎
1:6	◎	◎	1:6.5	○	◎
1:8.2	◎	◎	1:9	◎	◎
1:9.4	◎	○	1:9.5	◎	○
1:10	◎	○	1:10	◎	○
1:11.2	◎	△	1:11.2	◎	△
1:13	◎	△	1:13	◎	△

◎: 매우 우수함 / ○: 우수함 / △: 보통 / ×: 불량함

[0080]

[0081] 표 1에서 보는 바와 같이, SF₆:Cl₂ 또는 SF₆: HCl의 유량비가 각각 1:1 이상 또는 1:4 이상인 경우 잔상 개선 효과가 뚜렷하게 나타났다. 여기서, Cl₂가 HCl보다 더 적은 유량비로 효과를 발휘하는 것은 Cl₂가 HCl에 비하여 결합 해리 에너지(bond dissociation energy)가 작아서 라디칼 및 이온 방출에 유리하기 때문이다. 다만, SF₆:Cl₂ 또는 SF₆: HCl의 유량비가 1:10을 초과하는 경우 식각 특성에 영향을 미치는 것으로 확인되었다.

[0082]

또한, 상기 범위 내에서 채널 영역의 반도체에 잔류하는 Cl의 양을 SIMS 분석한 결과, 3.0 내지 20at%로 측정되었다.

[0083]

도 21a 및 도 21b는 Cl 공급량에 따른 박막 트랜지스터 특성을 보여주는 그래프로, 도 21a는 SF₆: HCl을 390sccm: 470sccm, 즉 1:1.12의 유량비로 공급한 경우에 게이트 전압(V_g)에 따른 드레인 전류(I_d)의 특성을 보여주는 그래프이고, 도 21b는 SF₆: Cl₂를 150sccm: 750sccm, 즉 1:5의 유량비로 공급한 경우에 게이트 전압(V_g)

에 따른 드레인 전류(I_d)의 특성을 보여준다.

[0084] 여기서, A는 암실에서 측정한 경우이고, B는 빛을 조사한 경우이다.

[0085] 상기 그래프에서 보는 바와 같이, 도 21a의 경우가 도 21b에 비하여 광 누설 전류가 큰 것을 알 수 있다. 이러한 광 누설 전류는 전압 강하를 유발하여 잔상을 유발하게 된다.

[0086] 이어서, 남아있는 감광막 패턴(52)을 제거한다.

[0087] 다음, 도 18 내지 도 20에 도시한 바와 같이, 데이터선(171) 및 드레인 전극(175)에 의해 가려지지 않는 반도체의 돌출부(154)를 덮도록 보호막(180)을 형성한다.

[0088] 이어서, 보호막(180)을 사진 공정으로 식각하여 복수의 접촉 구멍(181, 182, 184, 185)을 형성한다.

[0089] 마지막으로, 도 1 내지 도 3에 도시한 바와 같이, 보호막(180) 위에 ITO 또는 IZO 따위의 투명한 도전 물질을 스퍼터링으로 증착한 후 패터닝하여, 화소 전극(191), 접촉 보조 부재(81, 82) 및 연결 다리(84)를 형성한다.

[0090] 이상에서 본 발명의 바람직한 실시예들에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

발명의 효과

[0091] 상기와 같이, 데이터선을 알루미늄층 및 몰리브덴층을 포함하는 다층막으로 형성하고 소정 유량비를 가지는 식각 기체로 채널을 형성함으로써 박막 트랜지스터 특성을 개선시키고 잔상 발생을 방지할 수 있다.

도면의 간단한 설명

[0001] 도 1은 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 배치도이고,

[0002] 도 2 및 도 3은 각각 도 1의 박막 트랜지스터 표시판을 II-II' 선 및 III-III' 선을 따라 잘라 도시한 단면도이고,

[0003] 도 4, 도 15 및 도 18은 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 제조 방법을 차례로 도시한 배치도이고,

[0004] 도 5 및 도 6은 도 4의 박막 트랜지스터 표시판을 V-V' 선 및 VI-VI' 선을 따라 잘라 도시한 단면도이고,

[0005] 도 7 내지 도 14는 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 제조 방법에 따라 차례로 도시한 단면도이고,

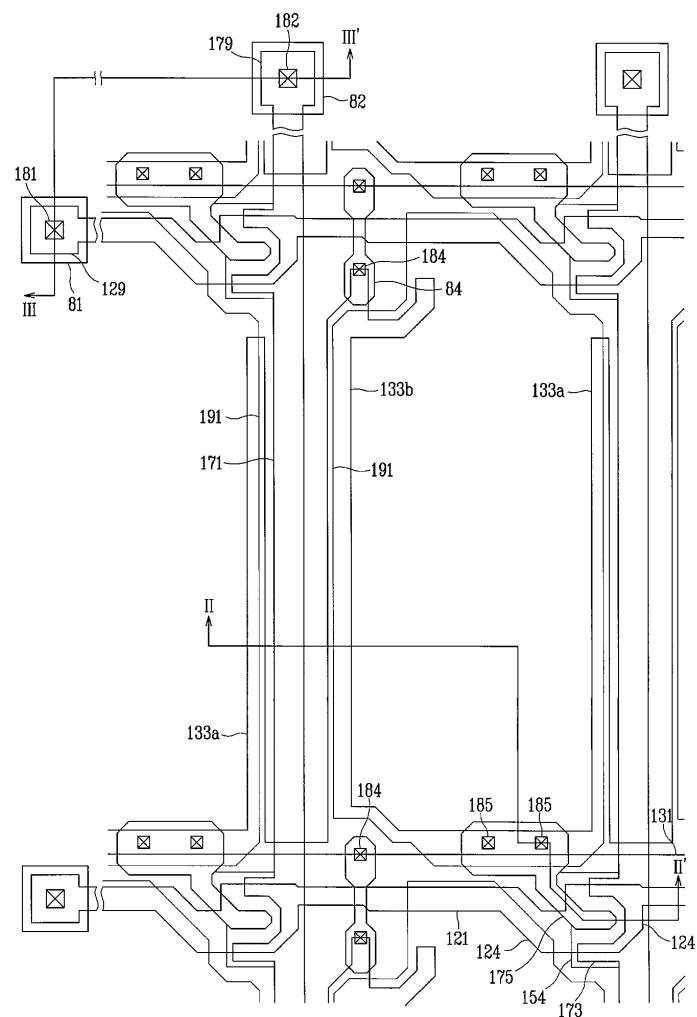
[0006] 도 16 및 도 17은 도 15의 박막 트랜지스터 표시판을 XVI-XVI' 선 및 XVII-XVII' 선을 따라 잘라 도시한 단면도이고,

[0007] 도 19 및 도 20은 도 18의 박막 트랜지스터 표시판을 XIX-XIX' 선 및 XX-XX' 선을 따라 잘라 도시한 단면도이고,

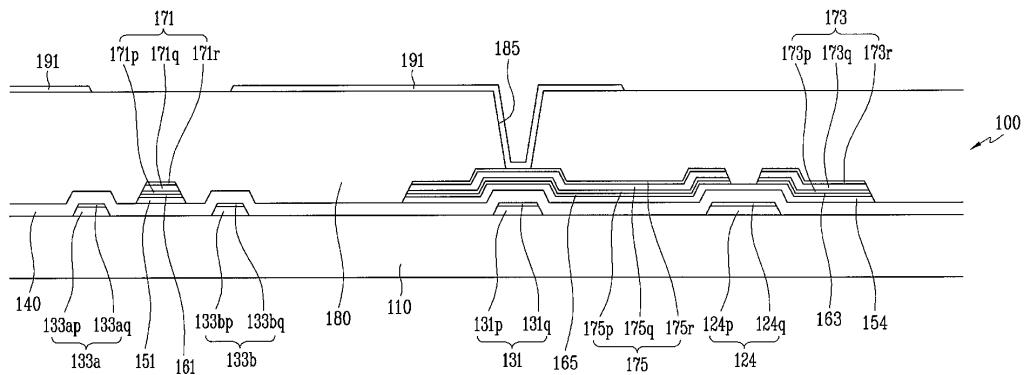
[0008] 도 21a 및 도 21b는 C1 공급량에 따른 박막 트랜지스터 특성을 보여주는 그래프이다.

도면

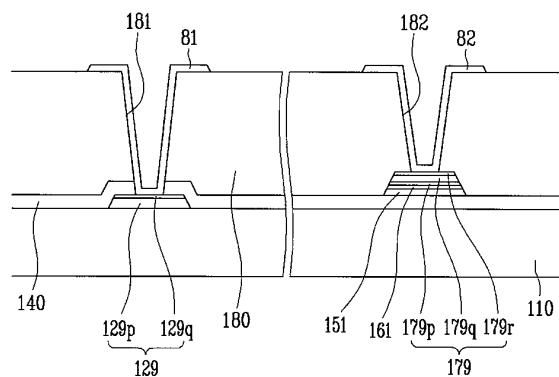
도면1



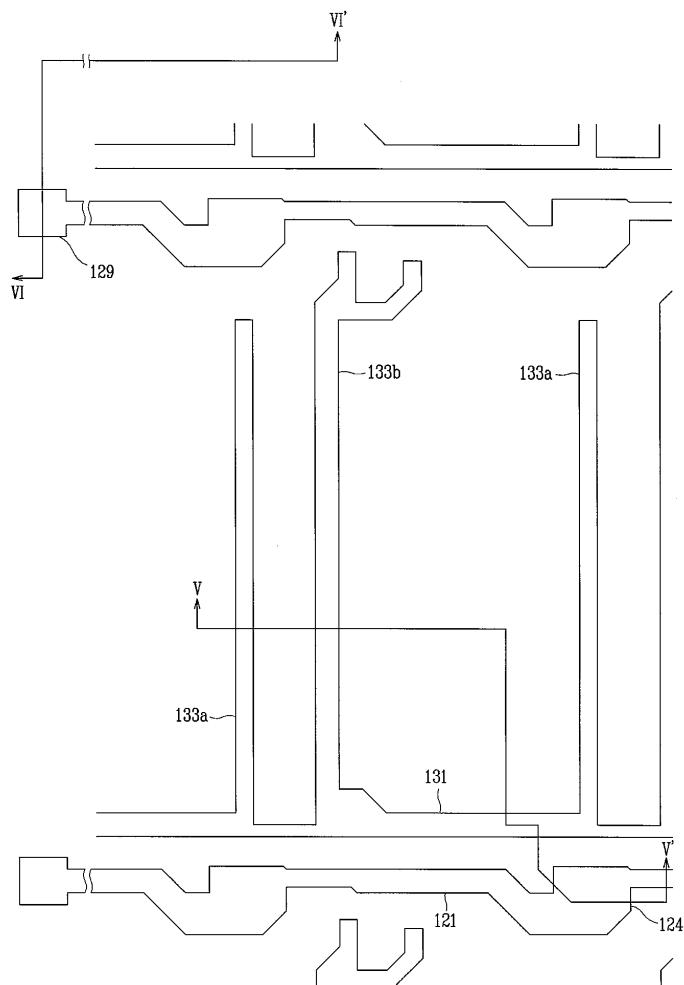
도면2



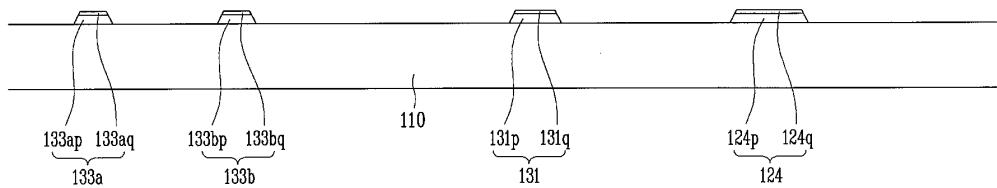
도면3



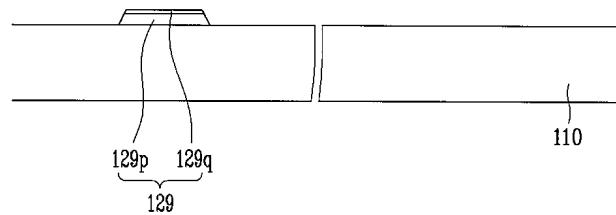
도면4



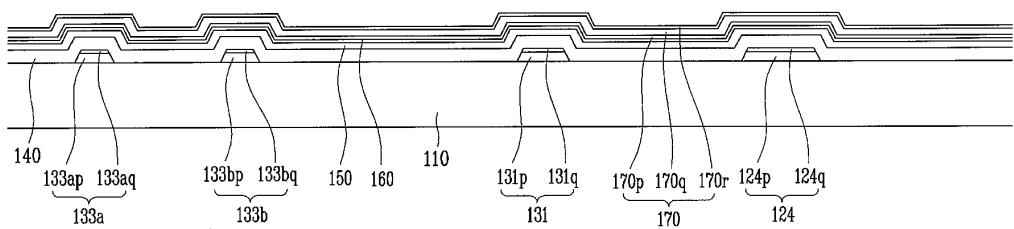
도면5



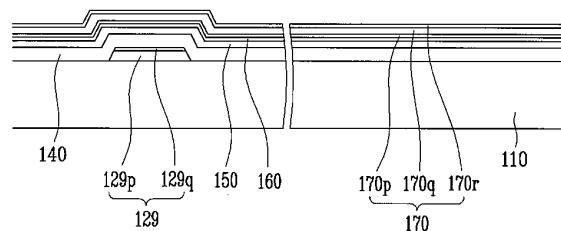
도면6



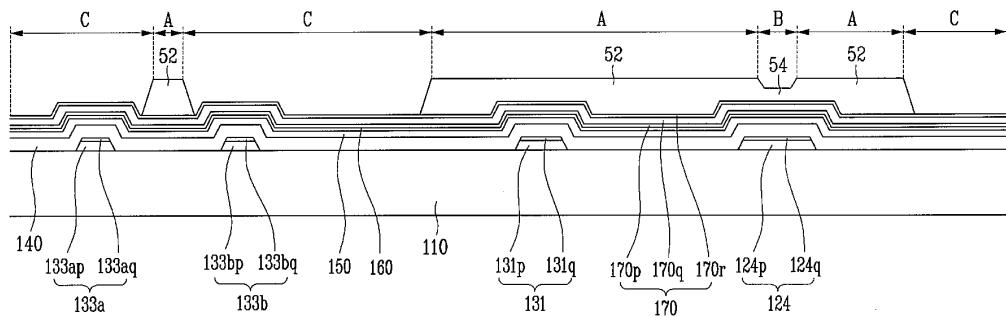
도면7



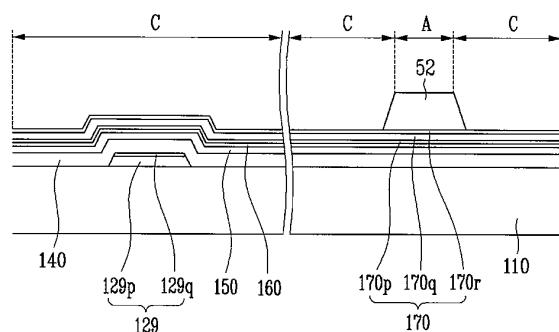
도면8



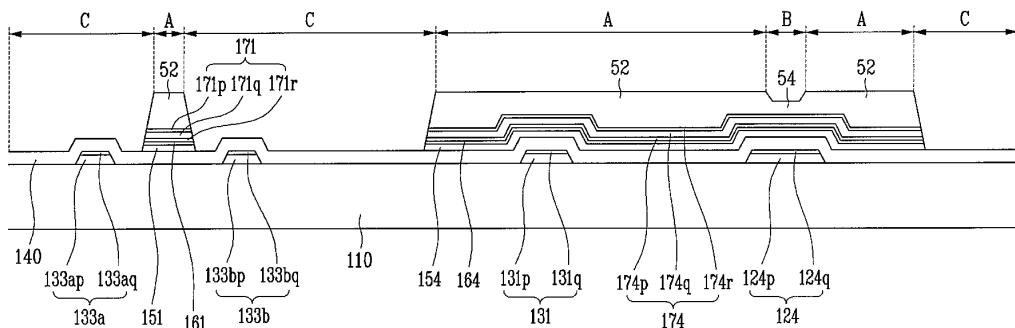
도면9



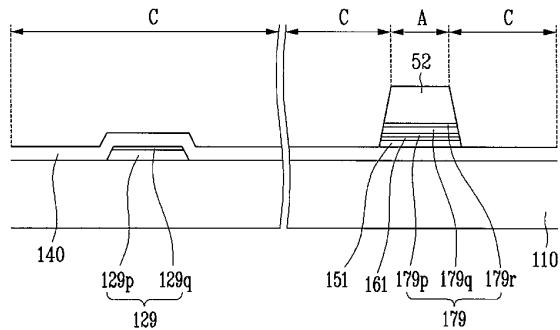
도면10



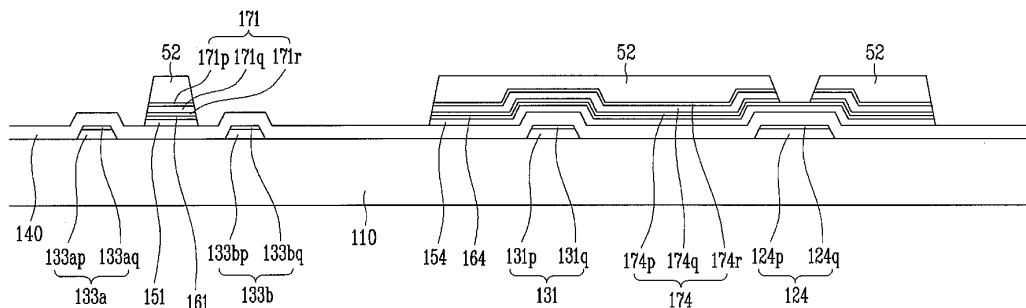
도면11



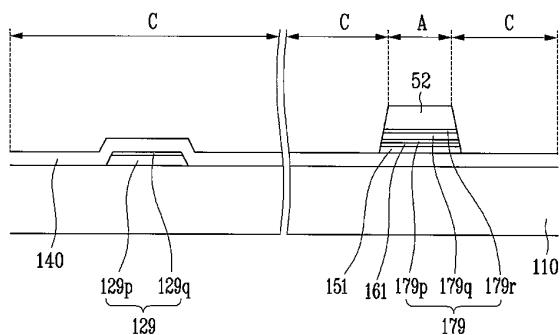
도면12



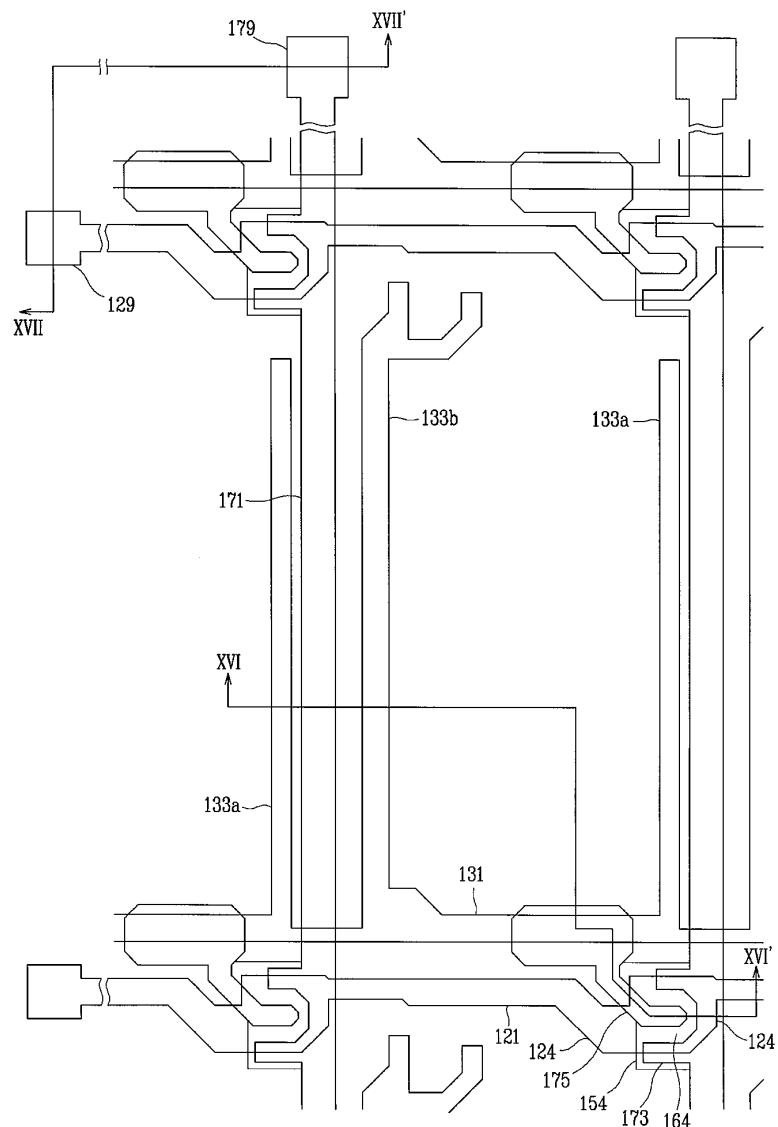
도면13



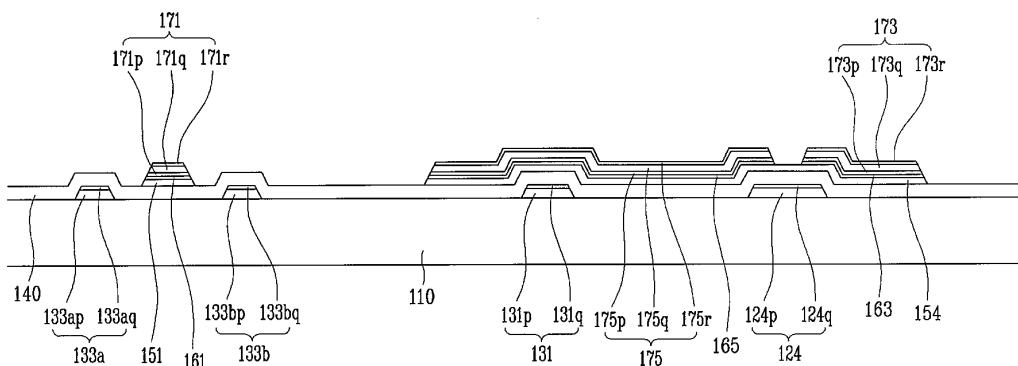
도면14



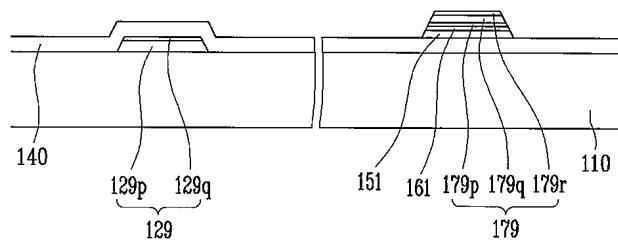
도면15



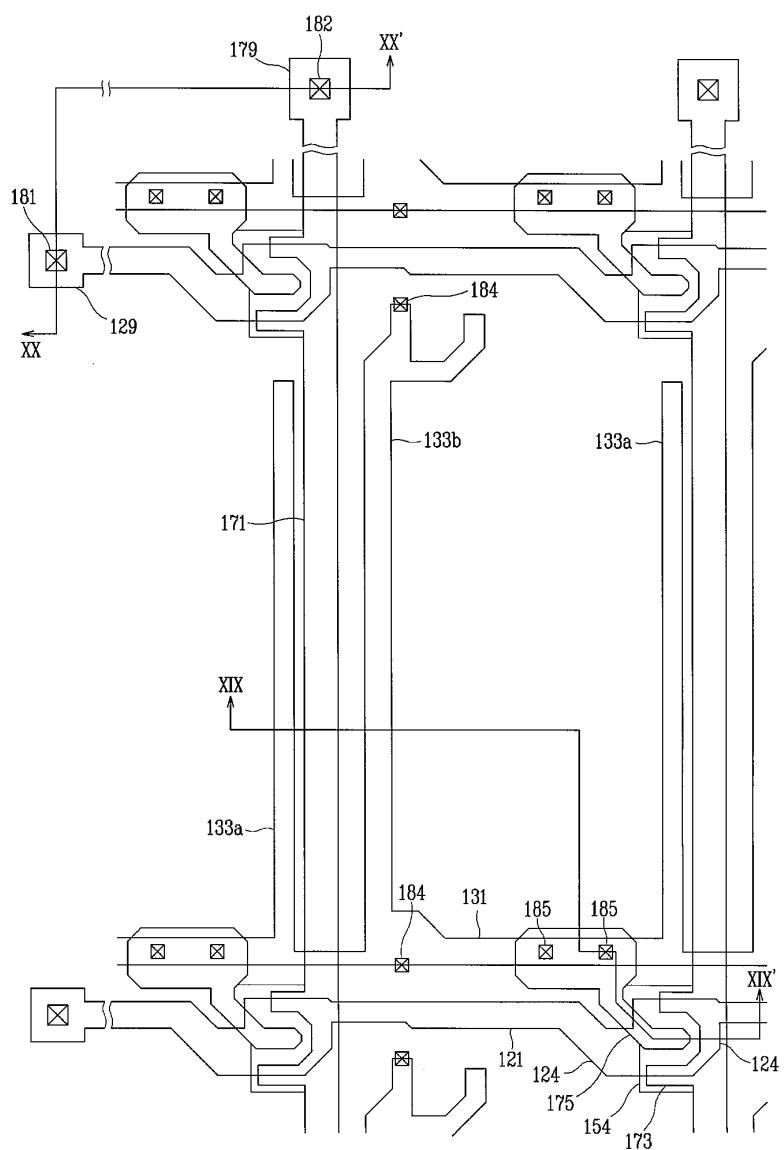
도면16



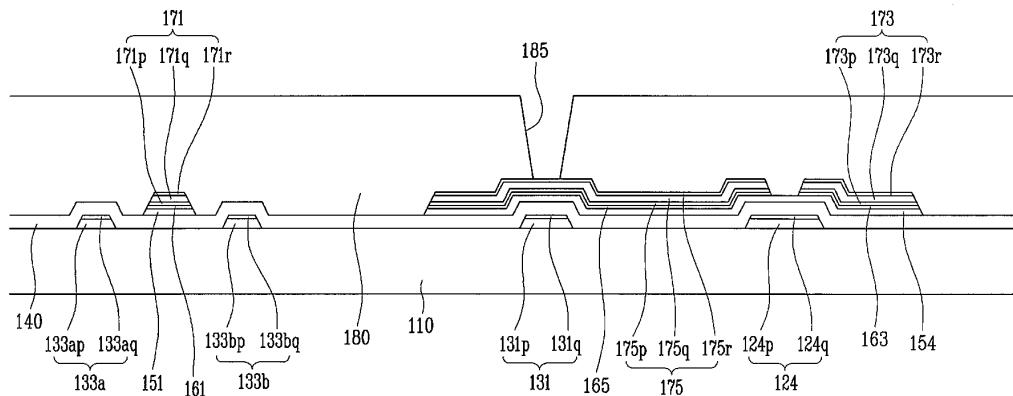
도면17



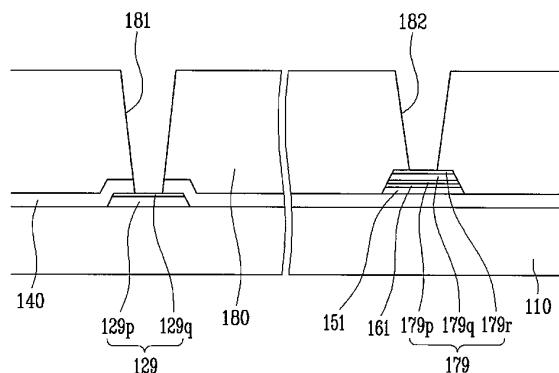
도면18



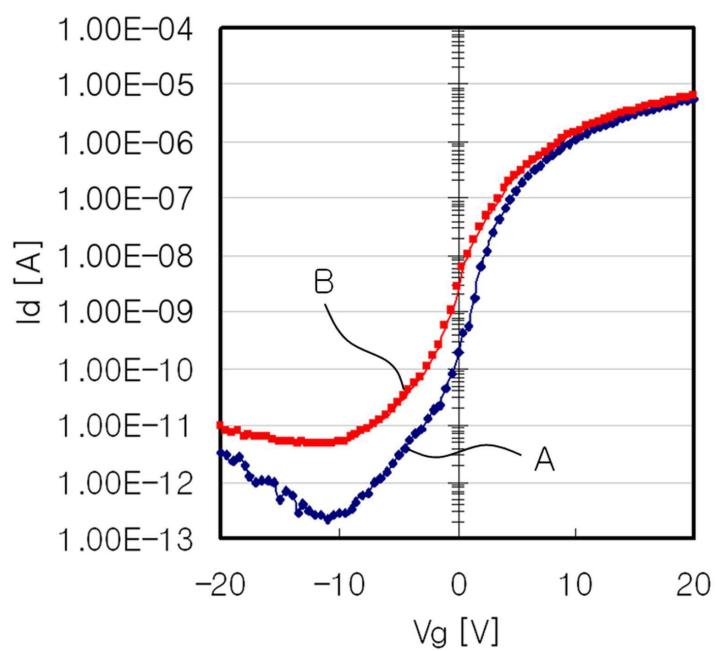
도면19



도면20



도면21a



도면21b

