

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】令和 1 年 9 月 5 日 (2019.9.5)

【公開番号】特開 2019-29457 (P2019-29457A)

【公開日】平成 31 年 2 月 21 日 (2019.2.21)

【年通号数】公開・登録公報 2019-007

【出願番号】特願 2017-145786 (P2017-145786)

【国際特許分類】

H 0 1 L 25/07 (2006.01)

H 0 1 L 25/18 (2006.01)

H 0 2 M 7/48 (2007.01)

【F I】

H 0 1 L 25/04 C

H 0 2 M 7/48 Z

【手続補正書】

【提出日】令和 1 年 7 月 22 日 (2019.7.22)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ゲート電極 (14a) と、主電流が流れる第 1 主電極 (14b) 及び第 2 主電極 (14c) と、を有し、互いに並列接続された複数のスイッチング素子 (12, 13, 34) と、

外部接続端子としての、第 1 主端子 (21) 及び第 2 主端子 (22) と、

前記スイッチング素子を通じた前記第 1 主端子と前記第 2 主端子との間の電流経路としての、前記第 1 主電極のそれぞれと前記第 1 主端子との間に形成される第 1 電流経路 (25, 26) 及び前記第 2 主電極のそれぞれと前記第 2 主端子との間に形成される第 2 電流経路 (27, 28) と、を備え、

任意の前記スイッチング素子における前記第 2 電流経路である任意電流経路の自己インダクタンスを L_{sn} 、前記任意電流経路を除く他の前記電流経路と前記任意電流経路との相互インダクタンスを M_n 、 L_{sn} と M_n との和を L_n とすると、各スイッチング素子の L_n が互いに等しくなるように、複数の前記スイッチング素子及び前記電流経路が配置され、

前記スイッチング素子として、第 1 スwitchング素子及び第 2 スwitchング素子の 2 つを備え、

前記第 1 スwitchング素子における前記第 2 電流経路の自己インダクタンスを L_{s1} 、相互インダクタンスを $M1$ とし、前記第 2 スwitchング素子における前記第 2 電流経路の自己インダクタンスを L_{s2} 、相互インダクタンスを $M2$ とすると、

$L_{s1} = L_{s2}$ 、且つ、 $M1 = M2$ となるように複数の前記スイッチング素子及び前記電流経路が配置され、

2 つの前記スイッチング素子は、一面側に前記第 1 主電極が形成され、前記一面と反対の裏面側に前記第 2 主電極及び前記ゲート電極が形成されるとともに、それぞれの前記一面が同じ側となるように並んで配置され、

前記第 1 主端子が 2 本連なり、2 つの前記スイッチング素子の第 1 主電極がともに電気的に接続された第 1 導体板 (15) と、前記第 2 主端子が 1 本連なり、2 つの前記スィッ

チング素子の第 2 主電極がともに電氣的に接続された第 2 導体板 (19) と、をさらに備え、

前記第 2 主端子と前記第 2 導体板との連結部分である第 2 連結部は、2 つの前記スイッチング素子の並び方向において、2 つの前記スイッチング素子の間に設けられ、

前記第 1 主端子と前記第 1 導体板との連結部分である第 1 連結部は、前記第 2 連結部に対して前記並び方向における両側に設けられ、

2 本の前記第 1 主端子と前記第 1 導体板とが、一体的に設けられている半導体モジュール。

【請求項 2】

ゲート電極 (14a) と、主電流が流れる第 1 主電極 (14b) 及び第 2 主電極 (14c) と、を有し、互いに並列接続された複数のスイッチング素子 (12, 13, 34) と、

外部接続端子としての、第 1 主端子 (21) 及び第 2 主端子 (22) と、

前記スイッチング素子を通じた前記第 1 主端子と前記第 2 主端子との間の電流経路としての、前記第 1 主電極のそれぞれと前記第 1 主端子との間に形成される第 1 電流経路 (25, 26) 及び前記第 2 主電極のそれぞれと前記第 2 主端子との間に形成される第 2 電流経路 (27, 28) と、を備え、

任意の前記スイッチング素子における前記第 2 電流経路である任意電流経路の自己インダクタンスを L_{sn} 、前記任意電流経路を除く他の前記電流経路と前記任意電流経路との相互インダクタンスを M_n 、 L_{sn} と M_n との和を L_n とすると、各スイッチング素子の L_n が互いに等しくなるように、複数の前記スイッチング素子及び前記電流経路が配置され、

前記スイッチング素子として、第 1 スwitchング素子及び第 2 スwitchング素子の 2 つを備え、

前記第 1 スwitchング素子における前記第 2 電流経路の自己インダクタンスを L_{s1} 、相互インダクタンスを $M1$ とし、前記第 2 スwitchング素子における前記第 2 電流経路の自己インダクタンスを L_{s2} 、相互インダクタンスを $M2$ とすると、

$L_{s1} = L_{s2}$ 、且つ、 $M1 = M2$ となるように複数の前記スイッチング素子及び前記電流経路が配置され、

2 つの前記スイッチング素子は、一面側に前記第 1 主電極が形成され、前記一面と反対の裏面側に前記第 2 主電極及び前記ゲート電極が形成されるとともに、それぞれの前記一面が同じ側となるように並んで配置され、

前記第 1 主端子が 2 本連なり、2 つの前記スイッチング素子の第 1 主電極がともに電氣的に接続された第 1 導体板 (15) と、前記第 2 主端子が 1 本連なり、2 つの前記スイッチング素子の第 2 主電極がともに電氣的に接続された第 2 導体板 (19) と、をさらに備え、

前記第 2 主端子と前記第 2 導体板との連結部分である第 2 連結部は、2 つの前記スイッチング素子の並び方向において、2 つの前記スイッチング素子の間に設けられ、

前記第 1 主端子と前記第 1 導体板との連結部分である第 1 連結部は、前記第 2 連結部に対して前記並び方向における両側に設けられ、

前記第 2 主端子と前記第 2 導体板とが、一体的に設けられている半導体モジュール。

【請求項 3】

ゲート電極 (14a) と、主電流が流れる第 1 主電極 (14b) 及び第 2 主電極 (14c) と、を有し、互いに並列接続された複数のスイッチング素子 (12, 13, 34) と、

外部接続端子としての、第 1 主端子 (21) 及び第 2 主端子 (22) と、

前記スイッチング素子を通じた前記第 1 主端子と前記第 2 主端子との間の電流経路としての、前記第 1 主電極のそれぞれと前記第 1 主端子との間に形成される第 1 電流経路 (25, 26) 及び前記第 2 主電極のそれぞれと前記第 2 主端子との間に形成される第 2 電流経路 (27, 28) と、を備え、

任意の前記スイッチング素子における前記第 2 電流経路である任意電流経路の自己インダクタンスを L_{sn} 、前記任意電流経路を除く他の前記電流経路と前記任意電流経路との相互インダクタンスを M_n 、 L_{sn} と M_n との和を L_n とすると、各スイッチング素子の L_n が互いに等しくなるように、複数の前記スイッチング素子及び前記電流経路が配置され、

前記スイッチング素子として、第 1 スwitchング素子及び第 2 スwitchング素子の 2 つを備え、

前記第 1 スwitchング素子における前記第 2 電流経路の自己インダクタンスを L_{s1} 、相互インダクタンスを $M1$ とし、前記第 2 スwitchング素子における前記第 2 電流経路の自己インダクタンスを L_{s2} 、相互インダクタンスを $M2$ とすると、

$L_{s1} = L_{s2}$ 、且つ、 $M1 = M2$ となるように複数の前記スイッチング素子及び前記電流経路が配置され、

2 つの前記スイッチング素子は、一面側に前記第 1 主電極が形成され、前記一面と反対の裏面側に前記第 2 主電極及び前記ゲート電極が形成されるとともに、それぞれの前記一面が同じ側となるように並んで配置され、

前記第 1 主端子が 1 本連なり、2 つの前記スイッチング素子の第 1 主電極がともに電気的に接続された第 1 導体板 (15) と、前記第 2 主端子が 2 本連なり、2 つの前記スイッチング素子の第 2 主電極がともに電気的に接続された第 2 導体板 (19) と、をさらに備え、

前記第 1 主端子と前記第 1 導体板との連結部分である第 1 連結部は、2 つの前記スイッチング素子の並び方向において、2 つの前記スイッチング素子の間に設けられ、

前記第 2 主端子と前記第 2 導体板との連結部分である第 2 連結部は、前記第 1 連結部に対して前記並び方向における両側に設けられている半導体モジュール。

【請求項 4】

ゲート電極 (14a) と、主電流が流れる第 1 主電極 (14b) 及び第 2 主電極 (14c) と、を有し、互いに並列接続された複数のスイッチング素子 (12, 13, 34) と、

外部接続端子としての、第 1 主端子 (21) 及び第 2 主端子 (22) と、

前記スイッチング素子を通じた前記第 1 主端子と前記第 2 主端子との間の電流経路としての、前記第 1 主電極のそれぞれと前記第 1 主端子との間に形成される第 1 電流経路 (25, 26) 及び前記第 2 主電極のそれぞれと前記第 2 主端子との間に形成される第 2 電流経路 (27, 28) と、を備え、

任意の前記スイッチング素子における前記第 2 電流経路である任意電流経路の自己インダクタンスを L_{sn} 、前記任意電流経路を除く他の前記電流経路と前記任意電流経路との相互インダクタンスを M_n 、 L_{sn} と M_n との和を L_n とすると、各スイッチング素子の L_n が互いに等しくなるように、複数の前記スイッチング素子及び前記電流経路が配置され、

前記スイッチング素子として、第 1 スwitchング素子及び第 2 スwitchング素子の 2 つを備え、

前記第 1 スwitchング素子における前記第 2 電流経路の自己インダクタンスを L_{s1} 、相互インダクタンスを $M1$ とし、前記第 2 スwitchング素子における前記第 2 電流経路の自己インダクタンスを L_{s2} 、相互インダクタンスを $M2$ とすると、

$L_{s1} = L_{s2}$ 、且つ、 $M1 = M2$ となるように複数の前記スイッチング素子及び前記電流経路が配置され、

2 つの前記スイッチング素子は、一面側に前記第 1 主電極が形成され、前記一面と反対の裏面側に前記第 2 主電極及び前記ゲート電極が形成されるとともに、それぞれの前記一面が同じ側となるように並んで配置され、

前記第 1 主端子が 1 本連なり、2 つの前記スイッチング素子の第 1 主電極がともに電気的に接続された第 1 導体板 (15) と、前記第 2 主端子が 1 本連なり、2 つの前記スイッチング素子の第 2 主電極がともに電気的に接続された第 2 導体板 (19) と、をさらに備

え、

前記第1主端子と前記第1導体板との連結部分である第1連結部、及び、前記第2主端子と前記第2導体板との連結部分である第2連結部は、2つの前記スイッチング素子の並び方向において2つの前記スイッチング素子の間にのみそれぞれ設けられている半導体モジュール。

【請求項5】

一面側に形成された第1主電極（14b）と、前記一面と反対の裏面側に形成された第2主電極（14c）及びゲート電極（14a）と、を有し、それぞれの前記一面が同じ側となるように並んで配置されるとともに、互いに並列接続された2つのスイッチング素子（12，13）と、

外部接続端子としての、第1主端子（21）及び第2主端子（22）と、

前記第1主端子が2本連っており、2つの前記スイッチング素子の第1主電極がともに電氣的に接続された第1導体板（15）と、前記第2主端子が1本連っており、2つの前記スイッチング素子の第2主電極がともに電氣的に接続された第2導体板（19）と、を備え、

前記第2主端子と前記第2導体板との連結部分である第2連結部は、2つの前記スイッチング素子の並び方向において、2つの前記スイッチング素子の間に設けられ、

前記第1主端子と前記第1導体板との連結部分である第1連結部は、前記第2連結部に対して前記並び方向における両側に設けられ、

2本の前記第1主端子は、前記第1導体板と一体的に設けられている半導体モジュール。

【請求項6】

一面側に形成された第1主電極（14b）と、前記一面と反対の裏面側に形成された第2主電極（14c）及びゲート電極（14a）と、を有し、それぞれの前記一面が同じ側となるように並んで配置されるとともに、互いに並列接続された2つのスイッチング素子（12，13）と、

外部接続端子としての、第1主端子（21）及び第2主端子（22）と、

前記第1主端子が2本連っており、2つの前記スイッチング素子の第1主電極がともに電氣的に接続された第1導体板（15）と、前記第2主端子が1本連っており、2つの前記スイッチング素子の第2主電極がともに電氣的に接続された第2導体板（19）と、を備え、

前記第2主端子と前記第2導体板との連結部分である第2連結部は、2つの前記スイッチング素子の並び方向において、2つの前記スイッチング素子の間に設けられ、

前記第1主端子と前記第1導体板との連結部分である第1連結部は、前記第2連結部に対して前記並び方向における両側に設けられ、

前記第2主端子と前記第2導体板とが、一体的に設けられている半導体モジュール。

【請求項7】

一面側に形成された第1主電極（14b）と、前記一面と反対の裏面側に形成された第2主電極（14c）及びゲート電極（14a）と、を有し、それぞれの前記一面が同じ側となるように並んで配置されるとともに、互いに並列接続された2つのスイッチング素子（12，13）と、

外部接続端子としての、第1主端子（21）及び第2主端子（22）と、

前記第1主端子が1本連っており、2つの前記スイッチング素子の第1主電極がともに電氣的に接続された第1導体板（15）と、前記第2主端子が2本連っており、2つの前記スイッチング素子の第2主電極がともに電氣的に接続された第2導体板（19）と、を備え、

前記第1主端子と前記第1導体板との連結部分である第1連結部は、2つの前記スイッチング素子の並び方向において、2つの前記スイッチング素子の間に設けられ、

前記第2主端子と前記第2導体板との連結部分である第2連結部は、前記第1連結部に対して前記並び方向における両側に設けられている半導体モジュール。

【請求項 8】

ゲート電極（14 a）と、主電流が流れる第 1 主電極（14 b）及び第 2 主電極（14 c）と、を有し、互いに並列接続された 2 つのスイッチング素子（12, 13）と、外部接続端子としての、第 1 主端子（21）及び第 2 主端子（22）と、前記第 1 主端子が 1 本連なり、2 つの前記スイッチング素子の第 1 主電極がともに電氣的に接続された第 1 導体部（15, 30）と、前記第 2 主端子が 1 本連なり、2 つの前記スイッチング素子の第 2 主電極がともに電氣的に接続された第 2 導体部（19, 31, 32, 33）と、を備え、前記第 1 主端子と前記第 1 導体部との連結部分である第 1 連結部、及び、前記第 2 主端子と前記第 2 導体部との連結部分である第 2 連結部は、2 つの前記スイッチング素子の並び方向において 2 つの前記スイッチング素子の間にのみそれぞれ設けられている半導体モジュール。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

本開示のひとつである半導体モジュールは、

ゲート電極（14 a）と、主電流が流れる第 1 主電極（14 b）及び第 2 主電極（14 b）と、を有し、互いに並列接続された複数のスイッチング素子（12, 13, 34）と、

外部接続端子としての、第 1 主端子（21）及び第 2 主端子（22）と、

スイッチング素子を通じた第 1 主端子と第 2 主端子との間の電流経路としての、第 1 主電極のそれぞれと第 1 主端子との間に形成される第 1 電流経路（25, 26）及び第 2 主電極のそれぞれと第 2 主端子との間に形成される第 2 電流経路（27, 28）と、を備え、

任意のスイッチング素子における第 2 電流経路である任意電流経路の自己インダクタンスを L_{sn} 、任意電流経路を除く他の電流経路と任意電流経路との相互インダクタンスを M_n 、 L_{sn} と M_n との和を L_n とすると、各スイッチング素子の L_n が互いに等しくなるように、複数のスイッチング素子及び電流経路が配置され、

スイッチング素子として、第 1 スイッチング素子及び第 2 スイッチング素子の 2 つを備え、

第 1 スイッチング素子における第 2 電流経路の自己インダクタンスを L_{s1} 、相互インダクタンスを $M1$ とし、第 2 スイッチング素子における第 2 電流経路の自己インダクタンスを L_{s2} 、相互インダクタンスを $M2$ とすると、

$L_{s1} = L_{s2}$ 、且つ、 $M1 = M2$ となるように複数のスイッチング素子及び電流経路が配置され、

2 つのスイッチング素子は、一面側に第 1 主電極が形成され、一面と反対の裏面側に第 2 主電極及びゲート電極が形成されるとともに、それぞれの一面が同じ側となるように並んで配置され、

第 1 主端子が 2 本連なり、2 つのスイッチング素子の第 1 主電極がともに電氣的に接続された第 1 導体板（15）と、第 2 主端子が 1 本連なり、2 つのスイッチング素子の第 2 主電極がともに電氣的に接続された第 2 導体板（19）と、をさらに備え、

第 2 主端子と第 2 導体板との連結部分である第 2 連結部は、2 つのスイッチング素子の並び方向において、2 つのスイッチング素子の間に設けられ、

第 1 主端子と第 1 導体板との連結部分である第 1 連結部は、第 2 連結部に対して並び方向における両側に設けられ、

2 本の第 1 主端子と第 1 導体板とが、一体的に設けられている。