

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 12 月 20 日(20.12.2012)



(10) 国際公開番号

WO 2012/172965 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 29/12 (2006.01)
H01L 21/28 (2006.01) H01L 29/423 (2006.01)
H01L 21/336 (2006.01) H01L 29/49 (2006.01)
- (21) 国際出願番号: PCT/JP2012/063722
- (22) 国際出願日: 2012 年 5 月 29 日(29.05.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-132784 2011 年 6 月 15 日(15.06.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): 住友電気工業株式会社 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目 5 番 3 3 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 穂永 美紗子 (HONAGA, Misako) [JP/JP]; 〒5540024 大阪府大阪市此花区島屋一丁目 1 番 3 号 住友電気工業株式会社 大阪製作所内 Osaka (JP). 増田 健良 (MASUDA, Takeyoshi) [JP/JP]; 〒5540024 大阪府大阪市此花区島屋一丁目 1 番 3 号 住友電気工業株式会社 大阪製作所内 Osaka (JP).
- (74) 代理人: 特許業務法人深見特許事務所 (Fukami Patent Office, p.c.); 〒5300005 大阪府大阪市北区中

之島二丁目 2 番 7 号 中之島セントラルタワー Osaka (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

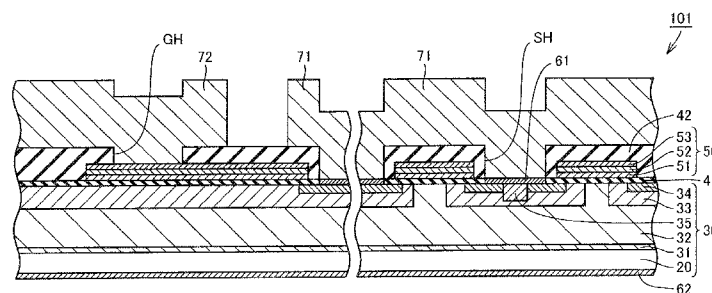
添付公開書類:

- 国際調査報告 (条約第 21 条(3))
- 補正された請求の範囲 (条約第 19 条(1))

(54) Title: SILICON CARBIDE SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 炭化珪素半導体装置およびその製造方法

[図2]



(57) Abstract: A gate electrode (50) includes: a polysilicon film (51) in contact with a gate insulating film (41); a barrier film (52) that is provided on the polysilicon film (51); and a metal film (53), which is provided on the barrier film (52), and is composed of a high melting point metal. An interlayer insulating film (42) is disposed to cover the gate insulating film (41), and the gate electrode (50) that is provided on the gate insulating film (41). Furthermore, the interlayer insulating film (42) has a substrate contact hole (SH), from which a silicon carbide substrate (30) is partially exposed in a region in contact with the gate insulating film (41). Wiring (71) is electrically connected to the silicon carbide substrate (30) via the substrate contact hole (SH), and is electrically insulated from the gate electrode (50) by means of the interlayer insulating film (42).

(57) 要約:

[続葉有]

WO 2012/172965 A1



ゲート電極（５０）は、ゲート絶縁膜（４１）に接するポリシリコン膜（５１）と、ポリシリコン膜（５１）上に設けられたバリア膜（５２）と、バリア膜（５２）上に設けられ高融点金属から作られた金属膜（５３）とを含む。層間絶縁膜（４２）は、ゲート絶縁膜（４１）およびゲート絶縁膜（４１）上に設けられたゲート電極（５０）を覆うように配置されている。また層間絶縁膜（４２）は、ゲート絶縁膜（４１）に接する領域で炭化珪素基板（３０）を部分的に露出する基板コンタクトホール（ＳＨ）を有する。配線（７１）は、基板コンタクトホール（ＳＨ）を介して炭化珪素基板（３０）に電氣的に接続され、層間絶縁膜（４２）によってゲート電極（５０）から電氣的に絶縁されている。

明 細 書

発明の名称：炭化珪素半導体装置およびその製造方法

技術分野

[0001] 本発明は炭化珪素半導体装置およびその製造方法に関し、より特定のには、ゲート電極を有する炭化珪素半導体装置およびその製造方法に関するものである。

背景技術

[0002] 特開 2 0 1 0 - 1 7 1 4 1 7 号公報（特許文献 1）によれば、炭化珪素基板と、ゲートパッドと、ゲート電極とを有する MOSFET（Metal Oxide Semiconductor Field Effect Transistor）が開示されている。ゲート電極はポリシリコンから作られている。

先行技術文献

特許文献

[0003] 特許文献 1：特開 2 0 1 0 - 1 7 1 4 1 7 号公報

発明の概要

発明が解決しようとする課題

[0004] 上記公報に記載の技術によれば、炭化珪素基板上においてゲートパッドから延びるゲート電極の電気抵抗を十分に小さくすることが困難であった。この結果、特に炭化珪素半導体装置が、半導体素子構造を各々有する複数のセルと、ゲートパッドとを有する場合、ゲートパッドから近いセルが含むゲート構造とゲートパッドとの間の抵抗値と、ゲートパッドから遠いセルが含むゲート構造とゲートパッドとの間の抵抗値とのばらつきが大きくなってしまいうことがあった。

[0005] 本発明はこのような問題に対応するためになされたものであって、その目的は、ゲート電極の電気抵抗を抑制することができる炭化珪素半導体装置およびその製造方法を提供することである。

課題を解決するための手段

- [0006] 本発明の炭化珪素半導体装置は、炭化珪素基板と、ゲート絶縁膜と、ゲート電極と、層間絶縁膜と、配線とを有する。ゲート絶縁膜は炭化珪素基板上に設けられている。ゲート電極はゲート絶縁膜上に設けられている。ゲート電極は、ゲート絶縁膜に接するポリシリコン膜と、ポリシリコン膜上に設けられたバリア膜と、バリア膜上に設けられ高融点金属から作られた金属膜とを含む。層間絶縁膜は、ゲート絶縁膜およびゲート絶縁膜上に設けられたゲート電極を覆うように配置されている。層間絶縁膜は、ゲート絶縁膜に接する領域で炭化珪素基板を部分的に露出する基板コンタクトホールを有する。配線は、基板コンタクトホールを介して炭化珪素基板に電氣的に接続され、層間絶縁膜によってゲート電極から電氣的に絶縁されている。
- [0007] 本発明の炭化珪素半導体装置によれば、ゲート電極がポリシリコン膜に比して抵抗率の低い高融点金属膜を含むので、ゲート電極がポリシリコン膜のみから形成される場合に比して、ゲート電極の電気抵抗を抑制することができる。
- [0008] 好ましくは、層間絶縁膜はゲート電極を部分的に露出するゲートコンタクトホールを有する。炭化珪素半導体装置は、ゲートコンタクトホールを介してゲート電極に電氣的に接続されたゲートパッドを有する。これにより、電気抵抗の小さいゲート電極によって、ゲートパッドからの電流経路を形成することができる。より好ましくは配線およびゲートパッドは同じ材料から作られている。これにより、配線の材料とゲートパッドの材料とが異なる場合に比して、炭化珪素半導体装置をより容易に製造することができる。
- [0009] 好ましくは、高融点金属は1000℃を超える融点を有する。これにより、高融点金属から作られた金属膜が形成された後に、1000℃を超える熱処理を行うことができる。
- [0010] 上記炭化珪素基板にはトレンチが設けられていてもよく、トレンチ内にゲート電極の少なくとも一部が配置されていてもよい。これにより、ゲート電極の電気抵抗をさらに抑制することができる。
- [0011] 本発明の炭化珪素半導体装置の製造方法は、以下の工程を有する。

炭化珪素基板上にゲート絶縁膜が形成される。ゲート絶縁膜上にゲート電極が形成される。ゲート電極を形成する工程は、ゲート絶縁膜に接するポリシリコン膜を形成する工程と、ポリシリコン膜上にバリア膜を形成する工程と、バリア膜上に高融点金属から作られた金属膜を形成する工程とを含む。ゲート絶縁膜およびゲート絶縁膜上に設けられたゲート電極を覆うように配置され、ゲート絶縁膜に接する領域で炭化珪素基板を部分的に露出する基板コンタクトホールを有する層間絶縁膜が形成される。基板コンタクトホールを介して炭化珪素基板に電氣的に接続され、層間絶縁膜によってゲート電極から電氣的に絶縁された配線が形成される。

[0012] 本発明の炭化珪素半導体装置の製造方法によれば、ゲート電極がポリシリコン膜に比して抵抗率の低い高融点金属膜を含むので、ゲート電極がポリシリコン膜のみから形成される場合に比して、ゲート電極の電気抵抗を抑制することができる。

[0013] 好ましくは炭化珪素半導体装置の製造方法において、配線と炭化珪素基板との電氣的接続をよりオーミックにするために、炭化珪素基板が熱処理される。これにより配線と炭化珪素基板との電氣的接続をよりオーミックにすることができる。より好ましくは炭化珪素基板を熱処理する工程は、炭化珪素基板を1000℃を超える温度まで加熱する工程を含む。これにより配線と炭化珪素基板との電氣的接続をよりオーミックにすることができる。

[0014] 好ましくは配線を形成する工程は、ゲート電極および炭化珪素基板の各々に接する導体膜を形成する工程と、導体膜をパターニングする工程とを含む。パターニングする工程によって、配線と、ゲート電極の一部の上に設けられたゲートパッドとが形成される。これにより、配線およびゲートパッドが別個に形成される場合に比して、炭化珪素半導体装置をより容易に製造することができる。

[0015] 上記炭化珪素基板にはトレンチが形成されてもよく、トレンチ内にゲート電極の少なくとも一部が配置されてもよい。これにより、ゲート電極の電気抵抗をさらに抑制することができる。

発明の効果

[0016] 以上の説明から明らかなように、本発明の炭化珪素半導体装置によれば、電気抵抗を抑制することができる。

図面の簡単な説明

[0017] [図1]実施の形態1における炭化珪素半導体装置の構造を概略的に示す平面図である。

[図2]図1の線I-I-I-Iに沿う概略断面図である。

[図3]図1の炭化珪素半導体装置の製造方法の第1工程を、図2の視野に対応する視野において概略的に示す断面図である。

[図4]図1の炭化珪素半導体装置の製造方法の第2工程を、図2の視野に対応する視野において概略的に示す断面図である。

[図5]図1の炭化珪素半導体装置の製造方法の第3工程を、図2の視野に対応する視野において概略的に示す断面図である。

[図6]図1の炭化珪素半導体装置の製造方法の第4工程を、図2の視野に対応する視野において概略的に示す断面図である。

[図7]図1の炭化珪素半導体装置の製造方法の第5工程を、図2の視野に対応する視野において概略的に示す断面図である。

[図8]図1の炭化珪素半導体装置の製造方法の第6工程を、図2の視野に対応する視野において概略的に示す断面図である。

[図9]図1の炭化珪素半導体装置の製造方法の第7工程を、図2の視野に対応する視野において概略的に示す断面図である。

[図10]図1の炭化珪素半導体装置の製造方法の第8工程を、図2の視野に対応する視野において概略的に示す断面図である。

[図11]図1の炭化珪素半導体装置の製造方法の第9工程を、図2の視野に対応する視野において概略的に示す断面図である。

[図12]実施の形態2における炭化珪素半導体装置の構造を、図2の視野に対応する視野において概略的に示す断面図である。

[図13]図12の炭化珪素半導体装置の製造方法の第1工程を、図12の視野

に対応する視野において概略的に示す断面図である。

[図14]図12の炭化珪素半導体装置の製造方法の第2工程を、図12の視野に対応する視野において概略的に示す断面図である。

[図15]図12の構造の変形例を概略的に示す断面図である。

発明を実施するための形態

[0018] 以下、本発明の実施の形態について図に基づいて説明する。なお、以下の図面において、同一または相当する部分には同一の参照番号を付し、その説明は繰り返さない。また本明細書中の結晶学的な記載において、等価な個別方位を含む集合方位を<>、個別面を（）、等価な個別面を含む集合面を{ }で示している。また指数が負であることを示すためには、数字の上に「-」（バー）を付ける代わりに、数字の前に負の符号を付けている。

[0019] （実施の形態1）

図1および図2に示すように、本実施の形態の炭化珪素半導体装置はMOSFET101であり、より具体的にはDiMOSFET（Double implanted MOSFET）である。MOSFET101は、炭化珪素基板30と、ゲート絶縁膜41と、ゲート電極50と、層間絶縁膜42と、ソース配線71（配線）と、オーミック電極61と、ドレイン電極62とを有する。

[0020] 炭化珪素基板30は、導電型がn型（第1導電型）である単結晶ウエハ20と、炭化珪素からなり導電型がn型であるバッファ層31と、炭化珪素からなり導電型がn型のドリフト層32と、導電型がp型（第2導電型）の一对のp型ボディ領域33と、導電型がn型のn⁺領域34と、導電型がp型のp⁺領域35とを有する。

[0021] 単結晶ウエハ20はn型を有するものである。バッファ層31は、単結晶ウエハ20の主面上にエピタキシャルに形成されており、導電型不純物がドーピングされることによりn型を有する。ドリフト層32は、バッファ層31上にエピタキシャルに形成されており、導電型不純物がドーピングされることによりn型を有する。ドリフト層32の体積当たりの不純物濃度はバッファ層31の体積当たりの不純物濃度よりも低い。この導電型不純物は、たとえば窒

素（N）である。一对のp型ボディ領域33は、炭化珪素基板30の主面（図2の上面）において互いに分離されている。p型ボディ領域33は、導電型不純物がドーピングされることによりp型を有する。この導電型不純物は、たとえばアルミニウム（Al）またはホウ素（B）である。各n⁺領域34は、炭化珪素基板30の主面上に設けられており、p型ボディ領域33によってドリフト層32と分離されている。n⁺領域34の不純物濃度はドリフト層32の不純物濃度よりも高い。p⁺領域35は、炭化珪素基板30の主面上からp型ボディ領域33へと達しており、炭化珪素基板30の主面上においてn⁺領域34と隣接している。p⁺領域35の不純物濃度はp型ボディ領域33の不純物濃度よりも高い。

[0022] ゲート絶縁膜41は、炭化珪素基板30の主面上に直接設けられており、一方のn⁺領域34の上部表面から他方のn⁺領域34の上部表面まで延在している。ゲート絶縁膜は、好ましくは酸化膜であり、たとえば二酸化珪素（SiO₂）から作られている。

[0023] ゲート電極50は、ゲート絶縁膜41上に直接設けられており、一方のn⁺領域34上から他方のn⁺領域34上にまで延在している。ゲート電極50は、ゲート絶縁膜41に接するポリシリコン膜51と、ポリシリコン膜51上に設けられたバリア膜52と、バリア膜52上に設けられた金属膜53とを含む。

[0024] ポリシリコン膜51は、導電型不純物が添加されたポリシリコンから作られている。ポリシリコン膜51の厚さは、たとえば400nm程度である。

[0025] バリア膜52は、金属膜53に比してシリサイド化されにくい材料から作られており、たとえばチタン（Ti）、窒化チタン（TiN）、チタンタングステン（TiW）、窒化タングステン（WN）、または窒化タンタル（TaW）から作られている。バリア膜52の厚さは、たとえば50nm程度である。

[0026] 金属膜53は高融点金属から作られている。高融点金属は、好ましくは1000℃を超える融点を有する。金属膜53の抵抗率はポリシリコン膜51

の抵抗率よりも低い。具体的には高融点金属は、Au、Cu、Si、Ni、Mo、Ta、およびWのうちのいずれかの金属、または、これらのうちの少なくとも2つを含む合金から作られている。金属膜53の厚さは、たとえば50～400nm程度である。

[0027] 層間絶縁膜42は、ゲート絶縁膜41およびゲート電極50が設けられた炭化珪素基板30上に設けられている。また層間絶縁膜42には、各 n^+ 領域34の一部と p^+ 領域35とを露出するソースコンタクトホールSH（基板コンタクトホール）と、ゲート電極50を局所的に露出するゲートコンタクトホールGHとが設けられている。層間絶縁膜42は、たとえば二酸化珪素（ SiO_2 ）から作られている。

[0028] ソース配線71は、ソースコンタクトホールSHを介して炭化珪素基板30に電氣的に接続されている。またソース配線71は層間絶縁膜42によってゲート電極50から電氣的に絶縁されている。ソース配線71は、たとえばアルミニウム（Al）から作られている。本実施の形態においてはソース配線71はパッドとしての機能を有する。すなわちソース配線71はその上へのワイヤボンディングが可能ないように構成されている。

[0029] オーミック電極61はソース配線71と炭化珪素基板30との間に介在している。オーミック電極61は、 n^+ 領域34とオーミックコンタクト可能な材料から作られており、具体的にはシリサイドから作られており、たとえば Ni_xSi_y （ニッケルシリサイド）から作られている。

[0030] ゲートパッド72は、ゲート電極50の一部の上に設けられている。ゲートパッド72は、ゲートコンタクトホールGHを介してゲート電極50に電氣的に接続されている。ゲートパッド72は、たとえばアルミニウム（Al）から作られている。

[0031] ドレイン電極62は、炭化珪素基板30が有する単結晶ウエハ20上に接触している。ドレイン電極62は、炭化珪素基板30とオーミックコンタクト可能な材料から作られており、具体的にはシリサイドから作られており、たとえば Ni_xSi_y （ニッケルシリサイド）から作られている。

[0032] 次にMOSFET 101の製造方法について説明する。

図3に示すように、炭化珪素基板30が準備される。具体的には、以下の工程が行われる。

[0033] まず炭化珪素の単結晶ウエハ20が準備される。次に、単結晶ウエハ20の主面上に、炭化珪素からなるバッファ層31およびドリフト層32が順次エピタキシャル成長される。このエピタキシャル成長のためには、たとえばCVD (Chemical Vapor Deposition) 法を用いることができる。

[0034] 次にイオン注入が行われる。具体的にはまずp型ボディ領域33を形成するためのイオン注入が実施される。具体的には、たとえばAl (アルミニウム) イオンがドリフト層32に注入されることにより、p型ボディ領域33が形成される。次に、n⁺領域34を形成するためのイオン注入が実施される。具体的には、たとえばP (リン) イオンがp型ボディ領域33に注入されることにより、p型ボディ領域33内にn⁺領域34が形成される。さらに、p⁺領域35を形成するためのイオン注入が実施される。具体的には、たとえばAl イオンがp型ボディ領域33に注入されることにより、p型ボディ領域33内にp⁺領域35が形成される。上記イオン注入は、たとえばドリフト層32の主面上に二酸化珪素 (SiO₂) からなり、イオン注入を実施すべき所望の領域に開口を有するマスク層を形成して実施することができる。

[0035] 次に活性化熱処理が実施される。たとえば、アルゴンなどの不活性ガス雰囲気中において1700℃に加熱し、30分間保持する熱処理が実施される。これにより、注入されていた不純物が活性化される。

[0036] 以上により、炭化珪素基板30が準備される。

図4に示すように、炭化珪素基板30上にゲート絶縁膜41が形成される。具体的には、酸素雰囲気中において1300℃に加熱して60分間保持する熱処理により、ゲート絶縁膜41としての酸化膜が形成される。この後、雰囲気ガスとして一酸化窒素 (NO) ガスを用いた熱処理が行われてもよい。この熱処理の条件としては、たとえば1100℃以上1300℃以下の温度で1時間程度保持する条件を採用することができる。このような熱処理に

より、ゲート絶縁膜41とドリフト層32との界面領域に窒素原子が導入される。これにより、ゲート絶縁膜41とドリフト層32との界面領域における界面準位の形成が抑制され、最終的に得られるMOSFET101のチャネル移動度を向上させることができる。なおNOガスの代わりに、ゲート絶縁膜41とドリフト層32との界面領域に窒素原子を導入することが可能な他のガスが用いられてもよい。また窒素原子導入のための熱処理後、界面準位の形成をさらに抑制するために、この熱処理の温度よりも高い温度での熱処理をアルゴン（Ar）雰囲気を用いて行ってもよい。

[0037] 次にゲート絶縁膜41上にゲート電極50が形成される。具体的には、まずゲート絶縁膜41に接するポリシリコン膜51が形成される。ポリシリコン膜51は、たとえばCVD法により成膜され得る。次にポリシリコン膜51上にバリア膜52が形成される。次にバリア膜52上に金属膜53が形成される。バリア膜52および金属膜53は、たとえば蒸着法により成膜され得る。

[0038] 図5に示すように、ゲート電極50がパターニングされる。パターニングは、たとえば、フォトリソグラフィおよびエッチングにより行うことができる。

[0039] 図6に示すように、ゲート絶縁膜41およびゲート電極50が形成された炭化珪素基板30上に、層間絶縁膜42が形成される。層間絶縁膜42は、たとえばCVD法により形成され得る。

[0040] 図7に示すように、層間絶縁膜42およびゲート絶縁膜41に、炭化珪素基板30を部分的に露出するソースコンタクトホールSHが形成される。この工程は、たとえば、フォトリソグラフィおよびエッチングにより行うことができる。

[0041] 図8に示すように、ソースコンタクトホールSH内において、炭化珪素基板30上に膜61pが形成される。膜61pは、加熱されることによって炭化珪素基板30とのオーミック接触が可能となるような材料から作られており、具体的にはシリサイド化可能な材料から作られており、たとえばニッケ

ル（Ni）から作られている。また本実施の形態においては、炭化珪素基板30が有する単結晶ウエハ20の裏面上に、膜61pの材料と同様の材料から作られた膜62pが形成される。この工程は、たとえば蒸着法により行い得る。

[0042] 図9に示すように、炭化珪素基板30が熱処理される。熱処理の温度は、炭化珪素基板30と膜61p（図8）とのオーミック接触が促進されるのに十分なものとされ、好ましくは1000℃超である。この熱処理により、炭化珪素基板上に形成された膜61pが加熱されることで、膜61pからオーミック電極61が形成される。また炭化珪素基板が有する単結晶ウエハ20の裏面上に形成された膜62p（図8）が加熱されることで、ドレイン電極62が形成される。

[0043] 図10に示すように、層間絶縁膜42にゲートコンタクトホールGHが形成される。これにより、ゲート電極50の一部が露出される。この工程は、たとえば、フォトリソグラフィおよびエッチングにより行うことができる。

[0044] 図11に示すように、金属から作られた膜70が形成される。この金属は、たとえばアルミニウムである。なお本明細書において「金属」とは、単体の金属だけでなく、合金も含む概念である。また膜70は単層膜に限られず、多層膜であってもよい。この多層膜は、たとえば、バリア膜の形成と、このバリア膜上へのアルミニウム膜の形成とによって形成され得る。また膜70の材料は、ソース配線71およびゲートパッド72の各々の材料と同じである。

[0045] 次に膜70がパターニングされることによって、図2に示すように、互いに分離されたソース配線71およびゲートパッド72が形成される。これによりMOSFET101が得られる。

[0046] 本実施の形態によれば、ゲート電極50がポリシリコン膜51に比して抵抗率の低い金属膜53を含むので、ゲート電極50がポリシリコン膜51のみから形成される場合に比して、電気抵抗を抑制することができる。これにより、電気抵抗の小さいゲート電極50によって、ゲートパッド72からの

電流経路を形成することができる。

[0047] なお仮に金属膜53を用いずにポリシリコンのみでゲート電極が形成される場合、ポリシリコンの抵抗率が金属膜の抵抗率に比して大きいことから、本実施の形態と同程度に低い抵抗を有するゲート電極を得ようとする、ゲート電極の厚さが過度に大きくなってしまう。ゲート電極はパターンを有するので、その厚さが極端に大きい場合、このパターンに対応した大きな凹凸が炭化珪素基板30上に生じてしまう。これに対して本実施の形態によれば、抵抗率の低い金属膜53を用いることでゲート電極の厚さを小さくすることができるので、炭化珪素基板30上に生じる凹凸を抑制することができる。

[0048] また炭化珪素基板30が熱処理されることで、ソース配線71と炭化珪素基板30との間にオーミック電極61が形成される。これによりソース配線71と炭化珪素基板30との電氣的接続をよりオーミックにすることができる。好ましくは熱処理の温度は1000℃を超える。これによりソース配線71と炭化珪素基板30との接続をよりオーミックにすることができる。

[0049] 好ましくは、金属膜53の材料である高融点金属は、1000℃を超える融点を有する。これにより、金属膜53が形成された後に、1000℃を超える熱処理を行うことができる。

[0050] また本実施の形態においては、ソース配線71およびゲートパッド72は同じ材料から作られている。これにより、ソース配線71の材料とゲートパッド72の材料とが異なる場合に比して、MOSFET101をより容易に製造することができる。具体的には、膜70をパターニングすることによって、ソース配線71と、ゲートパッド72とを同時に形成することができる。

[0051] なお単結晶ウエハ20の、バッファ層31に面する主面は、{0001}面に対して50°以上65°以下のオフ角を有することが好ましい。これによりチャネル移動度を高めることができる。またこのオフ角のオフ方位と<01-10>方向とのなす角は5°以下となっていることが好ましい。これ

により、単結晶ウエハ20上へのエピタキシャル成長を容易にすることができる。

[0052] さらに、上記主面の、 $\langle 01-10 \rangle$ 方向における $\{03-38\}$ 面に対するオフ角は -3° 以上 5° 以下であることが好ましく、この主面は実質的に $\{03-38\}$ 面であることがより好ましい。これにより、チャネル移動度を一層向上させることができる。

[0053] 上記主面のオフ方位と $\langle -2110 \rangle$ 方向とのなす角は 5° 以下となってもよい。これにより、単結晶ウエハ20上へのエピタキシャル成長を容易にすることができる。

[0054] さらに、上記主面は、単結晶ウエハ20を構成する炭化珪素のカーボン面側の面であることが好ましい。カーボン面側の面とは、面方位 $(h\ k\ l\ m)$ で表された場合に m が負である面である。より好ましくはこの面は $(0-3\ 3-8)$ 面である。これにより、チャネル移動度をさらに向上させることができる。

[0055] (実施の形態2)

図12に示すように、本実施の形態の炭化珪素半導体装置はMOSFET102であり、より具体的にはVMOSFET(V-groove MOSFET)である。MOSFET102は炭化珪素基板30Vを有する。炭化珪素基板30Vは、トレンチTVを有し、またp型ボディ領域33Vと、n型の n^+ 領域34Vと、緩和領域36とを有する。トレンチTVは、V字状の形状を有し、 n^+ 領域34Vおよびp型ボディ領域33Vを貫通してドリフト層32内に達している。トレンチTVの側壁の好適な面方位は、単結晶ウエハ20(図2)の主面の好適な面方位と同様である。緩和領域36は、ゲート絶縁膜41を介して、トレンチTVの底部に面している。緩和領域36は、ドリフト層32の不純物濃度よりも高い不純物濃度を有し、トレンチTV底部における電界を緩和する機能を有する。

[0056] 次にMOSFET102の製造方法について、以下に説明する。

図13に示すように、実施の形態1と同様に、単結晶ウエハ20の主面上

にバッファ層 3 1 およびドリフト層 3 2 が順次エピタキシャル成長される。次に p 型ボディ領域 3 3 V および n⁺領域 3 4 V が形成される。p 型ボディ領域 3 3 V は、イオン注入またはエピタキシャル成長によって形成し得る。n⁺領域 3 4 V はイオン注入によって形成し得る。

[0057] 図 1 4 に示すように、トレンチ T V が形成される。トレンチの形成は、たとえば、フォトリソグラフィおよびエッチングにより行うことができる。次にトレンチ T V の底部にイオン注入により緩和領域 3 6 が形成される。次に不純物の活性化熱処理が実施される。次に、実施の形態 1 の図 4 ～図 1 1 とほぼ同様の工程が行われることで、M O S F E T 1 0 2 (図 1 2) が得られる。

[0058] なお、上記以外の構成については、上述した実施の形態 1 の構成とほぼ同じであるため、同一または対応する要素について同一の符号を付し、その説明を繰り返さない。

[0059] 本実施の形態によれば、ゲート電極 5 0 は、トレンチ T V 内に配置された部分を有する。この部分の存在によって、炭化珪素基板 3 0 上に凹凸を過度に大きくすることなく、ゲート電極 5 0 の断面積 (図 1 2 における面積) を大きくすることでゲート電極 5 0 の電気抵抗をさらに抑制することができる。

[0060] (実施の形態 3)

図 1 5 に示すように、本実施の形態の炭化珪素半導体装置は M O S F E T 1 0 3 であり、M O S F E T 1 0 2 (図 1 2) のトレンチ T V の代わりにトレンチ T U を有する。トレンチ T U はトレンチ T V と異なり、ほぼ平坦な底部を有する。

[0061] なお、上記以外の構成については、上述した実施の形態 2 の構成とほぼ同じであるため、同一または対応する要素について同一の符号を付し、その説明を繰り返さない。

[0062] 上記 M O S F E T 1 0 1 ～ 1 0 3 の各々において、n 型と p 型とが入れ替えられてもよい。また炭化珪素半導体装置は、M O S F E T 以外の M I S F

ET (Metal Insulator Semiconductor Field Effect Transistor)であってもよい。すなわちゲート絶縁膜41は酸化物に限定されるものではない。また炭化珪素半導体装置はMISFETに限定されるものではなく、ゲート電極を有する他の種類の装置であってもよく、たとえばIGBT (Insulated Gate Bipolar Transistor)であってもよい。また配線とゲートパッドとは、必ずしも同じ材料から作られている必要はない。

[0063] 今回開示された実施の形態はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味、および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0064] 20 単結晶ウエハ、30, 30V 炭化珪素基板、31 バッファ層、32 ドリフト層、33, 33V p型ボディ領域、34, 34V n⁺領域、35 p⁺領域、36 緩和領域、41 ゲート絶縁膜、42 層間絶縁膜、50 ゲート電極、51 ポリシリコン膜、52 バリア膜、53 金属膜、61 オーミック電極、62 ドレイン電極、71 ソース配線、72 ゲートパッド、101~103 MOSFET (半導体装置)、GH ゲートコンタクトホール、SH ソースコンタクトホール (基板コンタクトホール)、TU, TV トレンチ。

請求の範囲

- [請求項1] 炭化珪素基板（30、30V）と、
前記炭化珪素基板上に設けられたゲート絶縁膜（41）と、
前記ゲート絶縁膜上に設けられたゲート電極（50）とを備え、
前記ゲート電極は、前記ゲート絶縁膜に接するポリシリコン膜（51）と、前記ポリシリコン膜上に設けられたバリア膜（52）と、前記バリア膜上に設けられ高融点金属から作られた金属膜（53）とを含み、さらに
前記ゲート絶縁膜および前記ゲート絶縁膜上に設けられた前記ゲート電極を覆うように配置され、前記ゲート絶縁膜に接する領域で前記炭化珪素基板を部分的に露出する基板コンタクトホール（SH）を有する層間絶縁膜（42）と、
前記基板コンタクトホールを介して前記炭化珪素基板に電氣的に接続され、前記層間絶縁膜によって前記ゲート電極から電氣的に絶縁された配線（71）とを備える、炭化珪素半導体装置（101～103）。
- [請求項2] 前記層間絶縁膜は前記ゲート電極を部分的に露出するゲートコンタクトホール（GH）を有し、
前記ゲートコンタクトホールを介して前記ゲート電極に電氣的に接続されたゲートパッド（72）をさらに備える、請求項1に記載の炭化珪素半導体装置。
- [請求項3] 前記配線および前記ゲートパッドは同じ材料から作られている、請求項2に記載の炭化珪素半導体装置。
- [請求項4] 前記高融点金属は1000℃を超える融点を有する、請求項1～3のいずれか1項に記載の炭化珪素半導体装置。
- [請求項5] 前記炭化珪素基板（30V）にトレンチ（TU、TV）が設けられており、前記トレンチ内に前記ゲート電極の少なくとも一部が配置されている、請求項1～4のいずれか1項に記載の炭化珪素半導体装置

(102、103)。

[請求項6] 炭化珪素基板(30、30V)上にゲート絶縁膜(41)を形成する工程と、

前記ゲート絶縁膜上にゲート電極(50)を形成する工程と備え、

前記ゲート電極を形成する工程は、前記ゲート絶縁膜に接するポリシリコン膜(51)を形成する工程と、前記ポリシリコン膜上にバリア膜(52)を形成する工程と、前記バリア膜上に高融点金属から作られた金属膜(53)を形成する工程とを含み、さらに

前記ゲート絶縁膜および前記ゲート絶縁膜上に設けられた前記ゲート電極を覆うように配置され、前記ゲート絶縁膜に接する領域で前記炭化珪素基板を部分的に露出する基板コンタクトホール(SH)を有する層間絶縁膜(42)を形成する工程と、

前記基板コンタクトホールを介して前記炭化珪素基板に電氣的に接続され、前記層間絶縁膜によって前記ゲート電極から電氣的に絶縁された配線(71)を形成する工程とを備える、炭化珪素半導体装置(101～103)の製造方法。

[請求項7] 前記配線と前記炭化珪素基板との電氣的接続をよりオーミックにするために前記炭化珪素基板を熱処理する工程をさらに備える、請求項6に記載の炭化珪素半導体装置の製造方法。

[請求項8] 前記炭化珪素基板を熱処理する工程は、前記炭化珪素基板を1000℃を超える温度まで加熱する工程を含む、請求項7に記載の炭化珪素半導体装置の製造方法。

[請求項9] 前記配線を形成する工程は、前記ゲート電極および前記炭化珪素基板の各々に接する導体膜(70)を形成する工程と、前記導体膜をパターニングする工程とを含み、前記パターニングする工程によって、前記配線と、前記ゲート電極の一部の上に設けられたゲートパッド(72)とが形成される、請求項6～8のいずれか1項に記載の炭化珪素半導体装置の製造方法。

[請求項10] 前記炭化珪素基板（30V）にトレンチ（TU、TV）を形成する工程をさらに備え、前記トレンチ内に前記ゲート電極の少なくとも一部が配置される、請求項6～9のいずれか1項に記載の炭化珪素半導体装置（102、103）の製造方法。

補正された請求の範囲
[2012年10月12日(12.10.2012)国際事務局受理]

- [請求項1] (補正後)炭化珪素基板(30V)と、
前記炭化珪素基板上に設けられたゲート絶縁膜(41)と、
前記ゲート絶縁膜上に設けられたゲート電極(50)とを備え、
前記ゲート電極は、前記ゲート絶縁膜に接するポリシリコン膜(51)と、前記ポリシリコン膜上に設けられたバリア膜(52)と、前記バリア膜上に設けられ高融点金属から作られた金属膜(53)とを含み、さらに
前記ゲート絶縁膜および前記ゲート絶縁膜上に設けられた前記ゲート電極を覆うように配置され、前記ゲート絶縁膜に接する領域で前記炭化珪素基板を部分的に露出する基板コンタクトホール(SH)を有する層間絶縁膜(42)と、
前記基板コンタクトホールを介して前記炭化珪素基板に電氣的に接続され、前記層間絶縁膜によって前記ゲート電極から電氣的に絶縁された配線(71)とを備え、
前記炭化珪素基板にトレンチ(TU、TV)が設けられており、前記トレンチ内に前記ゲート電極の少なくとも一部が配置されており、前記トレンチは、V字状の形状、および前記V字状の形状に平坦な底部が組み合わされた形状のいずれかの形状を有する、炭化珪素半導体装置(102、103)。
- [請求項2] 前記層間絶縁膜は前記ゲート電極を部分的に露出するゲートコンタクトホール(GH)を有し、
前記ゲートコンタクトホールを介して前記ゲート電極に電氣的に接続されたゲートパッド(72)をさらに備える、請求項1に記載の炭化珪素半導体装置。
- [請求項3] 前記配線および前記ゲートパッドは同じ材料から作られている、請求項2に記載の炭化珪素半導体装置。
- [請求項4] 前記高融点金属は1000℃を超える融点を有する、請求項1～3

のいずれか 1 項に記載の炭化珪素半導体装置。

[請求項5] (削除)

[請求項6] (補正後) 炭化珪素基板 (30V) にトレンチ (TU、TV) を形成する工程を備え、前記トレンチは、V字状の形状、および前記V字状の形状に平坦な底部が組み合わされた形状のいずれかの形状を有し、さらに

前記炭化珪素基板上にゲート絶縁膜 (41) を形成する工程と、
前記ゲート絶縁膜上にゲート電極 (50) を形成する工程とを備え、
前記トレンチ内に前記ゲート電極の少なくとも一部が配置され、

前記ゲート電極を形成する工程は、前記ゲート絶縁膜に接するポリシリコン膜 (51) を形成する工程と、前記ポリシリコン膜上にバリア膜 (52) を形成する工程と、前記バリア膜上に高融点金属から作られた金属膜 (53) を形成する工程とを含み、さらに

前記ゲート絶縁膜および前記ゲート絶縁膜上に設けられた前記ゲート電極を覆うように配置され、前記ゲート絶縁膜に接する領域で前記炭化珪素基板を部分的に露出する基板コンタクトホール (SH) を有する層間絶縁膜 (42) を形成する工程と、

前記基板コンタクトホールを介して前記炭化珪素基板に電氣的に接続され、前記層間絶縁膜によって前記ゲート電極から電氣的に絶縁された配線 (71) を形成する工程とを備える、炭化珪素半導体装置 (102、103) の製造方法。

[請求項7] 前記配線と前記炭化珪素基板との電氣的接続をよりオーミックにするために前記炭化珪素基板を熱処理する工程をさらに備える、請求項6に記載の炭化珪素半導体装置の製造方法。

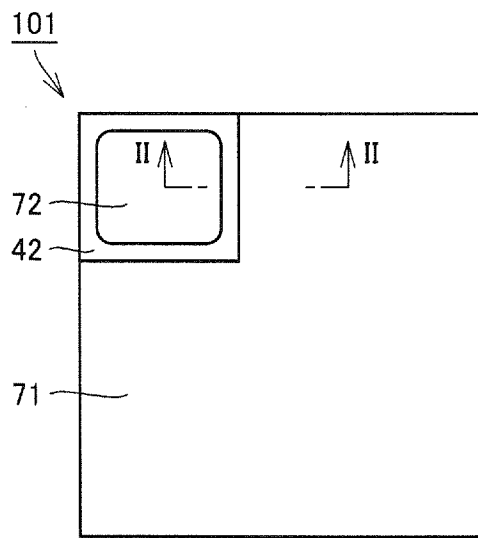
[請求項8] 前記炭化珪素基板を熱処理する工程は、前記炭化珪素基板を1000℃を超える温度まで加熱する工程を含む、請求項7に記載の炭化珪素半導体装置の製造方法。

[請求項9] 前記配線を形成する工程は、前記ゲート電極および前記炭化珪素基

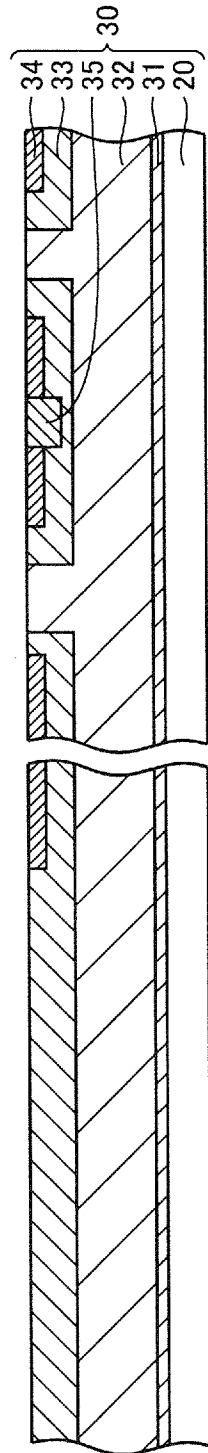
板の各々に接する導体膜（70）を形成する工程と、前記導体膜をパターニングする工程とを含み、前記パターニングする工程によって、前記配線と、前記ゲート電極の一部の上に設けられたゲートパッド（72）とが形成される、請求項6～8のいずれか1項に記載の炭化珪素半導体装置の製造方法。

[請求項10] (削除)

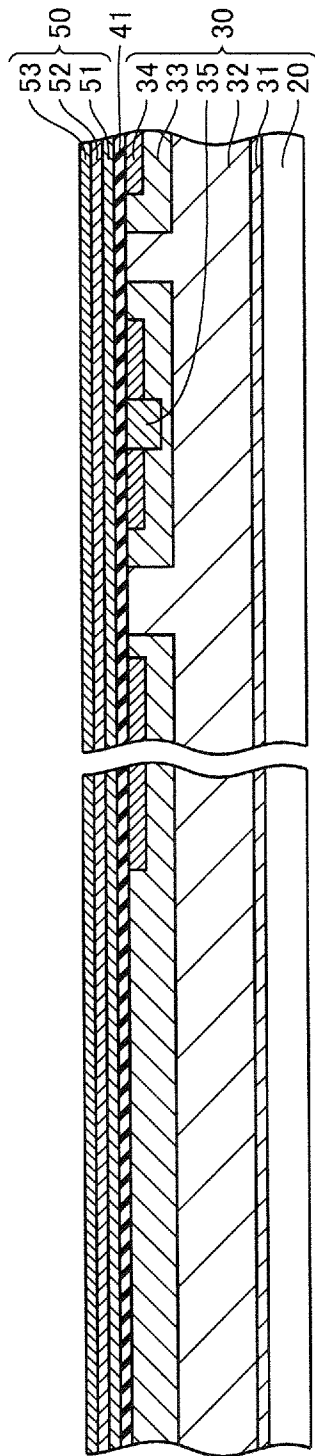
[図1]



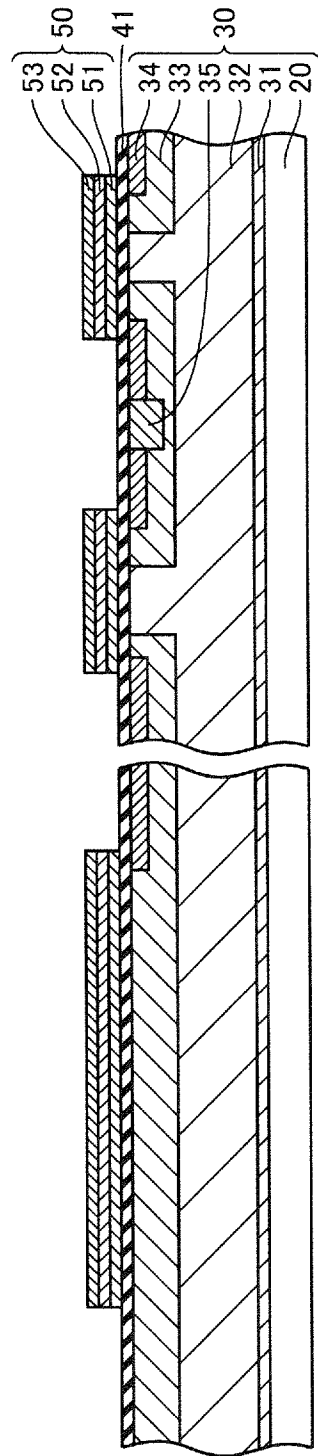
[図3]



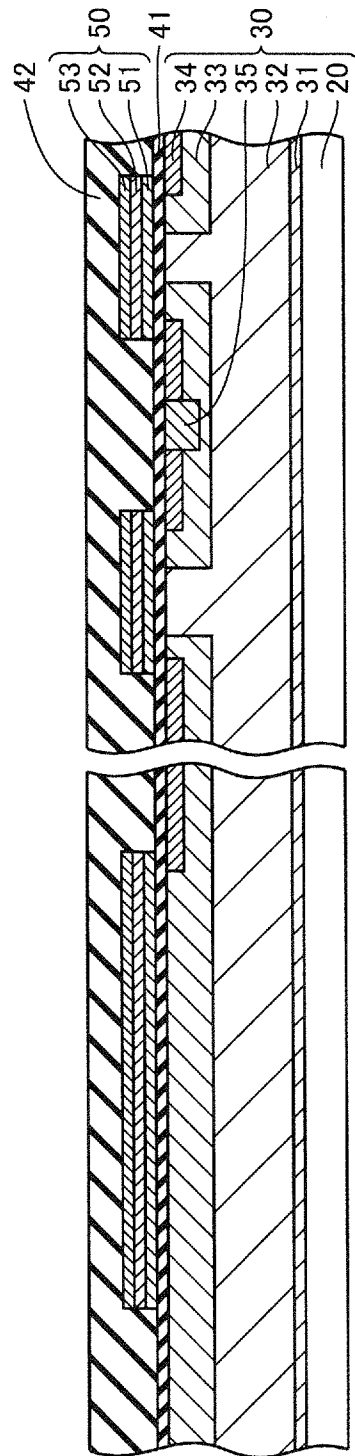
[図4]



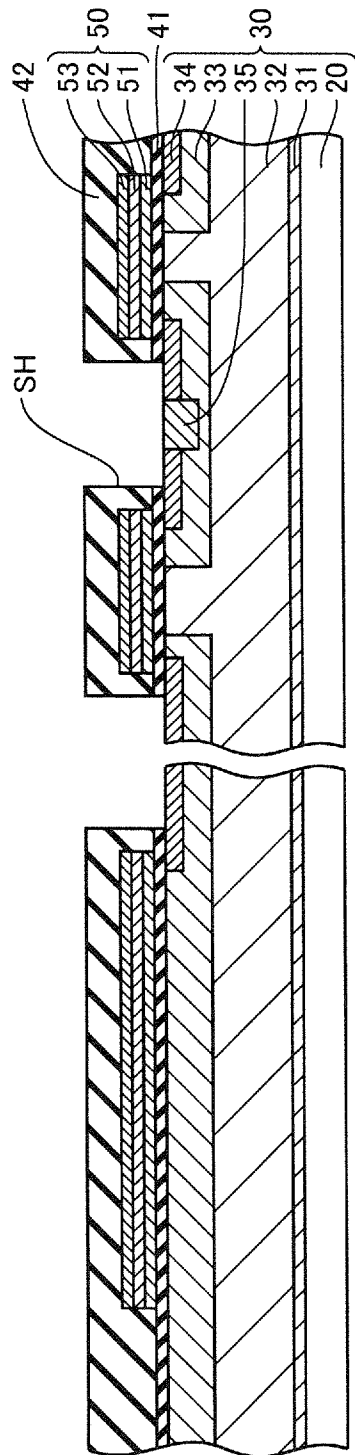
[図5]



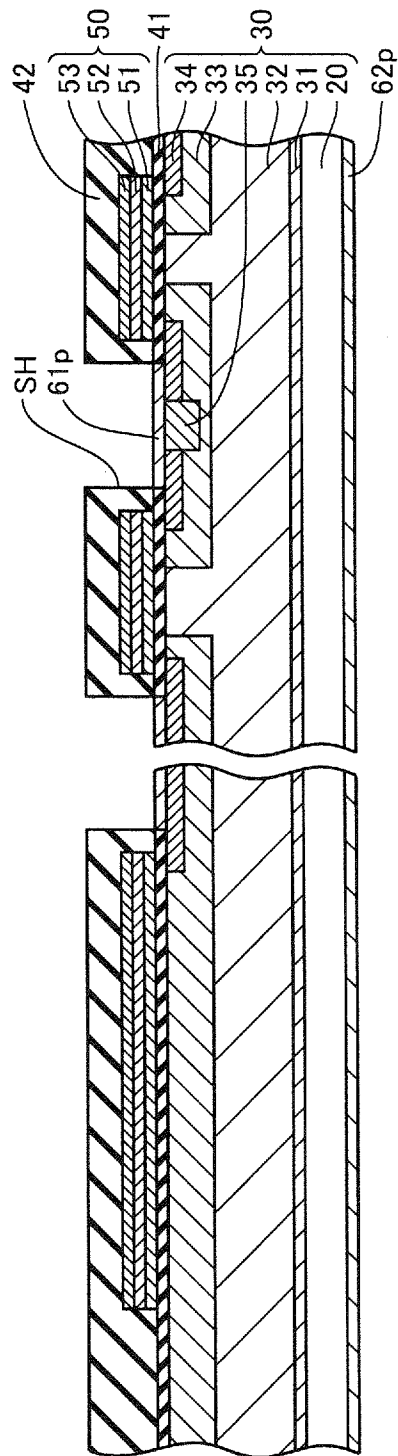
[図6]



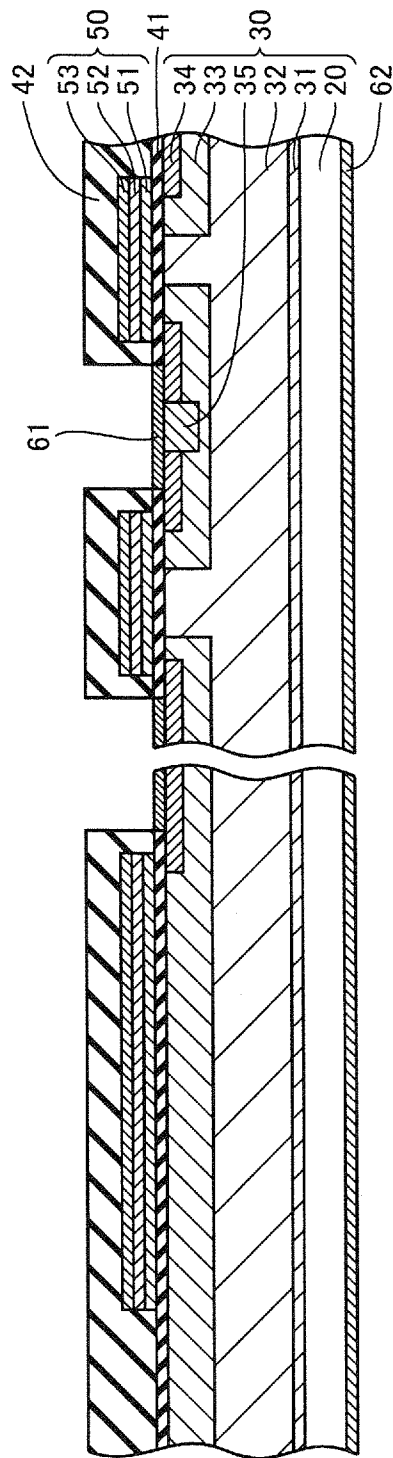
[図7]



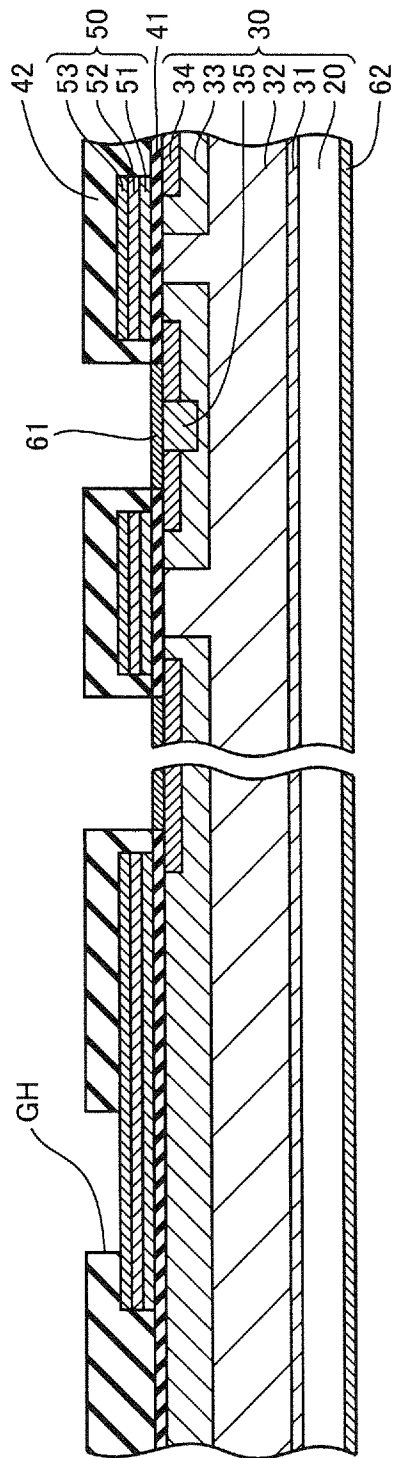
[図8]



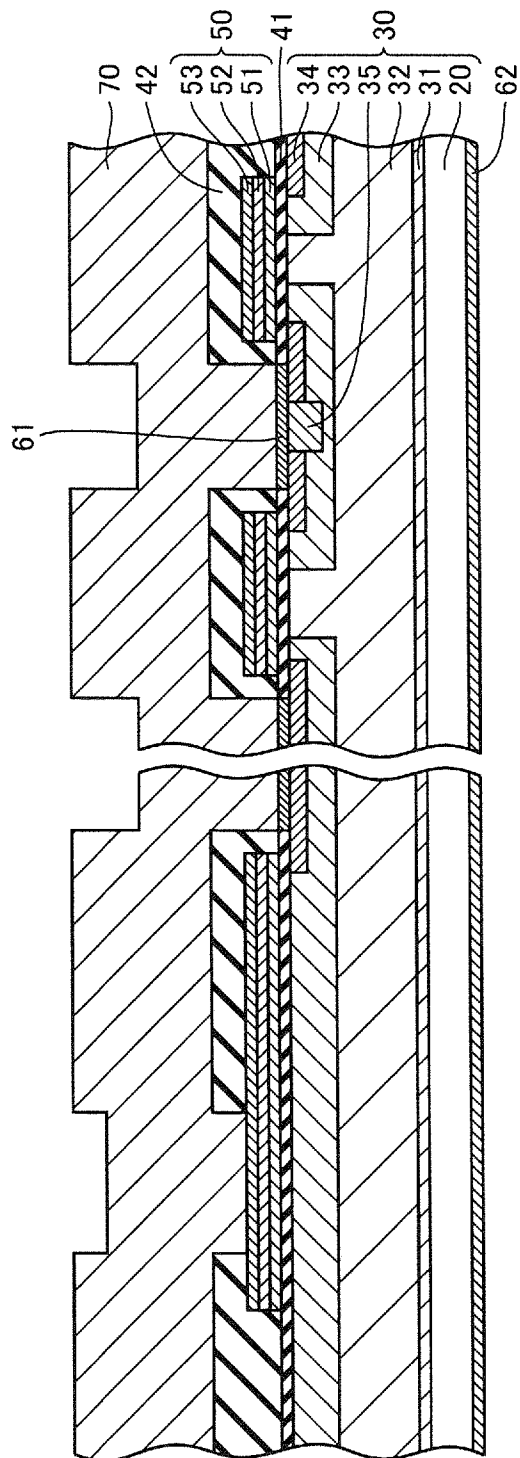
[図9]



[図10]

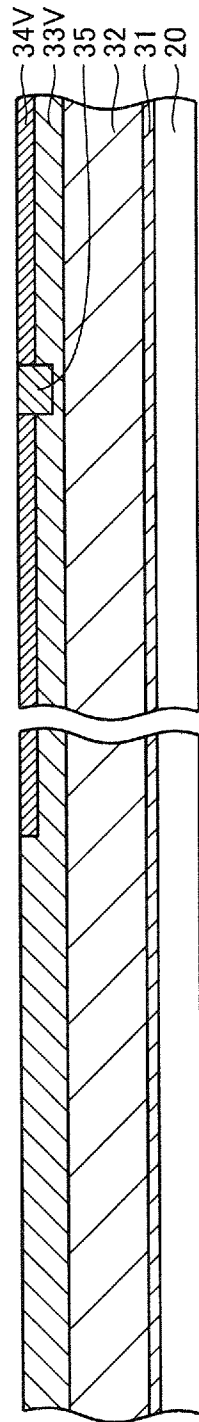


[図11]

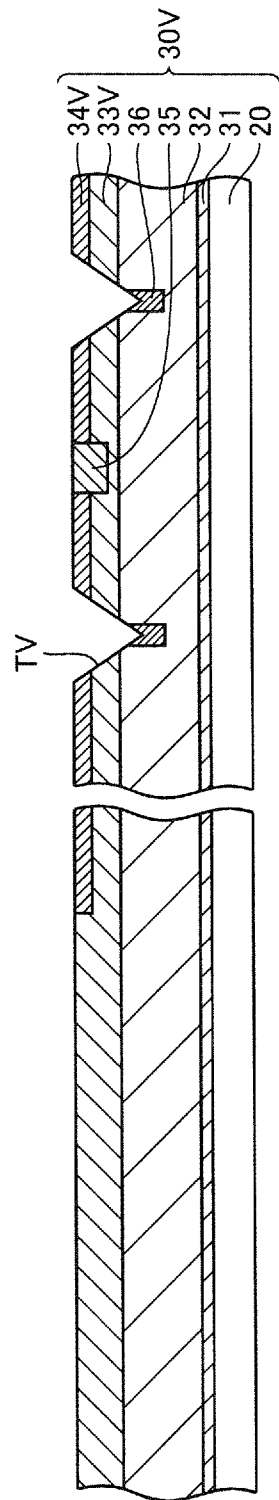


This cross-sectional view shows a semiconductor device with a central channel 102. The channel is formed by a series of layers: a bottom layer 20, followed by a layer 31, a layer 32, a layer 35, a layer 36, a layer 33V, and a top layer 34V. The channel is flanked by two side regions, each containing a series of layers: 41, 51, 52, 53, and 42. The side regions are separated by a central region 61. The device is further defined by a top layer 62 and a bottom layer 71. The channel 102 is shown in a cross-section, with a central core 102 and a surrounding layer 103. The channel is formed by a series of layers: a bottom layer 20, followed by a layer 31, a layer 32, a layer 35, a layer 36, a layer 33V, and a top layer 34V. The channel is flanked by two side regions, each containing a series of layers: 41, 51, 52, 53, and 42. The side regions are separated by a central region 61. The device is further defined by a top layer 62 and a bottom layer 71.

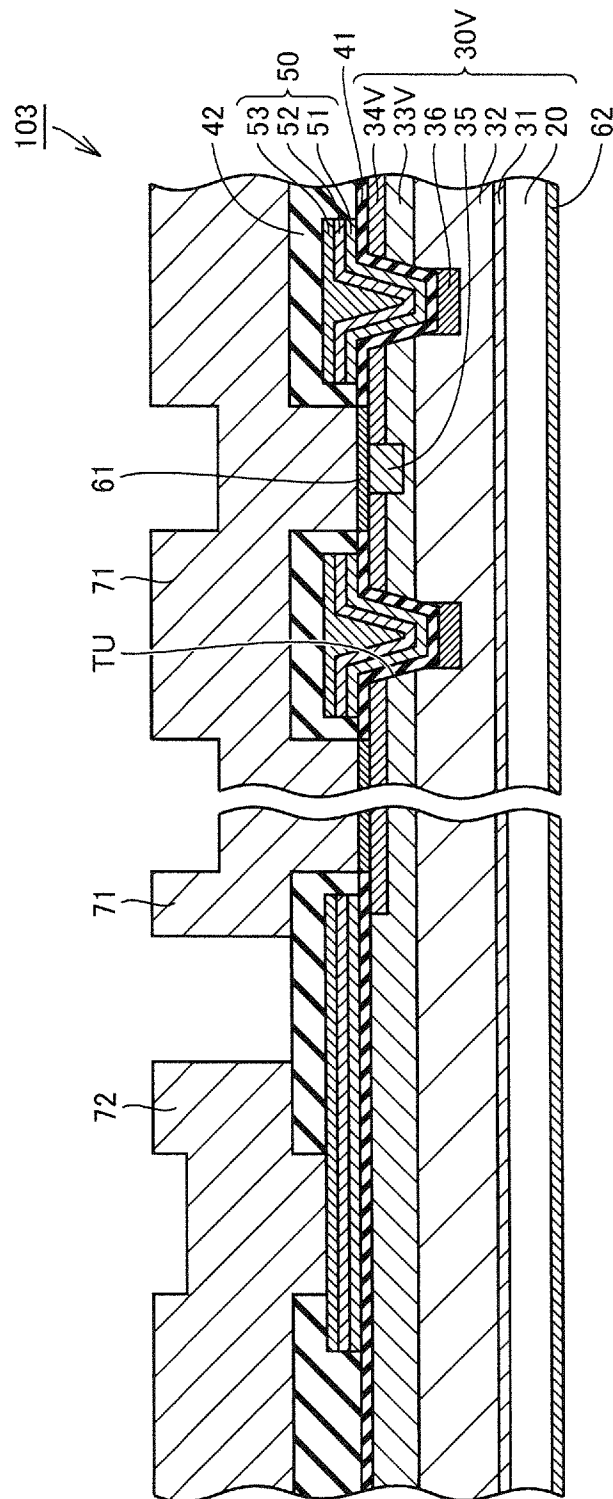
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/063722

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i, H01L29/12(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L21/28, H01L21/336, H01L29/12, H01L29/423, H01L29/49

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	WO 2010/125661 A1 (Mitsubishi Electric Corp.), 04 November 2010 (04.11.2010), paragraphs [0040] to [0043], [0054] to [0059]; fig. 15 to 18 & US 2011/0284874 A1	1-4, 6-9 5, 10
Y	JP 2001-284587 A (Kaga Toshiba Electronics Corp.), 12 October 2001 (12.10.2001), paragraphs [0020] to [0030]; fig. 1 (Family: none)	5, 10
A	JP 7-273326 A (Toshiba Corp.), 20 October 1995 (20.10.1995), paragraphs [0017] to [0021]; fig. 2 (Family: none)	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

20 August, 2012 (20.08.12)

Date of mailing of the international search report

28 August, 2012 (28.08.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/78(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i, H01L29/12(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/78, H01L21/28, H01L21/336, H01L29/12, H01L29/423, H01L29/49

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	WO 2010/125661 A1（三菱電機株式会社） 2010.11.04, [0040]-[0043], [0054]-[0059], 図15-図18 & US 2011/0284874 A1	1-4, 6-9 5, 10
Y	JP 2001-284587 A（加賀東芝エレクトロニクス株式会社） 2001.10.12, [0020]-[0030], 図1 （ファミリーなし）	5, 10

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 0 . 0 8 . 2 0 1 2

国際調査報告の発送日

2 8 . 0 8 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

崎間 伸洋

電話番号 03-3581-1101 内線 3516

5 F

3 5 7 0

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 7-273326 A (株式会社東芝) 1995. 10. 20, [0017]-[0021], 図 2 (ファミリーなし)	1-10