

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4841831号
(P4841831)

(45) 発行日 平成23年12月21日(2011.12.21)

(24) 登録日 平成23年10月14日(2011.10.14)

(51) Int.Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 J
G09F 9/30 (2006.01)	G09G 3/30 K
H01L 27/32 (2006.01)	G09F 9/30 338
G09G 3/20 (2006.01)	G09F 9/30 365Z
H01L 51/50 (2006.01)	G09G 3/20 612E
請求項の数 12 (全 26 頁) 最終頁に続く	

(21) 出願番号	特願2004-349760 (P2004-349760)	(73) 特許権者	000153878
(22) 出願日	平成16年12月2日(2004.12.2)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2005-202365 (P2005-202365A)		神奈川県厚木市長谷398番地
(43) 公開日	平成17年7月28日(2005.7.28)	(72) 発明者	長尾 祥
審査請求日	平成19年10月17日(2007.10.17)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2003-403837 (P2003-403837)		半導体エネルギー研究所内
(32) 優先日	平成15年12月2日(2003.12.2)	(72) 発明者	木村 肇
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2003-423596 (P2003-423596)		半導体エネルギー研究所内
(32) 優先日	平成15年12月19日(2003.12.19)	(72) 発明者	安西 彩
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	山崎 優
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【特許請求の範囲】

【請求項1】

第1のトランジスタ、第2のトランジスタ、第3のトランジスタ、発光素子、ソースドライバ、第1のゲートドライバ及び第2のゲートドライバを有し、

前記第1のトランジスタのゲート電極はゲート線に電氣的に接続され、ソース電極及びドレイン電極の一方はソース線に電氣的に接続され、ソース電極及びドレイン電極の他方は前記第3のトランジスタのゲート電極に電氣的に接続され、

前記発光素子、前記第2のトランジスタ及び前記第3のトランジスタは、第1の電源と第2の電源の間に前記第3のトランジスタ、前記第2のトランジスタ及び前記発光素子の順で直列に電氣的に接続され、

前記第2のトランジスタのゲート電極は第3の電源に電氣的に接続され、

前記ソースドライバは前記ソース線に電氣的に接続され、

前記第1のゲートドライバと前記第2のゲートドライバは前記ゲート線に電氣的に接続され、

前記第1のゲートドライバと前記第2のゲートドライバから異なるタイミングで前記ゲート線に信号が伝達され、

前記第2のトランジスタは飽和領域で動作し、前記第3のトランジスタは線形領域で動作することを特徴とする表示装置。

【請求項2】

複数の画素を有する表示領域、ソースドライバ、第1のゲートドライバ及び第2のゲート

トドライバを有し、

前記複数の画素の各々は、第1のトランジスタ、第2のトランジスタ、第3のトランジスタ及び発光素子を有し、

前記第1のトランジスタのゲート電極はゲート線に電氣的に接続され、ソース電極及びドレイン電極の一方はソース線に電氣的に接続され、ソース電極及びドレイン電極の他方は前記第3のトランジスタのゲート電極に電氣的に接続され、

前記発光素子、前記第2のトランジスタ及び前記第3のトランジスタは、第1の電源と第2の電源の間に前記第3のトランジスタ、前記第2のトランジスタ及び前記発光素子の順で直列に電氣的に接続され、

前記第2のトランジスタのゲート電極は第3の電源に電氣的に接続され、

10

前記ソースドライバは前記ソース線に電氣的に接続され、

前記第1のゲートドライバと前記第2のゲートドライバは前記ゲート線に電氣的に接続され、

前記第1のゲートドライバと前記第2のゲートドライバは、前記表示領域を挟んで対向して配置され、

前記第1のゲートドライバと前記第2のゲートドライバから異なるタイミングで前記ゲート線に信号が伝達され、

前記第2のトランジスタは飽和領域で動作し、前記第3のトランジスタは線形領域で動作することを特徴とする表示装置。

【請求項3】

20

請求項1又は請求項2において、

前記ソースドライバは、シフトレジスタ、ラッチ及びスイッチを有することを特徴とする表示装置。

【請求項4】

請求項1又は請求項2において、

前記ソースドライバは、シフトレジスタ、ラッチ及びスイッチを有し、

前記スイッチは、消去用トランジスタと、前記ラッチと前記ソース線の間に配置されたアナログスイッチを有し、

前記消去用トランジスタのゲート電極は選択信号線に電氣的に接続され、ソース電極及びドレイン電極の一方は前記ソース線に電氣的に接続され、ソース電極及びドレイン電極の他方は第4の電源に電氣的に接続され、

30

前記アナログスイッチの制御ノードは、前記選択信号線に電氣的に接続されることを特徴とする表示装置。

【請求項5】

請求項1乃至請求項4のいずれか一項において、

前記第1のゲートドライバと前記第2のゲートドライバの各々は、シフトレジスタとスイッチを有することを特徴とする表示装置。

【請求項6】

請求項1乃至請求項4のいずれか一項において、

前記第1のゲートドライバと前記第2のゲートドライバの各々は、シフトレジスタとトリステートバッファを有し、

40

前記第1のゲートドライバと前記第2のゲートドライバの各々において、前記トリステートバッファの入力ノードは前記シフトレジスタに電氣的に接続され、制御ノードは選択信号線に電氣的に接続され、出力ノードは前記ゲート線に電氣的に接続されることを特徴とする表示装置。

【請求項7】

請求項1乃至請求項6のいずれか一項において、

前記第1のトランジスタのオンとオフは、前記第1のゲートドライバ及び前記第2のゲートドライバにより制御されることを特徴とする表示装置。

【請求項8】

50

第 1 のトランジスタ、第 2 のトランジスタ、第 3 のトランジスタ、発光素子、ソースドライバ、第 1 のゲートドライバ及び第 2 のゲートドライバを有し、

前記第 1 のトランジスタのゲート電極はゲート線に電氣的に接続され、ソース電極及びドレイン電極の一方はソース線に電氣的に接続され、ソース電極及びドレイン電極の他方は前記第 3 のトランジスタのゲート電極に電氣的に接続され、

前記発光素子、前記第 2 のトランジスタ及び前記第 3 のトランジスタは、第 1 の電源と第 2 の電源の間に前記第 3 のトランジスタ、前記第 2 のトランジスタ及び前記発光素子の順で直列に電氣的に接続され、

前記第 2 のトランジスタのゲート電極は第 3 の電源に電氣的に接続され、

前記ソースドライバは前記ソース線に電氣的に接続され、

前記ソースドライバは、シフトレジスタ、ラッチ及び選択信号線に電氣的に接続されたスイッチを有し、

前記第 1 のゲートドライバと前記第 2 のゲートドライバの各々は、シフトレジスタと、前記選択信号線に電氣的に接続されたスイッチを有し、

前記選択信号線から伝達される第 1 の書き込み消去選択信号に従って、前記第 1 のゲートドライバが含むスイッチが動作状態となり、前記第 2 のゲートドライバが含むスイッチが不定状態となって、前記第 1 のゲートドライバにより前記ゲート線が選択され、

前記選択信号線から伝達される第 2 の書き込み消去選択信号に従って、前記第 1 のゲートドライバが含むスイッチが不定状態となり、前記第 2 のゲートドライバが含むスイッチが動作状態となって、前記第 2 のゲートドライバにより前記ゲート線が選択され、

前記第 2 のトランジスタは飽和領域で動作し、前記第 3 のトランジスタは線形領域で動作することを特徴とする表示装置の駆動方法。

【請求項 9】

第 1 のトランジスタ、第 2 のトランジスタ、第 3 のトランジスタ、発光素子、ソースドライバ、第 1 のゲートドライバ及び第 2 のゲートドライバを有し、

前記第 1 のトランジスタのゲート電極はゲート線に電氣的に接続され、ソース電極及びドレイン電極の一方はソース線に電氣的に接続され、ソース電極及びドレイン電極の他方は前記第 3 のトランジスタのゲート電極に電氣的に接続され、

前記発光素子、前記第 2 のトランジスタ及び前記第 3 のトランジスタは、第 1 の電源と第 2 の電源の間に前記第 3 のトランジスタ、前記第 2 のトランジスタ及び前記発光素子の順で直列に電氣的に接続され、

前記第 2 のトランジスタのゲート電極は第 3 の電源に電氣的に接続され、

前記ソースドライバは前記ソース線に電氣的に接続され、

前記ソースドライバは、シフトレジスタ、ラッチ及び選択信号線に電氣的に接続されたスイッチを有し、

前記第 1 のゲートドライバと前記第 2 のゲートドライバの各々は、シフトレジスタと、前記選択信号線に電氣的に接続されたスイッチを有し、

前記選択信号線から伝達される第 1 の書き込み消去選択信号に従って、前記第 1 のゲートドライバが含むスイッチが動作状態となり、前記第 2 のゲートドライバが含むスイッチが不定状態となって、前記第 1 のゲートドライバにより前記ゲート線が選択され、前記ソースドライバが含む消去用トランジスタのソース電極及びドレイン電極の一方の電位が前記第 3 のトランジスタのゲート電極に伝達され、前記発光素子が非発光となる消去動作が行われ、

前記選択信号線から伝達される第 2 の書き込み消去選択信号に従って、前記第 1 のゲートドライバが含むスイッチが不定状態となり、前記第 2 のゲートドライバが含むスイッチが動作状態となって、前記第 2 のゲートドライバにより前記ゲート線が選択され、前記ラッチに保持されるビデオ信号の電位が前記第 3 のトランジスタのゲート電極に伝達され、前記ビデオ信号の電位に従って、前記発光素子が発光又は非発光となる書き込み動作が行われ、

前記第 2 のトランジスタは飽和領域で動作し、前記第 3 のトランジスタは線形領域で動

10

20

30

40

50

作することを特徴とする表示装置の駆動方法。

【請求項 10】

第 1 のトランジスタ、第 2 のトランジスタ、第 3 のトランジスタ、発光素子、ソースドライバ、第 1 のゲートドライバ及び第 2 のゲートドライバを有し、

前記第 1 のトランジスタのゲート電極はゲート線に電氣的に接続され、ソース電極及びドレイン電極の一方はソース線に電氣的に接続され、ソース電極及びドレイン電極の他方は前記第 3 のトランジスタのゲート電極に電氣的に接続され、

前記発光素子、前記第 2 のトランジスタ及び前記第 3 のトランジスタは、第 1 の電源と第 2 の電源の間に前記第 3 のトランジスタ、前記第 2 のトランジスタ及び前記発光素子の順で直列に電氣的に接続され、

前記第 2 のトランジスタのゲート電極は第 3 の電源に電氣的に接続され、

前記ソースドライバは前記ソース線に電氣的に接続され、

前記ソースドライバは、シフトレジスタ、ラッチ及び選択信号線に電氣的に接続されたスイッチを有し、

前記第 1 のゲートドライバと前記第 2 のゲートドライバの各々は、シフトレジスタと、前記選択信号線に電氣的に接続されたスイッチを有し、

1 フレーム期間は、複数のサブフレーム期間を有し、

前記複数のサブフレーム期間の各々は、書き込み期間と点灯期間とを有し、

前記書き込み期間は、複数のゲート選択期間を有し、

前記複数のゲート選択期間の各々は、第 1 のサブゲート選択期間と第 2 のサブゲート選択期間を有し、

前記第 1 のサブゲート選択期間において、前記選択信号線から伝達される第 1 の書き込み消去選択信号に従って、前記第 1 のゲートドライバが含むスイッチが動作状態となり、前記第 2 のゲートドライバが含むスイッチが不定状態となって、前記第 1 のゲートドライバにより前記ゲート線が選択され、

前記第 2 のサブゲート選択期間において、前記選択信号線から伝達される第 2 の書き込み消去選択信号に従って、前記第 1 のゲートドライバが含むスイッチが不定状態となり、前記第 2 のゲートドライバが含むスイッチが動作状態となって、前記第 2 のゲートドライバにより前記ゲート線が選択され、

前記第 2 のトランジスタは飽和領域で動作し、前記第 3 のトランジスタは線形領域で動作することを特徴とする表示装置の駆動方法。

【請求項 11】

第 1 のトランジスタ、第 2 のトランジスタ、第 3 のトランジスタ、発光素子、ソースドライバ、第 1 のゲートドライバ及び第 2 のゲートドライバを有し、

前記第 1 のトランジスタのゲート電極はゲート線に電氣的に接続され、ソース電極及びドレイン電極の一方はソース線に電氣的に接続され、ソース電極及びドレイン電極の他方は前記第 3 のトランジスタのゲート電極に電氣的に接続され、

前記発光素子、前記第 2 のトランジスタ及び前記第 3 のトランジスタは、第 1 の電源と第 2 の電源の間に前記第 3 のトランジスタ、前記第 2 のトランジスタ及び前記発光素子の順で直列に電氣的に接続され、

前記第 2 のトランジスタのゲート電極は第 3 の電源に電氣的に接続され、

前記ソースドライバは前記ソース線に電氣的に接続され、

前記ソースドライバは、シフトレジスタ、ラッチ及び選択信号線に電氣的に接続されたスイッチを有し、

前記第 1 のゲートドライバと前記第 2 のゲートドライバの各々は、シフトレジスタと、前記選択信号線に電氣的に接続されたスイッチを有し、

1 フレーム期間は、複数のサブフレーム期間を有し、

前記複数のサブフレーム期間の各々は、書き込み期間と点灯期間とを有し、

前記書き込み期間は、複数のゲート選択期間を有し、

前記複数のゲート選択期間の各々は、第 1 のサブゲート選択期間と第 2 のサブゲート選

10

20

30

40

50

択期間を有し、

前記第 1 のサブゲート選択期間において、前記選択信号線から伝達される第 1 の書き込み消去選択信号に従って、前記第 1 のゲートドライバが含むスイッチが動作状態となり、前記第 2 のゲートドライバが含むスイッチが不定状態となって、前記第 1 のゲートドライバにより前記ゲート線が選択され、前記ソースドライバが含む消去用トランジスタのソース電極及びドレイン電極の一方の電位が前記第 3 のトランジスタのゲート電極に伝達され、前記発光素子が非発光となる消去動作が行われ、

前記第 2 のサブゲート選択期間において、前記選択信号線から伝達される第 2 の書き込み消去選択信号に従って、前記第 1 のゲートドライバが含むスイッチが不定状態となり、前記第 2 のゲートドライバが含むスイッチが動作状態となって、前記第 2 のゲートドライバにより前記ゲート線が選択され、前記ラッチに保持されるビデオ信号の電位が前記第 3 のトランジスタのゲート電極に伝達され、前記ビデオ信号の電位に従って、前記発光素子が発光又は非発光となる書き込み動作が行われ、

前記第 2 のトランジスタは飽和領域で動作し、前記第 3 のトランジスタは線形領域で動作することを特徴とする表示装置の駆動方法。

【請求項 1 2】

請求項 8 乃至請求項 1 1 のいずれか一項において、

前記第 1 のトランジスタのオンとオフは、前記第 1 のゲートドライバ及び前記第 2 のゲートドライバにより制御されることを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、自発光素子を有する表示装置及びその駆動方法に関する。また、絶縁表面上に素子を有する素子基板に関する。

【背景技術】

【0002】

近年、エレクトロルミネッセンス (Electro Luminescence) 素子を代表とする自発光素子を有する表示装置の研究開発が進められており、自発光型ゆえの高画質、広視野角、バックライトが不必要であることによる薄型、軽量等の利点を活かして、幅広い利用が期待されている。発光素子を有する表示装置は、1 ゲート信号線選択期間内に、異なる複数段の画素に信号を書き込むことを特徴とするものがある (例えば、特許文献 1 参照)。

【特許文献 1】特開 2001 - 324958 号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

特許文献 1 に記載の画素回路は、発光素子に流れる電流値を制御する駆動用 TFT のゲート・ソース間電圧が、近接配置されたソース線やゲート線等の電位変動の際に、容量結合等によって変動し、その結果、駆動用 TFT を流れる電流値が変動してしまうため、自然画表示等におけるグラデーション部分で階調反転が生じることがあった。

【0004】

上記の実情を鑑み、本発明は、高画質化と高精細化を実現する表示装置及びその駆動方法、並びに素子基板の提供を課題とする。また本発明は、発光素子の劣化を改善する表示装置及びその駆動方法、並びに素子基板の提供を課題とする。

【課題を解決するための手段】

【0005】

上述した従来技術の課題を解決するために、本発明は下記構成を有する表示装置、素子基板及び前記表示装置の駆動方法を提供する。

【0006】

本発明の表示装置は、ソース電極及びドレイン電極の一方がソース線に接続し、なお且つ

10

20

30

40

50

ゲート電極がゲート線に接続する第1のトランジスタと、第1の電源と第2の電源の間に直列に接続する発光素子並びに第2及び第3のトランジスタと、前記ソース線に接続するソースドライバと、前記ゲート線に接続する第1のゲートドライバ及び第2のゲートドライバとを有する。第2のトランジスタのゲート電極は第3の電源に接続し、第3のトランジスタのゲート電極は第1のトランジスタのソース電極及びドレイン電極の他方に接続する。

【0007】

本発明の表示装置は、シフトレジスタ、ラッチ及びスイッチを有するソースドライバを含む。

スイッチは、書き込み消去選択信号(W r i t e E r a s e 信号、以下WE信号と表記、
図面ではWEと表記)を伝達する選択信号線に接続する。より詳しくは、消去用トランジスタと、ラッチとソース線の間に配置するアナログスイッチとを有するスイッチを含む。消去用トランジスタのゲート電極は選択信号線に接続し、ソース電極及びドレイン電極の一方はソース線に接続し、他方は第4の電源に接続する。アナログスイッチの制御ノードは、選択信号線に接続する。より詳しくは、アナログスイッチの2つの制御ノードのうち、一方は選択信号線に直接接続し、他方はインバータを介して選択信号線に電氣的に接続する。またアナログスイッチの入力ノードはラッチに接続し、出力ノードはソース線に接続する。

【0008】

本発明の表示装置は、シフトレジスタ及びスイッチを有する第1のゲートドライバを含む。また、本発明の表示装置は、シフトレジスタ及びスイッチを有する第2のゲートドライバを含む。

スイッチは、選択信号線に接続する。より詳しくは、スイッチは、例えばトライステートバッファであり、トライステートバッファの入力ノードはシフトレジスタに接続し、制御ノードは選択信号線に接続する。トライステートバッファの出力ノードはゲート線に接続する。

【0009】

また本発明の表示装置は、第1のトランジスタと、直列に接続された発光素子並びに第2及び第3のトランジスタとを含む画素を複数有する表示領域と、ソースドライバと、第1のゲートドライバ及び第2のゲートドライバを有する。第1のゲートドライバ及び第2のゲートドライバは、表示領域を挟んで対向して配置する。

【0010】

さらに本発明の表示装置は、上記構成に加えて、ソース電極及びドレイン電極の一方が発光素子の画素電極に接続する第4のトランジスタを有する。第4のトランジスタのゲート電極と、ソース電極及びドレイン電極の他方は、共に第1の電源に接続する。または、第4のトランジスタのゲート電極は第1の電源に接続し、ソース電極及びドレイン電極の他方は第3の電源に接続する。または、上記構成に加えて、第3のゲートドライバを設けて、第4のトランジスタのゲート電極は第3のゲートドライバに接続し、ソース電極及びドレイン電極の他方は第1の電源に接続する。

【0011】

また本発明は、上記構成を有する表示装置において、発光素子の画素電極までを形成した状態である素子基板を提供する。より詳しくは、素子基板は、絶縁表面上に、トランジスタと、前記トランジスタに接続する画素電極までを形成した状態のものであり、電界発光層と対向電極を形成していない状態に相当する。

【0012】

本発明の表示装置の駆動方法は、複数のゲート選択期間の各々が第1のサブゲート選択期間と第2のサブゲート選択期間を有するように動作させる。

第1のサブゲート選択期間において、選択信号線から伝達されるWE信号に従って、第1のゲートドライバが含むスイッチが動作状態となり、第2のゲートドライバが含むスイッチが不定状態となり、第1のゲートドライバによりゲート線が選択される。また、ソース

10

20

30

40

50

ドライバが含む消去用トランジスタのソース電極及びドレイン電極の一方の電位が第3のトランジスタのゲート電極に伝達され、発光素子が含む2つの電極の電位は同電位となる。つまり、発光素子が含む2つの電極間には電流が流れず、非発光となる消去動作が行われる。

【0013】

一方、第2のサブゲート選択期間において、選択信号線から伝達されるWE信号に従って、第1のゲートドライバが含むスイッチが不定状態となり、第2のゲートドライバが含むスイッチが動作状態となり、第2のゲートドライバによりゲート線が選択される。また、ラッチに保持されるビデオ信号の電位が第3のトランジスタのゲート電極に伝達され、前記ビデオ信号の電位に従って、発光素子が含む2つの電極の電位は、互いに異なる電位又は同じ電位となる。つまり、ビデオ信号に従って、発光素子の両電極間に電流が流れるか、流れないかが決定し、前記発光素子が発光又は非発光となる書き込み動作が行われる。

10

【0014】

また本発明の表示装置の駆動方法は、1フレーム期間に複数のサブフレーム期間を有し、前記複数のサブフレーム期間の各々は書き込み期間と点灯期間とを有するように動作させる。書き込み期間は複数のゲート選択期間を有し、前記複数のゲート選択期間の各々は、第1のサブゲート選択期間と第2のサブゲート選択期間を有するように動作させる。

【0015】

また、選択信号線から伝達されるWE信号の周期は、第1のゲートドライバ及び第2のゲートドライバに入力されるクロック信号の周期の2倍である。

20

【発明の効果】

【0016】

上記構成を有する本発明は、駆動用TFTのゲート電極と他のノードとの容量結合による駆動用TFTのゲート・ソース間電圧の変動が解消され、発光素子に供給される電流値のばらつきを抑えることが出来る。その結果、階調反転等の不良の軽減を実現し、高画質化を実現する。

【0017】

また、一つの画素が含むトランジスタの個数が3つである構成は、レイアウト上有利であり、高開口率化と高精細化を実現する。さらに、逆方向バイアスを印加するためのトランジスタを設けた構成は、発光素子の劣化を改善する。

30

【発明を実施するための最良の形態】

【0018】

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる。

(実施の形態1)

【0019】

本発明の表示装置の構成について説明する。本発明の表示装置は、複数のソース線 $S_1 \sim S_m$ (m は自然数)と、複数のゲート線 $G_1 \sim G_n$ (n は自然数)がマトリクス状に配置された表示領域34を有する(図1、2参照)。表示領域34は、ソース線 S_x (x は自然数、 $1 \leq x \leq m$)とゲート線 G_y (y は自然数、 $1 \leq y \leq n$)が絶縁体を介して交差する領域に複数の素子を含む画素33を複数有する。

40

【0020】

画素33は、発光素子16と3つのトランジスタを有する(図1(A)参照)。3つのトランジスタのうち、1つはビデオ信号の入力を制御する第1のトランジスタ13(以下、スイッチ用TFT13と表記)であり、1つは発光素子16に流れる電流値を決定する第2のトランジスタ17(以下、駆動用TFT17と表記)であり、1つはビデオ信号によって、発光素子16の発光、非発光を決定する第3のトランジスタ18(以下、電流制御

50

用 T F T 1 8 と表記)である。

スイッチ用 T F T 1 3 のゲート電極はゲート線 1 2 に接続し、ソース電極及びドレイン電極の一方はソース線 1 1 に接続し、他方は電流制御用 T F T 1 8 のゲート電極に接続する。駆動用 T F T 1 7 のゲート電極は第 3 の電源 2 2 に接続し、ソース電極及びドレイン電極の一方は発光素子 1 6 の画素電極に接続し、他方は電流制御用 T F T 1 8 のソース電極及びドレイン電極の一方に接続する。電流制御用 T F T 1 8 のソース電極及びドレイン電極の他方は第 1 の電源 1 4 に接続する。発光素子 1 6 の対向電極は第 2 の電源 1 5 に接続する。

【 0 0 2 1 】

スイッチ用 T F T 1 3 の導電型は制約されず、N 型、P 型のどちらの導電型でもよい。また、駆動用 T F T 1 7 と電流制御用 T F T 1 8 の導電型も制約されないが、両者とも同じ導電型が好ましい。

10

また、駆動用 T F T 1 7 は飽和領域で動作させて、電流制御用 T F T 1 8 は線形領域で動作させるとよい。そのために、駆動用 T F T 1 7 のチャネル長 L_1 、チャネル幅 W_1 、電流制御用 T F T 1 8 のチャネル長 L_2 、チャネル幅 W_2 は、 $L_1 / W_1 : L_2 / W_2 = 5 \sim 6000 : 1$ を満たすように形成するとよい。

【 0 0 2 2 】

なお、図 1、2、5 では、画素 3 3 が含むトランジスタの導電型が N 型の場合を示す。しかしながら、上述の通り、トランジスタの導電型は N 型に制約されず、N 型と P 型のどちらの導電型でもよい。但し、スイッチ用 T F T 1 3 の導電型は、オフ電流が低く、オン電流が高い N 型のトランジスタが好適である。

20

また、図面では、第 1 の電源 1 4、第 2 の電源 1 5、第 3 の電源 2 2 等の電源は、白抜き丸印で示す。

【 0 0 2 3 】

第 1 の電源 1 4 と第 2 の電源 1 5 の電位も特に制約されないが、互いに異なる電位に設定して、前記第 1 の電源 1 4 と前記第 2 の電源 1 5 の間に電位差が生じるように設定する。また、第 3 の電源 2 2 の電位は、駆動用 T F T 1 7 をオン状態にする電位である必要がある。従って、駆動用 T F T 1 7 が N 型 T F T の場合は第 3 の電源 2 2 の電位は H レベルとし、駆動用 T F T 1 7 が P 型 T F T の場合は第 3 の電源 2 2 の電位は L レベルとする。

【 0 0 2 4 】

30

上記構成では、電流制御用 T F T 1 8 のゲート・ソース間電圧を保持する容量として、電流制御用 T F T 1 8 のゲート容量を用いている。必要に応じて、電流制御用 T F T 1 8 のゲート・ソース間電圧を保持する容量素子を設けてもよい。

【 0 0 2 5 】

第 1 の電源 1 4、第 2 の電源 1 5、第 3 の電源 2 2 の各々は、パネルの外部に設けられ、配線(導電体)を介して、各電極に接続する。そこで、各電源に接続する配線を設けたときの等価回路について説明する(図 5 (A) 参照)。駆動用 T F T 1 7 のゲート電極は電源線 4 4 を介して第 3 の電源 2 2 と接続する。電流制御用 T F T 1 8 のソース電極及びドレイン電極の一方は電源線 4 0 を介して第 1 の電源 1 4 に接続する。発光素子 1 6 の対向電極は、電源線 3 9 を介して第 2 の電源 1 5 と接続する。

40

【 0 0 2 6 】

上記構成の画素回路を有する本発明は、電流制御用 T F T 1 8 のゲート・ソース間電圧の変動が解消されることから、階調反転等の不良の軽減を実現する。また、一つの画素 3 3 が含むトランジスタの個数が 3 つであることから、レイアウト上有利であり、高開口率化と高精細化を実現する。

【 0 0 2 7 】

また、本発明の表示装置は、ソースドライバ 1 9 と、表示領域 3 4 を挟んで対向して配置する第 1 のゲートドライバ 2 0、第 2 のゲートドライバ 2 1 を有する(図 1、2 参照)。ソースドライバ 1 9 は、シフトレジスタ 2 3、ラッチ 2 4 及びスイッチ 2 5 を有する。ラッチ 2 4 は、第 1 のラッチ 3 5、第 2 のラッチ 3 6 を有する。スイッチ 2 5 は、第 5 のト

50

ランジスタ 29 (以下消去用トランジスタ 29) と、アナログスイッチ 30 を有する。消去用トランジスタ 29 とアナログスイッチ 30 は、各ソース線 Sx に対応して、各列に設けられる。

消去用トランジスタ 29 のゲート電極は選択信号線 26 に接続し、ソース電極及びドレイン電極の一方はソース線 Sx に接続し、他方は第 4 の電源 31 に接続する。アナログスイッチ 30 は、第 2 のラッチ 36 とソース線 Sx の間に配置される。つまり、アナログスイッチ 30 の入力ノードはラッチ 24 に接続し、出力ノードはソース線 Sx に接続する。アナログスイッチ 30 の 2 つの制御ノードは、一方は選択信号線 26 に接続し、他方はインバータ 41 を介して選択信号線 26 に接続する。

第 4 の電源 31 の電位は、画素 33 が含む電流制御用 TFT 18 をオフ状態にする電位であることが必要となる。従って、電流制御用 TFT 18 が N 型の場合は第 4 の電源 31 の電位を L レベルとし、電流制御用 TFT 18 が P 型の場合は第 4 の電源 31 の電位を H レベルとする。

【0028】

第 1 のゲートドライバ 20 はシフトレジスタ 27 とスイッチ 28 を有する。第 2 のゲートドライバ 21 はシフトレジスタ 37 とスイッチ 38 を有する (図 1 (C)、図 2 参照)。スイッチ 28、38 は、選択信号線 26 に接続する。但し、スイッチ 38 は、インバータ 43 を介して選択信号線 26 に接続する。つまり、スイッチ 28、38 に入力される信号は、互いに反転した関係にある。

【0029】

スイッチ 28、38 の各々はトライステートバッファ (Tri-State Buffer) に相当する。トライステートバッファの入力ノードはシフトレジスタ 27 又はシフトレジスタ 37 に接続し、制御ノードは選択信号線 26 に接続する。トライステートバッファの出力ノードはゲート線 Gy に接続する。トライステートバッファは、選択信号線 26 から伝達される信号が H レベルのときに動作状態となり、L レベルのときに不定状態となる。トライステートバッファの構成の具体例は、実施例 2 において説明する。

【0030】

なお、ソースドライバ 19 の構成は上記の記載に制約されず、第 2 のラッチ 36 とスイッチ 25 の間にレベルシフタやバッファを設けてもよい。また、第 1 のゲートドライバ 20 及び第 2 のゲートドライバ 21 の構成も上記の記載に制約されず、シフトレジスタ 27 と

【0031】

また本発明は、上記構成を有する表示装置において、発光素子 16 の画素電極までを形成した状態である素子基板を提供する。より詳しくは、素子基板は、絶縁表面上に、トランジスタと、前記トランジスタに接続する画素電極までを形成した状態のものであり、電界発光層と対向電極を形成していない状態に相当する。

【0032】

次に、上記構成を有する本発明の表示装置の動作について説明する。まず、ソースドライバ 19 の動作について説明する (図 1 ~ 3 参照)。シフトレジスタ 23 には、クロック信号 (以下 SCK と表記)、クロック反転信号 (以下 SCKB と表記) 及びスタートパルス (以下 SSP と表記) が入力され、これらの信号のタイミングに従って、第 1 のラッチ 35 にサンプリングパルスを出力する。データが入力される第 1 のラッチ 35 は、サンプリングパルスが入力されるタイミングに従って、1 列目から最終列目までビデオ信号を保持する。第 2 のラッチ 36 は、ラッチパルスが入力されると、第 1 のラッチ 35 に保持されていたビデオ信号を、一斉に第 2 のラッチ 36 に転送する。

【0033】

ここで、選択信号線 26 から伝達される WE 信号が L レベルのときを期間 T1 とし、WE 信号が H レベルのときを期間 T2 として、各期間におけるスイッチ 25 の動作について説明する。期間 T1、T2 は水平走査期間の半分の期間に相当し、期間 T1 を第 1 のサブゲート選択期間、期間 T2 を第 2 のサブゲート選択期間ともよぶ。

【 0 0 3 4 】

期間 T 1 (第 1 のサブゲート選択期間) において、選択信号線 2 6 から伝達される W E 信号は L レベルであり、消去用 T F T 2 9 はオン状態、アナログスイッチ 3 0 は非導通状態となる。そうすると、複数の信号線 S 1 ~ S n は、各列に配置された消去用 T F T 2 9 を介して、第 4 の電源 3 1 と電氣的に接続する。つまり、複数のソース線 S 1 ~ S m は、第 4 の電源 3 1 と同電位になる。

このとき、画素 3 3 が含むスイッチ用 T F T 1 3 はオン状態であり、前記スイッチ用 T F T 1 3 を介して、第 4 の電源 3 1 の電位が電流制御用 T F T 1 8 のゲート電極に伝達される。そうすると、電流制御用 T F T 1 8 はオフ状態となり、発光素子 1 6 が含む 2 つの電極は同電位となる。つまり、発光素子 1 6 が含む両電極間には電流が流れず非発光となる。このように、第 4 の電源 3 1 の電位が電流制御用 T F T 1 8 のゲート電極に伝達されて、前記電流制御用 T F T 1 8 がオフ状態になり、発光素子 1 6 が含む 2 つの電極の電位が同電位になる動作を消去動作とよぶ。

10

【 0 0 3 5 】

期間 T 2 (第 2 のサブゲート選択期間) において、選択信号線 2 6 から伝達される W E 信号は H レベルであり、消去用 T F T 2 9 はオフ状態、アナログスイッチ 3 0 は導通状態となる。そうすると、第 2 のラッチ 3 6 に保持されたビデオ信号は、1 行分が同時に複数のソース線 S 1 ~ S m に伝達される。このとき、画素 3 3 が含むスイッチ用 T F T 1 3 はオン状態であり、前記スイッチ用 T F T 1 3 を介して、ビデオ信号が電流制御用 T F T 1 8 のゲート電極に伝達される。そうすると、入力されたビデオ信号に従って、電流制御用 T F T 1 8 はオン状態又はオフ状態となり、発光素子 1 6 が含む 2 つの電極は、互いに異なる電位又は同電位となる。より詳しくは、電流制御用 T F T 1 8 がオン状態になると、発光素子 1 6 が含む 2 つの電極は互いに異なる電位となり、前記発光素子 1 6 に電流が流れる。つまり、発光素子 1 6 は発光する。一方、電流制御用 T F T 1 8 がオフ状態になると、発光素子 1 6 が含む 2 つの電極は同電位となり、前記発光素子 1 6 に電流は流れない。つまり、発光素子 1 6 は非発光となる。このように、ビデオ信号に従って、電流制御用 T F T 1 8 がオン状態又はオフ状態になり、発光素子 1 6 が含む 2 つの電極の電位が互いに異なる電位又は同電位となる動作を書き込み動作とよぶ。

20

【 0 0 3 6 】

次に、第 1 のゲートドライバ 2 0 及び第 2 のゲートドライバ 2 1 の動作について説明する (図 1、2、4 参照)。シフトレジスタ 2 7 には、G 1 C K、G 1 C K B、G 1 S P が入力され、これらの信号のタイミングに従って、スイッチ 2 8 に順次パルスを出力する。シフトレジスタ 3 7 には、G 2 C K、G 2 C K B、G 2 S P が入力され、これらの信号のタイミングに従って、スイッチ 3 8 に順次パルスを出力する。図 4 には、i 行目、j 行目、k 行目、p 行目 (i、j、k、p は自然数、1 ≤ i、j、k、p ≤ n) の各行のスイッチ 2 8、3 8 に供給されるパルスの電位を示す。

30

【 0 0 3 7 】

ここで、ソースドライバ 1 9 の動作の説明と同様に、選択信号線 2 6 から伝達される W E 信号が L レベルのときを期間 T 1 とし、W E 信号が H レベルのときを期間 T 2 として、各期間における第 1 のゲートドライバ 2 0 が含むスイッチ 2 8 と第 2 のゲートドライバ 2 1 が含むスイッチ 3 8 の動作について説明する。

40

なお、図 4 のタイミングチャートでは、第 1 のゲートドライバ 2 0 から信号が伝達されたゲート線 G y (y は自然数、1 ≤ y ≤ n) の電位を G y 2 0 と表記し、第 2 のゲートドライバ 2 1 から信号が伝達されたゲート線の電位を G y 2 1 と表記する。そして、言うまでもなく、G y 2 0 と G y 2 1 は、同じ配線を示す。

【 0 0 3 8 】

期間 T 1 (第 1 のサブゲート選択期間) において、選択信号線 2 6 から伝達される W E 信号は L レベルである。

第 1 のゲートドライバ 2 0 が含むスイッチ 2 8 には、L レベルの W E 信号が入力され、前記スイッチ 2 8 は不定状態となる。

50

一方、第2のゲートドライバ21が含むスイッチ38には、WE信号が反転したHレベルの信号が入力され、前記スイッチ38は動作状態となる。つまり、スイッチ38はHレベルの信号（行選択信号）をi行目のゲート線Gi21に伝達し、前記ゲート線GiはHレベルの信号と同電位となる。つまり、第2のゲートドライバ21によりi行目のゲート線Giが選択される。

そうすると、画素33が含むスイッチング用TF T13はオン状態となる。そして、ソースドライバ19が含む第4の電源31の電位が電流制御用TF T18のゲート電極に伝達され、前記電流制御用TF T18はオフ状態となり、発光素子16の両電極の電位は同電位となる。つまり、この期間では、発光素子16が非発光となる消去動作が行われる。

【0039】

期間T2（第2のサブゲート選択期間）において、選択信号線26から伝達されるWE信号はHレベルである。

そうすると、第1のゲートドライバ20が含むスイッチ28には、HレベルのWE信号が入力され、前記スイッチ28は動作状態となる。つまり、スイッチ28はHレベルの信号をi行目のゲート線Gi20に伝達し、前記ゲート線GiはHレベルの信号と同電位となる。つまり、第1のゲートドライバ20により、i行目のゲート線Giが選択される。

そうすると、画素33が含むスイッチング用TF T13はオン状態となる。そして、ソースドライバ19が含む第2のラッチ36からビデオ信号が電流制御用TF T18のゲート電極に伝達され、前記電流制御用TF T18はオン状態又はオフ状態となり、発光素子16が含む2つの電極の電位は、互いに異なる電位又は同電位となる。つまり、この期間では、発光素子16は発光又は非発光となる書き込み動作が行われる。

一方、第2のゲートドライバ21が含むスイッチ38には、Lレベルの信号が入力され、不定状態となる。

【0040】

このように、ゲート線Gyは、期間T1（第1のサブゲート選択期間）において第1のゲートドライバ20により選択され、期間T2（第2のサブゲート選択期間）において第2のゲートドライバ21により選択される。つまり、ゲート線は、第1のゲートドライバ20及び第2のゲートドライバ21により、相補的に制御される。そして、第1のサブゲート選択期間及び第2のサブゲート選択期間において、一方で消去動作を行って、他方で書き込み動作を行う。

【0041】

また、第1のゲートドライバ20がi行目のゲート線Giを選択する期間では、第2のゲートドライバ21は動作していない状態（スイッチ38が不定状態）、又はi行目を除く他の行のゲート線に行選択信号を伝達する。同様に、第2のゲートドライバ21がi行目のゲート線Giに行選択信号を伝達する期間は、第1のゲートドライバ20は不定状態、又はi行目を除く他の行のゲート線に行選択信号を伝達する。

【0042】

上記のような動作を行う本発明は、電流制御用TF T18のゲート・ソース間電圧を保持する容量素子の両電極間の電位を放電するためのTF Tを設けることなく、発光素子16を強制的にオフ状態にすることができる。従って、デューティ比の向上を実現する。

【0043】

なお、本発明は、ゲート選択期間を2分割する上記の形態に制約されない。特開2001-324958号公報に記載の通り、ゲート選択期間を3つ以上に分割してもよい。

（実施の形態2）

【0044】

本実施の形態では、発光素子16に逆方向バイアスを印加するためのトランジスタを新たに設けた画素33の回路構成について説明する。

【0045】

画素33は、発光素子16と4つのトランジスタを有する。4つのトランジスタのうち、1つはビデオ信号の入力を制御するスイッチ用TF T13であり、1つは発光素子16に

10

20

30

40

50

流れる電流値を決定する駆動用TFT17であり、1つはビデオ信号によって、発光素子16の発光、非発光を決定する電流制御用TFT18であり、1つは発光素子16に対する逆方向バイアスの印加を決定する第4のトランジスタ51（以下、逆バイアス用TFT51と表記、逆方向バイアス用TFT、交流用TFTともいう）である（図5（B）参照）。

【0046】

逆バイアス用TFT51の役割は、発光素子16の両電極間に、通常の発光時に印加する順方向バイアス電圧とは逆の電位差を有する、逆方向バイアス電圧を印加することである。逆バイアス用TFT51がオンすると、発光素子16の画素電極がある電源線と導通する。この電源線の電位は、発光素子16の対向電極の電位よりも低い電位とする。また、このとき、発光素子16の対向電極の電位は通常の動作時のときよりも高い電位に設定する。この動作により、発光素子16に逆方向バイアスが印加される。

10

【0047】

スイッチ用TFT13のゲート電極はゲート線12に接続し、ソース電極及びドレイン電極の一方はソース線11に接続し、他方は電流制御用TFT18のゲート電極に接続する。駆動用TFT17のゲート電極は第3の電源22に接続し、ソース電極及びドレイン電極の一方は発光素子16の画素電極に接続し、他方は電流制御用TFT18のソース電極及びドレイン電極の一方に接続する。電流制御用TFT18のソース電極及びドレイン電極の他方は第1の電源14に接続する。逆バイアス用TFT51のソース電極及びドレイン電極の一方は、発光素子16の画素電極に接続する。

20

【0048】

第1の電源14、第2の電源15、第3の電源22の各々は、パネルの外部に設けられ、配線を介して、各電極に接続する。そこで、各電源に接続する配線を設けたときの構成について説明する（図5（C）～（E）参照）。駆動用TFT17のゲート電極は電源線44を介して第3の電源22と接続する。電流制御用TFT18のソース電極及びドレイン電極の一方は電源線40を介して第1の電源14に接続する。発光素子16の対向電極は、電源線39を介して第2の電源15と接続する。

【0049】

逆バイアス用TFT51のゲート電極とソース電極及びドレイン電極の他方の接続は、以下のように3つの場合がある。

30

1つは、逆バイアス用TFT51のゲート電極と、ソース電極及びドレイン電極の他方は、共に電源線40を介して、第1の電源14に接続する場合である。（図5（C）参照）。

もう1つは、逆バイアス用TFT51のゲート電極は電源線40を介して第1の電源14に接続し、ソース電極及びドレイン電極の他方は、電源線44を介して第3の電源22に接続する場合である（図5（D）参照）。

【0050】

上記の2つの場合、逆バイアス用TFT51は、逆方向バイアスを印加するとき以外はオフ状態とする。つまり、逆バイアス用TFT51は、第1の電源14の電位により、オフ状態になるTFTである必要がある。従って、第1の電源14の電位がHレベルの場合、逆バイアス用TFT51はP型TFTとする。一方、第1の電源14の電位がLレベルの場合、逆バイアス用TFT51はN型TFTとする。

40

【0051】

なお、図5（C）（D）に示す構成はあくまで一例であり、他の接続形態でも構わない。例えば、逆バイアス用TFT51のソース電極及びドレイン電極の一方は、電源線44を介して第3の電源22に接続するが、ソース線11に接続してもよい。

また、図5（C）（D）に示す構成では、逆バイアス用TFT51の制御は、電源線40を介して接続する第1の電源14により行う。この場合、発光素子16に逆方向バイアスを印加する際、第1の電源14と第3の電源22の電位を、通常の動作時よりも、低い電位に設定する。そうすると、全ての画素において同時に逆バイアス用TFT51がオンす

50

る。そして、発光素子 16 に逆方向バイアスを印加する。

【0052】

そして、最後の 1 つは、新たに第 3 のゲートドライバ 54 とゲート線 55 を設ける場合である（図 5（E）参照）。この場合、逆バイアス用 TFT 51 のゲート電極は、ゲート線 55 を介して第 3 のゲートドライバ 54 に接続し、ソース電極及びドレイン電極の他方は電源線 40 を介して第 1 の電源 14 に接続する。また、この場合の逆バイアス用 TFT 51 の導電型は特に制約されない。

【0053】

また、上記の 3 つの場合に加えて、第 3 のゲートドライバ 54 と、ゲート線 55 と、電源線 56 とを設ける場合がある（図 15 参照）。この場合、逆バイアス用 TFT 51 のソース電極及びドレイン電極の他方は、電源線 56 に接続する。第 3 のゲートドライバ 54 は、ゲート線 55 と電源線 56 を制御する。つまり、第 3 のゲートドライバ 54 を用いて、ゲート線 55 と電源線 56 を制御することにより、1 行目から最終行目まで、順番に、発光素子 16 に逆方向バイアスを印加することができる。

【0054】

また、ゲート線 55 は、全ての行で同時に切り替わるように、1 つのスイッチによって制御されていてもよい。この場合、第 3 のゲートドライバ 54 は不要である。

【0055】

さらに、逆バイアス用 TFT 51 のソース電極及びドレイン電極の他方は、電源線 56 ではなく、図 5（C）（D）と同様に、電源線 40 を介して、第 1 の電源 14 に接続すればよい。

【0056】

次に、上記構成における画素 33 の動作について簡単に説明する。ここでは、発光素子 16 に逆方向バイアスを印加するときの動作について説明する。

まず、画素 33 に対する消去動作を行って、電流制御用 TFT 18 をオフ状態にする。次に、逆バイアス用 TFT 51 をオン状態にし、第 1 の電源 14 と第 2 の電源 15 の電位を反転させて、発光素子 16 に逆方向バイアスを印加する。逆バイアス用 TFT 51 は、第 1 の電源 14 と第 2 の電源 15 の電位を反転すればオン状態になる場合（図 5（C）（D））と、第 3 のゲートドライバ 54 によりオン状態になる場合（図 5（E））がある。

【0057】

つまり、第 1 の電源 14 と第 2 の電源 15 の電位の大小を逆にして、逆バイアス用 TFT 51 をオンにして、発光素子 16 に逆方向バイアスを印加する。第 1 の電源 14 と第 2 の電源 15 の電位の大小を逆にするとは、例えば、互いの電位を反転させるということに相当する。

【0058】

逆方向バイアスを印加するためのトランジスタを設けた構成は、発光素子の劣化を改善することができる。本実施の形態は、上記の実施の形態と自由に組み合わせることができる。

【0059】

なお、発光素子の不良の一例として、発光素子の電極間にショート（短絡）が発生する不良等が挙げられる。これは、発光素子の作製過程における画素電極の表面のゴミの付着や、画素電極に生じた突起等により、電界発光層の形成に不良が生じ、発光素子の両電極が電界発光層を介することなく接触してしまうことによって生ずる。このような場合、発光素子に順方向バイアスの電圧が印加されている状態では、発光素子の全面に電流が流れて発光するが、ショート箇所においては、電極間を貫通する電流が流れ、発光しない。

【0060】

また、発光素子の作製工程におけるゴミの付着等により、電界発光層の膜厚が薄くなるといった不良も挙げられる。この場合、初期段階は発光するが、膜厚の薄い部分は周辺部よりもストレスが大きく、やがて前述のショートと同様の不良が生じる。この場合、実際の駆動時間に伴った進行性の不良のため、初期エージング等では対応出来ないことがある。

10

20

30

40

50

そこで、発光素子に逆方向バイアスを印加すると、発光素子は電気的特性としてダイオードのような整流性を有するため、逆方向の電流は流れないが、ショート箇所には電流が流れることを利用する。そして、ショート箇所に集中的に電流を流すことで、ショート箇所を焼き切る等といったリペアが可能となる。以上の通り、発光素子に逆方向バイアスを印加することで、初期段階のショート箇所と、進行性のショート箇所の両者を絶縁化し、不良をリペアすることができる。従って、信頼性を向上させた表示装置及びその駆動方法を提供することができる。

【実施例 1】

【0061】

本発明の構成要素である発光素子の構造について説明する。発光素子は、ガラス、石英、金属や有機物等からなる絶縁表面を有する基板の一表面に設けられた導電層、電界発光層及び導電層の積層体に相当する。発光素子は、電界発光層が複数の層からなる積層型、電界発光層が一つの層からなる単層型、電界発光層が複数の層からなるがその境界が明確ではない混合型のいずれでもよい。また、発光素子の積層構造には、下から陽極に相当する導電層、電界発光層、陰極に相当する導電層を積層する順積み構造、下から陰極に相当する導電層、電界発光層、陽極に相当する導電層を積層する逆積み構造があるが、光の発する方向に従って、適切な構造を選択するとよい。電界発光層には有機材料（低分子、高分子、中分子）、有機材料と無機材料を組み合わせた材料、シングレット材料、トリプレット材料又はそれらを組み合わせた材料のいずれを用いてもよい。

【0062】

発光素子が光を発する方向は、以下の3つに分別することが可能であり、1つは、発光素子が基板側に発光する場合（下面出射、下面出射方式）、1つは基板と対向する対向基板側に発光する場合（上面出射、上面出射方式）、1つは基板側と対向基板側に発光する場合、つまり基板の一表面及び反対の表面に発光する場合（両面出射、両面出射方式）である。両面出射を行う場合、基板及び対向基板は透光性を有することが必須の要件となる。また発光素子から発せられる光には、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とがあり、本発明はその一方又は両方を用いることができる。

【0063】

なお、発光素子に電流が流れて発光する状態とは、発光素子の両電極間に順方向バイアスの電圧が印加された状態である。

【0064】

発光素子は、広視野角、バックライトを必要としないことによる薄型、軽量を実現し、また応答速度が速いために動画の表示に適する。このような発光素子を用いた表示装置を用いることにより、高機能化と高付加価値化が実現する。本実施例は、上記の実施の形態と自由に組み合わせることができる。

【実施例 2】

【0065】

本発明の構成要素の一例であるトライステートバッファの構成について説明する。トライステートバッファは、NAND 81、NOR 82、インバータ 83、直列に接続された P 型 TFT 84 及び N 型 TFT 85 から構成される（図 6（A）参照）。NAND 81 の 2 つの入力ノードは、一方は選択信号線 26 に接続し、他方はシフトレジスタに接続する。つまり、NAND 81 の 2 つの入力ノードは、一方は WE 信号が入力され、他方はパルスが入力される。NOR 82 の 2 つの入力ノードは、一方はインバータ 83 を介して選択信号線 26 に接続し、他方はシフトレジスタに接続する。つまり、NOR 82 の 2 つの入力ノードは、一方は WE 信号の反転信号が入力され、他方はパルスが入力される。また P 型 TFT 84 のソース電極は高電位電源 86 に接続し、N 型 TFT 85 のソース電極は低電位電源 87 に接続する。

【0066】

上記構成によると、トライステートバッファの制御ノードは、選択信号線 26 に接続され

たノードに相当し、具体的には、NAND 81の一方の入力ノード、インバータ83の入力ノードに相当する。トリステートバッファの入力ノードは、NAND 81の他方の入力ノードとNOR 82の一方の入力ノードに相当する。トリステートバッファの出力ノードは、P型TFT 84及びN型TFT 85のドレインに相当する。

【0067】

なお、ゲートドライバの末端に設けたトリステートバッファは、一方がゲート線の充放電を行う際に、他方の出力がそれを阻害しないようにするものである。従って、アナログスイッチやクロックインバータ等を用いても同様に制御することができる。

【0068】

シフトレジスタから供給されるパルスを入力ノード、NAND 81の出力ノードの電位をA、NOR 82の出力ノードの電位をB、P型TFT 84及びN型TFT 85のドレイン電極の電位をOUTとすると、図示する真偽値表が完成する(図6(B)参照)。本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

【実施例3】

【0069】

本発明の表示装置に採用する時間階調方式について説明する。つまり、本発明の表示装置の駆動(動作)について説明する。縦軸が走査線、横軸が時間のタイミングチャート(図7(A)(C))と、i行目のゲート線Gi(1 ~ n)のタイミングチャート(図7(B)(D))を用いて説明する。フレーム周波数は、通常60Hz程度であり、画面の描画を1回行う期間は1フレーム期間と呼ばれる。時間階調方式では、1フレーム期間を複数のサブフレーム期間に分割する。このときの分割数は、階調ビット数に等しい場合が大半であり、ここでは分割数が階調ビット数に等しい場合を示す。

【0070】

なお、図7に示すタイミングチャートは一例に過ぎず、疑似輪郭等の軽減のため、サブフレーム期間をさらに分割してもよい。

【0071】

まず、逆バイアス印加期間FRBを含まない場合について説明する(図7(A)(B)参照)。また、3ビット階調(8階調)を表現する場合、つまり、1フレーム期間を3つのサブフレーム期間SF1 ~ SF3に分割する場合について説明する。

【0072】

なお、図7(A)(B)に示すタイミングチャートは、図5(A)に示す画素を用いた場合である。

【0073】

各サブフレーム期間は、書き込み動作及び消去動作を行う書き込み期間(アドレス期間ともいう、以下アドレス期間と表記)Taと、画素が点灯又は非点灯する(画素が点灯又は非点灯して画像の表示を行う)点灯期間(サステイン期間、発光期間ともいう、)Tsを有する。アドレス期間Taは、複数のゲート選択期間を有する。前記複数のゲート選択期間の各々は、第1のサブゲート選択期間及び第2のサブゲート選択期間を有する。第1のサブゲート選択期間及び第2のサブゲート選択期間の一方では消去動作を行い、他方では書き込み動作を行う。図面では、第1のサブゲート選択期間において消去動作を行い、第2のサブゲート選択期間において書き込み動作を行う場合を例示する。点灯期間Ts1 ~ Ts3は、その長さの比をTs1 : Ts2 : Ts3 = 4 : 2 : 1とする。nビット階調を表現する場合、n個の点灯期間は、その長さの比を $2^{(n-1)} : 2^{(n-2)} : \dots : 2^1 : 2^0$ とする。

【0074】

つまり、点灯期間Tsは、各ビットで長さが異なる。例えば、発光期間の比を2のべき乗の比とすると、各ビットの発光期間の組み合わせによって、16階調の線形的な階調表現が可能である。本発明によると、アドレス期間は、ゲート選択期間の前後で分割され、それぞれの分割期間で書き込みあるいは消去が行われる。

【0075】

10

20

30

40

50

次に、逆バイアス印加期間 F R B を含む場合について説明する（図 7（C）（D）参照）。逆バイアス印加期間 F R B は消去動作のみを行うアドレス期間 T a R B と、陽極と陰極の電位を反転させて、全ての画素に同時に逆方向バイアスを印加する逆方向バイアス印加期間 R B を有する。

なお、逆方向バイアス印加期間 R B は、各フレーム期間に設ける必要はなく、複数のフレーム期間毎に設けてもよい。また、サブフレーム期間 S F 1 ~ S F 3 と逆方向バイアス印加期間 F R B を別に設ける必要はなく、あるサブフレーム期間の点灯期間 T s 1 ~ T S 3 中に設けてもよい。

【0076】

なお、図 7（C）（D）に示すタイミングチャートは、図 5（B）~（D）に示す画素を用いた場合である。

【0077】

また、サブフレーム期間の順序は、上位ビットから下位ビットの順序に出現する上記記載に制約されず、1 フレーム期間中、ランダムに並んでいても良い。さらにフレーム期間毎に、その順序が変化してもよい。本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

【0078】

また、4 ビット階調（16 階調）を表現する場合、つまり、1 フレーム期間を 4 つのサブフレーム期間 S F 1 ~ S F 4 に分割する場合について説明する。

【0079】

まず、図 5（A）に示す画素を用いた場合のタイミングチャートについて、図 10（A）を用いて説明する。図 10（A）において、アドレス期間 701 においては、1 ビット目の書き込みが行われ、発光期間 702 で 1 ビット目の表示が行われる。以後、2 ビット目も同様に、アドレス期間 703 においては 2 ビット目の書き込みが行われ、発光期間 704 で 2 ビット目の表示が行われる。また、3 ビット目も同様に、アドレス期間 705 においては 3 ビット目の書き込みが行われ、発光期間 706 で 3 ビット目の表示が行われる。但し、3 ビット目においては、発光期間 706 が短いため、4 ビット目の書き込み前に消去動作が必要となる。よって、アドレス期間 707 で消去が行われ、非発光期間 708 を経て、アドレス期間 709 において、4 ビット目の書き込みが行われる。4 ビット目においても、同様に消去を行うアドレス期間 711 と、非発光期間 712 を有する。

【0080】

次に、図 5（B）~（D）に示す画素を用いた場合であって、発光素子に逆方向バイアスを印加する場合のタイミングチャートについて、図 10（B）を用いて説明する。ここでは、4 ビット目の表示および消去が完了した後、画面全体で一斉に逆方向バイアスを印加する期間 721 を設けている。このため、図 7（A）に比べ、若干ではあるが表示デューティ（発光期間の合計 / 1 フレーム期間）が低下する。

【0081】

次に、図 5（E）に示した画素を用いる場合であって、逆方向バイアス印加のタイミングが行ごとに制御することができる場合のタイミングチャートについて、図 10（C）を用いて説明する。ここでは、図 10（C）に示すように、4 ビット目の発光期間の後、新たに設けた第 3 のゲートドライバを用いて逆方向バイアス印加用の走査期間 731 を設け、その後、行ごとに順次逆方向バイアスが印加される（期間 732 参照）。このようにすると、図 7（B）に比べ、より効率的に逆方向バイアス期間を設けることが出来る。逆に、図 7（B）と同等の長さで逆方向バイアスを印加すれば良い場合には、表示デューティをより高くすることが可能である。本実施例は、上記の実施の形態、実施例と自由に組み合わせることが可能である。

【実施例 4】

【0082】

本発明の表示装置には、アナログのビデオ信号、デジタルのビデオ信号のどちらを用いてもよい。但し、デジタルのビデオ信号を用いる場合、そのビデオ信号が電圧を用いている

10

20

30

40

50

のか、電流を用いているのかで異なる。つまり、発光素子の発光時において、画素に入力されるビデオ信号は、定電圧のものと、定電流のものがある。ビデオ信号が定電圧のものには、発光素子に印加される電圧が一定のものと、発光素子に流れる電流が一定のものがある。またビデオ信号が定電流のものには、発光素子に印加される電圧が一定のものと、発光素子に流れる電流が一定のものがある。この発光素子に印加される電圧が一定のものは定電圧駆動であり、発光素子に流れる電流が一定のものは定電流駆動である。定電流駆動は、発光素子の抵抗変化によらず、一定の電流が流れる。本発明の表示装置には、電圧のビデオ信号、電流のビデオ信号のどちらを用いてもよく、また定電圧駆動、定電流駆動のどちらを用いてもよい。

【実施例 5】

10

【0083】

本発明の表示装置の一形態である、表示領域及びドライバを搭載したパネルについて説明する。基板 405 上には、発光素子を含む画素を複数含む表示領域 404、ソースドライバ 403、第 1 のゲートドライバ 401 及び第 2 のゲートドライバ 402、接続端子 415 及び接続フィルム 407 が設けられる (図 8 (A) (B) 参照)。接続端子 415 は、導電性粒子を介して、接続フィルム 407 と接続する。接続フィルム 407 は IC チップと接続する。

【0084】

図 8 (B) はパネルの A - A' における断面図を示し、表示領域 404 に設けられた電流制御用 TFT 409 及び駆動用 TFT 410 と、ソースドライバ 403 に設けられた CMOS 回路 414 を示す。また、表示領域 404 に設けられた導電層 411、電界発光層 412 及び導電層 413 を示す。導電層 411 は駆動用 TFT 410 のソース電極又はドレイン電極に接続する。また、導電層 411 は画素電極として機能し、導電層 413 は対向電極として機能する。導電層 411、電界発光層 412 及び導電層 413 の積層体は発光素子に相当する。

20

【0085】

表示領域 404 とドライバ 401 ~ 403 の周囲にはシール材 408 が設けられ、発光素子は、該シール材 408 と対向基板 406 により封止される。この封止処理は、発光素子を水分から保護するための処理であり、ここではカバー材 (ガラス、セラミックス、プラスチック、金属等) により封止する方法を用いるが、熱硬化性樹脂や紫外光硬化性樹脂を用いて封止する方法、金属酸化物や窒化物等のバリア能力が高い薄膜により封止する方法を用いてもよい。

30

【0086】

基板 405 上に形成される素子は、非晶質半導体に比べて移動度等の特性が良好な結晶質半導体 (ポリシリコン) により形成されること好適であり、そうすると、同一表面上におけるモノリシック化が実現される。上記構成を有するパネルは、接続する外部 IC の個数が減少するため、小型・軽量・薄型が実現される。

【0087】

また、図 8 (B) において、導電層 411 は透明導電膜で形成し、導電層 413 は反射膜で形成される。よって、電界発光層 412 から発せられる光は、矢印で示すとおり、導電層 411 を透過して、基板 405 側に出射される。一般的にこのような構成は下面出射方式と呼ばれる。

40

【0088】

これに対し、導電層 411 を反射膜で形成し、導電層 413 を透明導電膜で形成することにより、図 11 (A) に示すように、電界発光層 412 から発せられる光を対向基板 406 側に出射させる構成も可能である。一般的にこのような構成は上面出射方式と呼ばれる。

【0089】

また、駆動用 TFT 410 のソース電極又はドレイン電極と導電層 411 とは、絶縁層を介することなく、同一の層に積層形成され、薄膜が重なることによって直接接続されてい

50

る。よって、導電層 4 1 1 の形成領域は、駆動用 T F T 4 1 0 等が配置されている領域を除いた領域となるため、画素の高精細化等に伴い、開口率の低下が避けられない。よって、図 1 1 (B) に示すように、層間膜 4 1 6 を追加し、独立した層に画素電極を設け、上面出射方式とすることにより、T F T 等が形成されている領域も有効に発光領域として活用出来る。このとき、電界発光層 4 1 2 の膜厚によっては、画素電極である導電層 4 1 1 と駆動用 T F T 4 1 0 のソース電極又はドレイン電極とのコンタクト領域において、導電層 4 1 1 と導電層 4 1 3 とのショートが生ずる可能性があるため、バンク 4 1 7 等を設け、ショートを防止する構成が望ましい。

【 0 0 9 0 】

さらに、図 1 2 に示すように、導電層 4 1 1 と導電層 4 1 3 とをいずれも透明導電膜で形成することにより、基板 4 0 5 側と対向基板 4 0 6 側の両方に電界発光層 4 1 2 からの出射光を取り出す構成も可能である。このような構成は両面出射方式と呼ばれる。

【 0 0 9 1 】

図 1 2 の場合、上面出射側と下面出射側の発光面積はおおむね等しいが、前述のように、層間膜を追加して画素電極の面積を大きくすれば、上面出射側の開口率を高くすることができる。

【 0 0 9 2 】

但し、本発明は上記の実施例に制約されない。例えば、表示領域 4 0 4 は絶縁表面上に形成された非晶質半導体（アモルファスシリコン）をチャネル部とした T F T により構成し、ドライバ 4 0 1 ~ 4 0 3 は I C チップにより構成してもよい。I C チップは、C O G 方式により基板上に貼り合わせたり、基板に接続する接続フィルムに貼り合わせたりしてもよい。非晶質半導体は、C V D 法を用いることで、大面積の基板に簡単に形成することができ、かつ結晶化の工程が不要であることから、安価なパネルの提供を可能とする。また、この際、インクジェット法に代表される液滴吐出法により導電層を形成すると、より安価なパネルの提供を可能とする。本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

【 実施例 6 】

【 0 0 9 3 】

発光素子を含む表示領域を備えた電子機器として、テレビ装置、デジタルカメラ、デジタルビデオカメラ、携帯電話装置（携帯電話機）、P D A 等の携帯情報端末、携帯型ゲーム機、モニター、ノート型パソコン、カーオーディオ等の音響再生装置、家庭用ゲーム機等の記録媒体を備えた画像再生装置等が挙げられる。以下にはその具体例について説明する。

【 0 0 9 4 】

図 9 (A) は携帯情報端末であり、本体 9 2 0 1、表示部 9 2 0 2 等を含む。図 9 (B) はデジタルビデオカメラであり、表示部 9 7 0 1、9 7 0 2 等を含む。図 9 (C) は携帯端末であり、本体 9 1 0 1、表示部 9 1 0 2 等を含む。図 9 (D) は携帯型テレビ装置であり、本体 9 3 0 1、表示部 9 3 0 2 等を含む。図 9 (E) は携帯型コンピュータであり、本体 2 2 0 2、表示部 2 2 0 3 等を含む。図 9 (F) はテレビ装置であり、本体 2 0 0 1、表示部 2 0 0 3 等を含む。本発明は、表示部を含む表示装置の構成に適用される。本発明の適用により、高画質化と高精細化を実現した表示画面を提供することができるため、高機能化と高付加価値化を実現した電子機器を提供することができる。本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

【 実施例 7 】

【 0 0 9 5 】

図 1 3 (A) は、本発明の表示装置を構成する画素のレイアウト例を示す。画素の構成は、図 5 (A) に示す画素と同様である。但し、図 1 3 (A) に示す画素は、隣接する 2 つの画素間で、電源線 4 0 を共有した構成であり、図 1 3 (B) にその回路図を示す。なお、図 1 3 (A) では、対向電極である第 2 の電源 1 5 は図示していない。

【 0 0 9 6 】

上記のようなレイアウトとすることにより、表示領域（画素領域ともいう）において、配置する配線の本数を減少させることができるため、開口率の向上を実現する。なお、隣接する2つの画素間で、電源線44を共有してもよい。ただし、電源線40、44は、発光素子16に供給する電流値の調整をするために、共有せずに、独立で設けて、その電位を調整可能にしておくのが望ましい。特にカラー表示の場合、ホワイトバランス調整等が必須となるため、隣接する画素間で共有する電源線は、ホワイトバランス調整に影響しない適当なものを選択するとよい。具体的には、電源線44の電位を調整することによって、駆動用TFT17のゲート電位を変えて、発光素子16に供給する電流値を決定する場合には、電源線44は隣接間での共有は不可能である。また、電源線40の電位を調整することによって、駆動用TFT17のVGSを変え、発光素子16に供給する電流値を決定する場合には、電源線40の隣接間での共有は不可能となる。

10

【0097】

なお、図13(A)において、電流制御用TFT18は、ゲート電極の電位保持のため、電源線40の下部に保持容量を設けている。図13(B)の回路図には保持容量は明示していないが、必要に応じて設ける場合もある。図13(A)のレイアウトでは、保持容量の配置領域として、実際に発光領域として寄与しない、電源線の配置領域を利用することにより、開口率を低下することなく、機能付加が可能となる。

【0098】

図14(A)も同様、画素のレイアウト例を示す。画素の構成は、図5(D)に示す画素と同様であり、図13(A)に示す画素に逆バイアス用TFT51が追加されている。前述と同様、図13(A)に示したように、隣接する2つの画素間で、電源線を共有することにより、開口率の向上を実現する。図5(D)に示す画素構成の場合、逆バイアス用のTFTの追加を伴うため、このような手法は、開口率の向上の点から、大変有効である。

20

【実施例8】

【0099】

発光素子は、一对の電極間に、様々な材料からなる単数又は複数の層（以下電界発光層と称する）が挟まれた構造を有する。発光素子は、以下に示すような要因により、陽極と陰極が短絡する初期不良が生じることがある。第1の要因として、異物（ゴミ）の付着による陽極と陰極の短絡、第2の要因として、陽極の微細な突起（凸凹）により電界発光層にピンホールが生じ、このピンホールに起因した陽極と陰極の短絡、第3の要因として、電界発光層が均一に成膜されずに、前記電界発光層にピンホールが生じ、このピンホールに起因した陽極と陰極の短絡などがある。第3の要因は、そもそも電界発光層の膜厚が薄いことも関係する。このような初期不良が発生した画素では、信号に応じた点灯及び非点灯が行われず、電流のほとんどすべてが短絡部を流れて素子全体が消光する現象が生じたり、特定の画素が点灯又は非点灯しない現象が生じたりして、画像の表示が良好に行われないう問題が発生する。上記問題を鑑み、上述したように、本発明は、発光素子に逆方向バイアスを印加することができる表示装置及びその駆動方法を提供する。逆方向バイアスの印加により、陽極と陰極の短絡部のみに局所的に電流が流れ、該短絡部は発熱する。そうすると、短絡部は酸化又は炭化して絶縁化する。その結果、初期不良が生じて、その不良を解消し、画像の表示を良好に行うことができる表示装置を提供することができる。なお、このような初期不良の絶縁化は、出荷前に行うとよい。

30

40

【0100】

また、発光素子は、上述の初期不良とは別に、進行性不良が生じることがある。進行性不良とは、時間の経過に伴って、新たに発生した陽極と陰極の短絡である。このように、時間の経過に伴って新たに発生した陽極と陰極の短絡は、陽極の微細な突起により発生する。つまり、一对の電極間に電界発光層が挟まれた積層体には、時間の経過に伴って、陽極と陰極の短絡が発生する。上記問題を鑑み、上述したように、本発明は、出荷前だけではなく、定期的に逆方向バイアスを印加する表示装置及びその駆動方法を提供する。逆方向バイアスの印加により、陽極と陰極の短絡部のみに局所的に電流が流れ、短絡部は絶縁化

50

する。その結果、進行性不良が生じて、その不良を解消し、画像の表示を良好に行うことができる表示装置及びその駆動方法を提供することができる。

【 0 1 0 1 】

また一対の電極間に電界発光層が挟まれた積層体には、順方向バイアスの電圧を印加しても発光しない箇所がある。このような非発光性の不良はダークスポットとよばれ、また、時間の経過に伴って進行するため、進行性不良ともよばれる。ダークスポットは、電界発光層と陰極との接触不良により生じるもので、前記電界発光層と前記陰極の間に微少な空隙があり、その空隙が広がっていくことにより進行すると考えられている。しかしながら、逆方向バイアスを印加すると、その空隙の広がりを抑制することができる。つまり、ダークスポットの進行を抑制することができる。従って、上述したように、逆方向バイアスを印加する本発明は、ダークスポットの進行を抑制する表示装置及びその駆動方法を提供することができる。

10

【図面の簡単な説明】

【 0 1 0 2 】

【図 1】本発明の表示装置の構成を説明する図。

【図 2】本発明の実施の形態 1 を説明する図。

【図 3】本発明の実施の形態 1 を説明する図。

【図 4】本発明の実施の形態 1 を説明する図。

【図 5】本発明の実施の形態 2 を説明する図。

【図 6】本発明の実施例 2 を説明する図。

20

【図 7】本発明の実施例 3 を説明する図。

【図 8】本発明の実施例 4 を説明する図。

【図 9】本発明の実施例 5 を説明する図。

【図 10】本発明の実施例 4 を説明する図。

【図 11】本発明の実施例 4 を説明する図。

【図 12】本発明の実施例 5 を説明する図。

【図 13】本発明の実施例 5 を説明する図。

【図 14】本発明の実施の形態 2 を説明する図。

【図 15】本発明の実施の形態 2 を説明する図。

【符号の説明】

30

【 0 1 0 3 】

1 1 ソース線

1 2 ゲート線

1 3 第 1 のトランジスタ (スイッチ用 T F T)

1 4 第 1 の電源

1 5 第 2 の電源

1 6 発光素子

1 7 第 2 のトランジスタ (駆動用 T F T)

1 8 第 3 のトランジスタ (電流制御用 T F T)

1 9 ソースドライバ

40

2 0 第 1 のゲートドライバ

2 1 第 2 のゲートドライバ

2 2 第 3 の電源

2 3 シフトレジスタ

2 4 ラッチ

2 5 スイッチ

2 6 選択信号線

2 7、3 7 シフトレジスタ

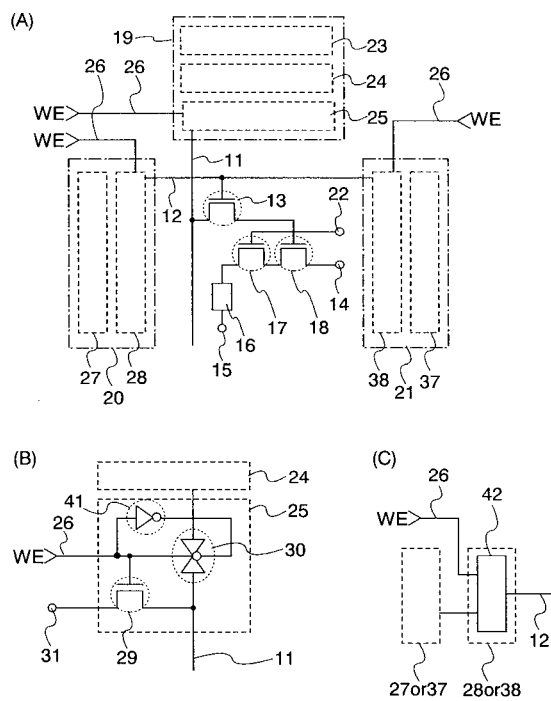
2 8、3 8 スイッチ

2 9 消去用トランジスタ (第 5 のトランジスタ)

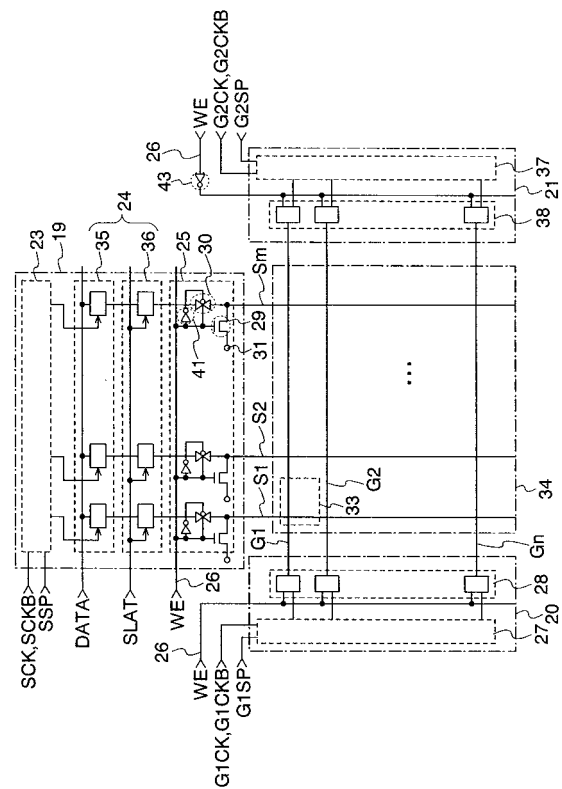
50

- 3 0 アナログスイッチ
- 3 1 第 4 の電源
- 4 1 インバータ
- 4 2 トライステートバッファ

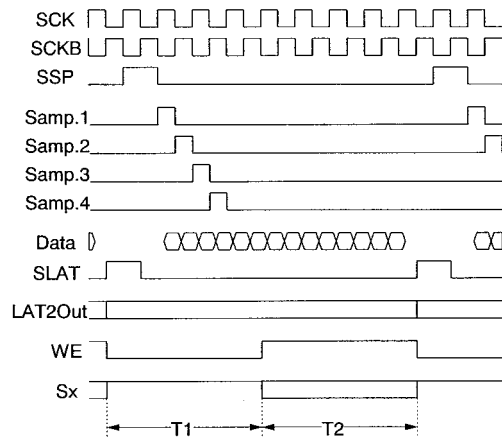
【図 1】



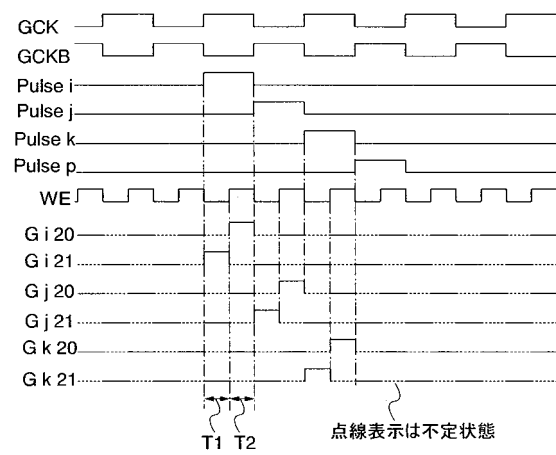
【図 2】



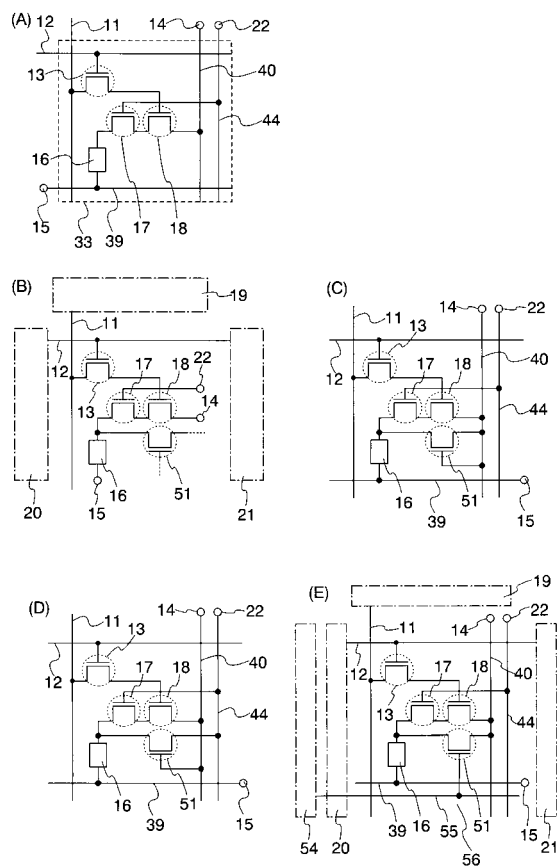
【図 3】



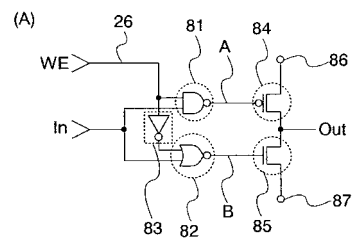
【図 4】



【図 5】



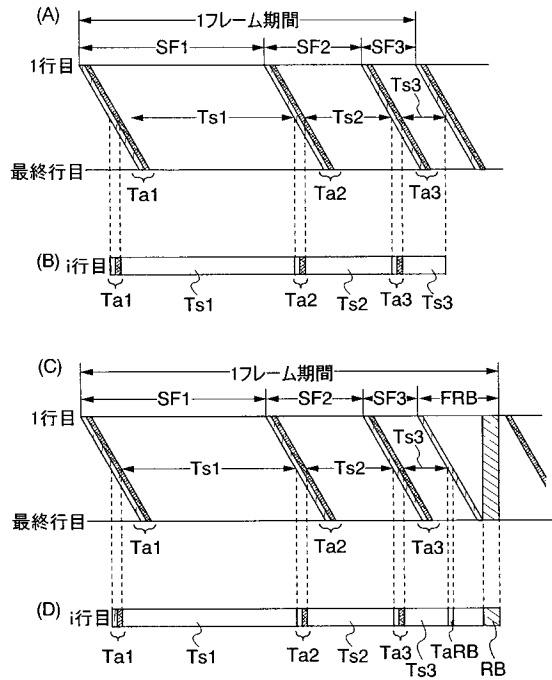
【図 6】



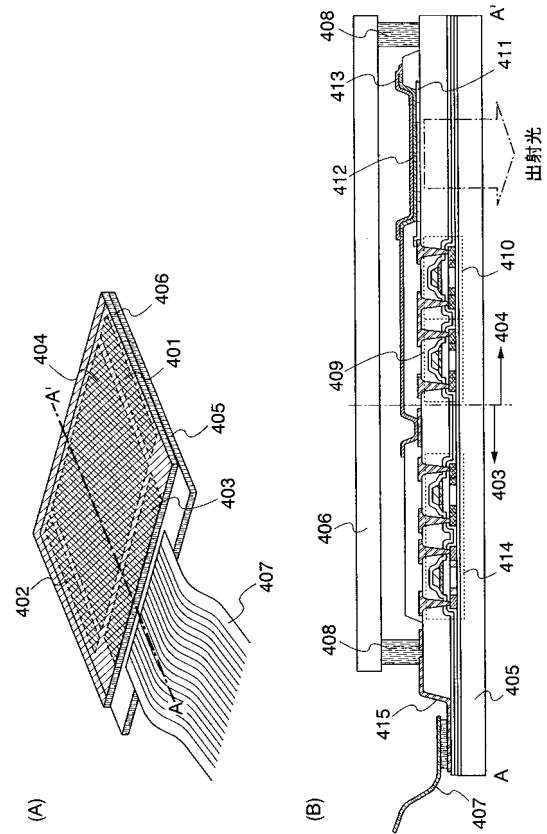
(B)

WE	H		L	
In	H	L	H	L
A	L	H	H	H
B	L	H	L	L
Out	H	L	-	-

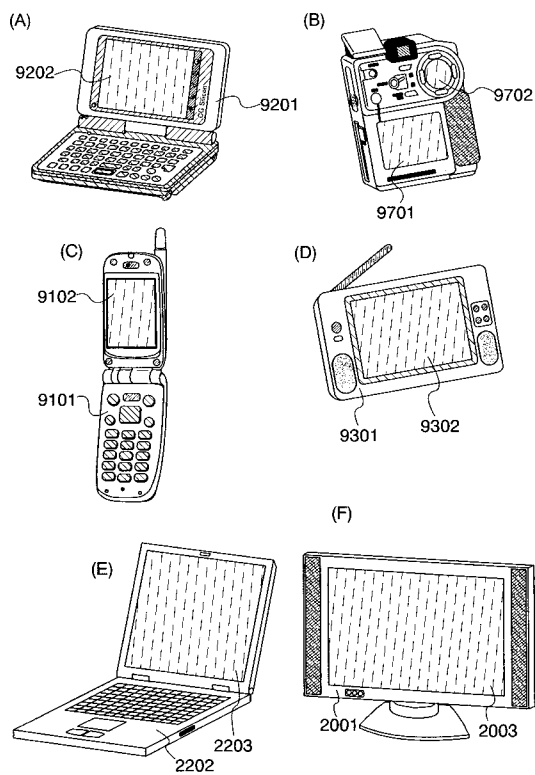
【図 7】



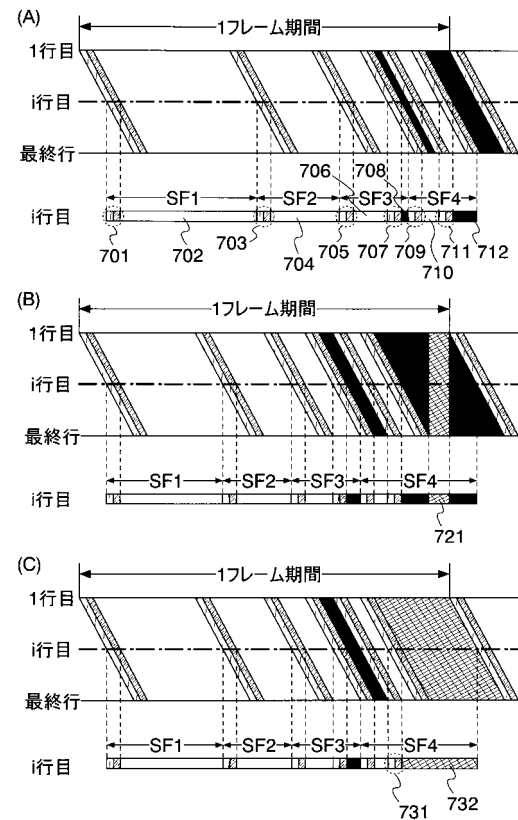
【図 8】



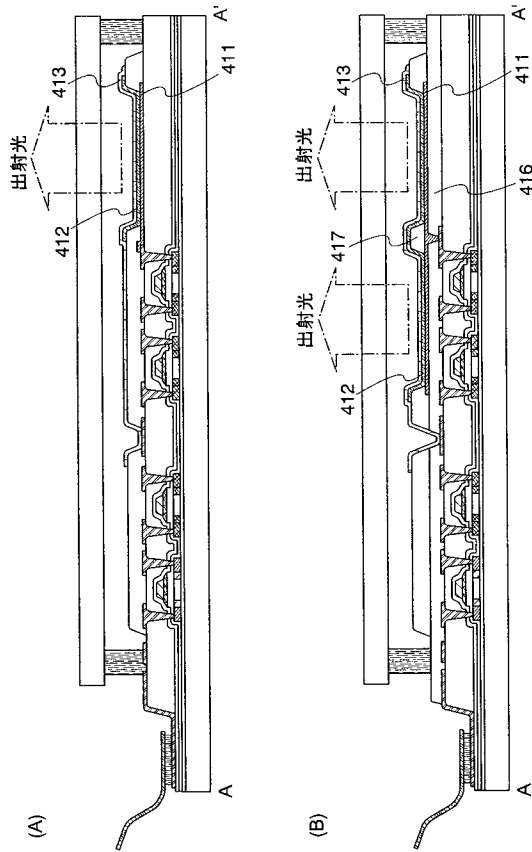
【図 9】



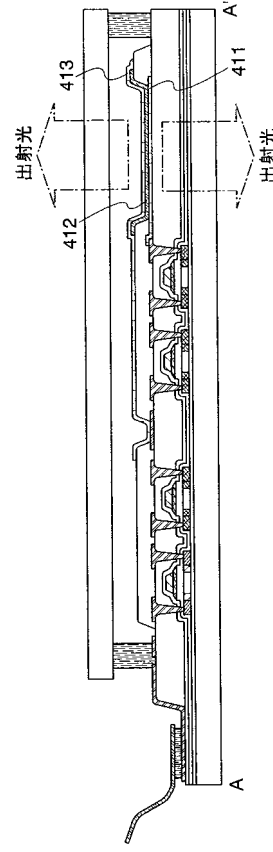
【図 10】



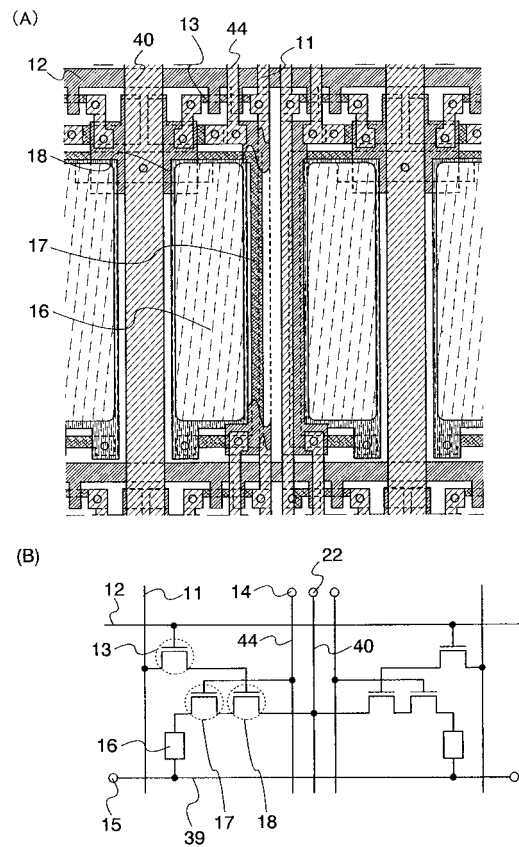
【図 1 1】



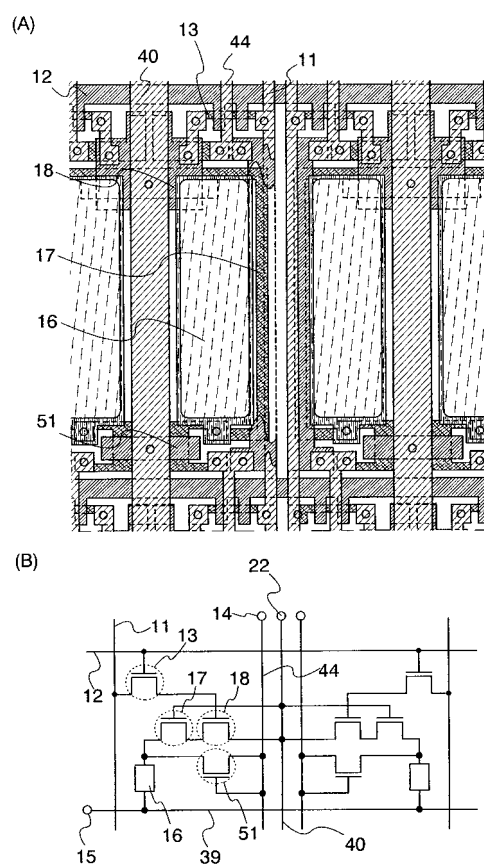
【図 1 2】



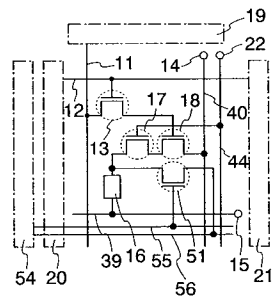
【図 1 3】



【図 1 4】



【 図 1 5 】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 1 M
G 0 9 G	3/20	6 2 2 B
G 0 9 G	3/20	6 2 2 E
G 0 9 G	3/20	6 2 2 G
G 0 9 G	3/20	6 2 3 B
G 0 9 G	3/20	6 2 3 G
G 0 9 G	3/20	6 2 3 H
G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 4 1 E
G 0 9 G	3/20	6 4 2 C
G 0 9 G	3/20	6 7 0 K
G 0 9 G	3/20	6 8 0 G
H 0 5 B	33/14	A

(72)発明者 納 光明

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

(72)発明者 棚田 好文

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

審査官 奈良田 新一

(56)参考文献 特開 2 0 0 2 - 1 4 9 1 1 2 (J P , A)

特開 2 0 0 1 - 2 2 2 2 4 0 (J P , A)

特開 2 0 0 1 - 3 2 4 9 5 8 (J P , A)

国際公開第 0 3 / 0 2 7 9 9 7 (W O , A 1)

国際公開第 2 0 0 4 / 0 8 6 3 4 3 (W O , A 1)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G 3 / 2 0 , 3 / 3 0 - 3 / 3 2