

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年9月21日(21.09.2017)



(10) 国際公開番号
WO 2017/159283 A1

- (51) 国際特許分類:
H01L 21/822 (2006.01) H01G 7/06 (2006.01)
H01G 4/12 (2006.01) H01G 15/00 (2013.01)
H01G 4/33 (2006.01) H01L 27/04 (2006.01)
H01G 4/40 (2006.01)
- (21) 国際出願番号: PCT/JP2017/007011
- (22) 国際出願日: 2017年2月24日(24.02.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-056274 2016年3月18日(18.03.2016) JP
- (71) 出願人: 株式会社村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).

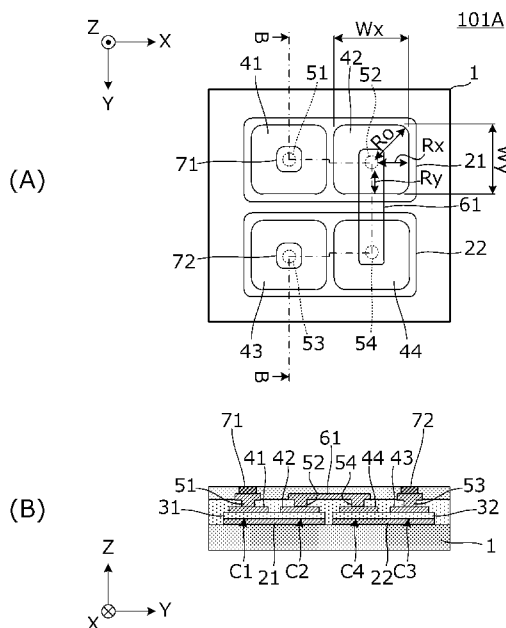
- (72) 発明者: 小宮山 卓 (KOMIYAMA Takashi); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 中磯 俊幸 (NAKAISO Toshiyuki); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 特許業務法人 楓国際特許事務所 (KAEDE PATENT ATTORNEYS' OFFICE); 〒5400011 大阪府大阪市中央区農人橋1丁目4番34号 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: CAPACITIVE ELEMENT

(54) 発明の名称: 容量素子

fig.1



(57) Abstract: In the present invention, a first lower electrode (21) and a second lower electrode (22) are disposed adjacent to each other in a Y-axis direction on a substrate (1). A first dielectric layer (31) is formed on the first lower electrode (21), and a second dielectric layer (32) is formed on the second lower electrode (22). A first upper electrode (41) and a second upper electrode (42) are disposed adjacent to each other in an X-axis direction on the first dielectric layer, and a third upper electrode (43) and a fourth upper electrode (44) are disposed adjacent to each other in the X-axis direction on the second dielectric layer. Interlayer conductors (51, 52, 53, 54) contact the upper electrodes (41, 42, 43, 44), respectively. A first connection conductor (61) connects the second interlayer conductor (52) and the fourth interlayer conductor (54). The third upper electrode (43) is disposed adjacent to the first upper electrode (41) in the Y-axis direction, the fourth upper electrode (44) is disposed adjacent to the second upper electrode (42) in the Y-axis direction, and the first connection conductor (61) extends in the Y-axis direction.

(57) 要約:

[続葉有]

WO 2017/159283 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

第 1 下部電極 (2 1) および第 2 下部電極 (2 2) は、基板 (1) に Y 軸方向に隣接配置される。第 1 下部電極 (2 1) 上には第 1 誘電体層 (3 1)、第 2 下部電極 (2 2) 上には第 2 誘電体層 (3 2) がそれぞれ形成される。第 1 誘電体層上には第 1 上部電極 (4 1) および第 2 上部電極 (4 2) が X 軸方向に隣接配置され、第 2 誘電体層上には第 3 上部電極 (4 3) および第 4 上部電極 (4 4) が X 軸方向に隣接配置される。上部電極 (4 1, 4 2, 4 3, 4 4) には層間導体 (5 1, 5 2, 5 3, 5 4) がそれぞれ接する。第 1 接続導体 (6 1) は、第 2 層間導体 (5 2) と第 4 層間導体 (5 4) とを接続する。第 3 上部電極 (4 3) は第 1 上部電極 (4 1) に対して Y 軸方向に隣接配置され、第 4 上部電極 (4 4) は第 2 上部電極 (4 2) に対して Y 軸方向に隣接配置され、第 1 接続導体 (6 1) は Y 軸方向に延伸する。

明 細 書

発明の名称：容量素子

技術分野

[0001] 本発明は、容量素子に関し、特に、基板上に複数の容量形成部を配列し、それを電氣的に直列接続した容量素子に関する。

背景技術

[0002] 例えば特許文献 1 には、基板上に複数の下部電極を一方向へ所定間隔で配置し、複数の下部電極の上に、誘電体層を介して 2 つの上部電極を上記一方向へ所定間隔で配置することにより、誘電体層を下部電極層と上部電極層とで挟んだ 2 つの容量形成部を設け、2 つの上部電極層のそれぞれに独立して引出し電極を設けた容量素子が示されている。

先行技術文献

特許文献

[0003] 特許文献 1：特開 2005-210065 号公報

発明の概要

発明が解決しようとする課題

[0004] ここで、特許文献 1 に示されている容量素子の基本的な構成を図 10 に示す。この容量素子は、基板 1 上に複数の下部電極 21、22 等が一方向に所定間隔で配置されていて、これら下部電極 21、22 の上に、誘電体層を介してそれぞれ 2 つの上部電極 41、42 が所定間隔で配置されている。この構成により、誘電体層が下部電極層と上部電極層とで挟まれて、4 つの容量形成部が構成される。そして、隣接する上部電極 41、42 間が層間導体および接続導体 60 を介してそれぞれ接続される。

[0005] ところが、図 10 に示すように、上部電極 41、42 が上部電極 41、42 の配列方向に対する直交方向に長い形状である場合、上部電極 41、42 の縁端から層間導体までの距離の最大値（図中、寸法 R）が大きい。このような構造では、上部電極 41、42 の抵抗値が高いため、容量素子の ESR（等

価直列抵抗)は大きい。層間導体の数や横断面積を増やせばESRは小さくできるが、層間導体形成時にコンタクトホールから誘電体層内のO(酸素)成分が抜けやすく、誘電体層の誘電率が所定値から変動してしまうため、層間導体の数や面積は最小限に留めることが重要である。

[0006] 本発明の目的は、層間導体の数や面積を増やすことなく、低ESRを実現した容量素子を提供することにある。

課題を解決するための手段

[0007] (1) 本発明の容量素子は、

X-Y直交座標系においてX軸方向およびY軸方向に広がる面を有する基板と、

前記基板の前記面に設けられ、前記Y軸方向に隣接配置された、第1下部電極および第2下部電極と、

前記第1下部電極上に形成された第1誘電体層と、

前記第2下部電極上に形成された第2誘電体層と、

前記第1誘電体層上に形成され、前記X軸方向に隣接配置された、第1上部電極および第2上部電極と、

前記第2誘電体層上に形成され、前記X軸方向に隣接配置された、第3上部電極および第4上部電極と、

前記第1上部電極に接する第1層間導体と、

前記第2上部電極に接する第2層間導体と、

前記第3上部電極に接する第3層間導体と、

前記第4上部電極に接する第4層間導体と、

前記第2層間導体と前記第4層間導体とを接続する第1接続導体と、

を有し、

前記第3上部電極は前記第1上部電極に対して前記Y軸方向に隣接配置され、前記第4上部電極は前記第2上部電極に対して前記Y軸方向に隣接配置され、前記第1接続導体は前記Y軸方向に延伸することを特徴とする。

[0008] 上記の構成により、第1上部電極および第2上部電極が隣接配置されるX

軸方向は、第1接続導体の延伸方向と直交する方向であるので、第2上部電極の、第2層間導体が接する位置から外縁までの最小値と最大値との差は小さくできる。同様に、第3上部電極および第4上部電極が隣接配置されるX軸方向は、第1接続導体の延伸方向と直交する方向であるので、第4上部電極の、第4層間導体が接する位置から外縁までの最小値と最大値との差（比）は小さくできる。そのことにより、第1上部電極、第2上部電極、第3上部電極および第4上部電極の抵抗値をそれぞれ低減でき、低ESRの容量素子が得られる。

[0009] (2) 前記第1上部電極は前記第1層間導体の接する位置から外縁までの長さの最小値に対する最大値の比が2未満であり、前記第2上部電極は前記第2層間導体の接する位置から外縁までの長さの最小値に対する最大値の比が2未満であり、前記第3上部電極は前記第3層間導体の接する位置から外縁までの長さの最小値に対する最大値の比が2未満であり、前記第4上部電極は前記第4層間導体の接する位置から外縁までの長さの最小値に対する最大値の比が2未満であることが好ましい。これにより、第1上部電極、第2上部電極、第3上部電極および第4上部電極の抵抗値が効果的に低減され、低ESRの容量素子が得られる。

[0010] (3) 上記(2)において、前記第1上部電極、前記第2上部電極、前記第3上部電極、および前記第4上部電極は、それぞれの前記X軸方向の幅と前記Y軸方向の幅が実質的に等しいことが好ましい。これにより、第1上部電極、第2上部電極、第3上部電極および第4上部電極の抵抗値がさらに効果的に低減され、低ESRの容量素子が得られる。

[0011] (4) 上記(1)から(3)のいずれかにおいて、前記第1接続導体の電気抵抗値は、前記第1上部電極、前記第2上部電極、前記第3上部電極、前記第4上部電極、前記第1下部電極および第2下部電極の抵抗値より低いことが好ましい。これにより、第2上部電極および第4上部電極がY軸方向に拡張されることに伴って第1接続導体が長くなっても、第1接続導体の抵抗値の増大は抑えられる。

[0012] (5) 上記(1)から(4)のいずれかにおいて、前記第1下部電極、前記第1上部電極、前記第2上部電極、前記第1層間導体および前記第2層間導体の組と、前記第2下部電極、前記第3上部電極、前記第4上部電極、前記第3層間導体および前記第4層間導体の組は前記Y軸方向に交互に配置され、前記第1接続導体とは前記X軸方向に隣接しない位置で、前記Y軸方向に延伸し、前記第3上部電極と当該第3上部電極に隣接する前記第1上部電極とを接続する第2接続導体を備えることが好ましい。これにより、第1上部電極および第3上部電極についても抵抗値を低減でき、より低ESRの容量素子が得られる。

[0013] (6) 上記(5)において、前記第2接続導体の電気抵抗値は、前記第1上部電極、前記第2上部電極、前記第3上部電極、前記第4上部電極、前記第1下部電極および前記第2下部電極の抵抗値より低いことが好ましい。これにより、第1上部電極および第3上部電極がY軸方向に拡張されることに伴って第2接続導体が長くなっても、第2接続導体の抵抗値の増大は抑えられる。

[0014] (7) 上記(1)から(6)のいずれかにおいて、前記第1誘電体層および前記第2誘電体層は強誘電体の層であり、前記第1下部電極と前記第1上部電極との間、前記第1下部電極と前記第2上部電極との間、前記第2下部電極と前記第3上部電極との間、および前記第2下部電極と前記第4上部電極との間にそれぞれ印加する(容量可変制御用)バイアス電圧経路を構成する抵抗素子を前記基板に備えることが好ましい。これにより、低ESRの可変容量素子が得られる。

発明の効果

[0015] 本発明によれば、層間導体の数や面積を増やすことなく、ESRを低減した容量素子が得られる。

図面の簡単な説明

[0016] [図1]図1(A)は第1の実施形態に係る容量素子101Aの主要部の平面図であり、図1(B)は図1(A)におけるB-B部分の断面図である。

[図2]図2は本実施形態の別の容量素子101Bの主要部の平面図である。

[図3]図3は第2の実施形態に係る可変容量素子102の主要部の断面図である。

[図4]図4(A)は図3中のA-A部分の横断面図、図4(B)は図3中のB-B部分の横断面図、図4(C)は図3中のC-C部分の横断面図である。

[図5]図5は、図3に示した断面の位置を示す図である。

[図6]図6は可変容量素子102の回路図である。

[図7]図7は可変容量素子102の三面図である。

[図8]図8は実装用再配線基板2に可変容量素子102を搭載した状態での断面図である。

[図9]図9は第3の実施形態に係る通信回路の回路図である。

[図10]図10は特許文献1に示されている容量素子の基本的な構成を示す図である。

発明を実施するための形態

[0017] 以降、図を参照して幾つかの具体的な例を挙げて、本発明を実施するための複数の形態を示す。各図中には同一箇所には同一符号を付している。要点の説明または理解の容易性を考慮して、便宜上実施形態を分けて示すが、異なる実施形態で示した構成の部分的な置換または組み合わせは可能である。第2の実施形態以降では第1の実施形態と共通の事柄についての記述を省略し、異なる点についてのみ説明する。特に、同様の構成による同様の作用効果については実施形態毎には逐次言及しない。

[0018] 《第1の実施形態》

図1(A)は第1の実施形態に係る容量素子101Aの主要部の平面図であり、図1(B)は図1(A)におけるB-B部分の断面図である。

[0019] 容量素子101Aは、基板1と、この基板1に形成された導体、誘電体、絶縁体等で構成される。基板1はX-Y直交座標系においてX軸方向およびY軸方向に広がる面を有する。基板1の面には、第1下部電極21および第2下部電極22がY軸方向に隣接配置されている。第1下部電極21上には

第1誘電体層31が形成されていて、第2下部電極22上には第2誘電体層32が形成されている。

[0020] 第1誘電体層31上には、第1上部電極41および第2上部電極42がX軸方向に隣接配置されていて、第2誘電体層32上には、第3上部電極43および第4上部電極44がX軸方向に隣接配置されている。

[0021] 第1下部電極21、第1誘電体層31および第1上部電極41によって第1容量形成部C1が形成され、第1下部電極21、第1誘電体層31および第2上部電極42によって第2容量形成部C2が形成される。また、第2下部電極22、第2誘電体層32および第3上部電極43によって第4容量形成部C4が形成され、第2下部電極22、第2誘電体層32および第4上部電極44によって第3容量形成部C3が形成される。

[0022] 第1上部電極41、第2上部電極42、第3上部電極43および第4上部電極44には第1層間導体51、第2層間導体52、第3層間導体53および第4層間導体54がそれぞれ接している。

[0023] 第2上部電極42および第4上部電極44の上部には、第2層間導体52と第4層間導体54とを接続する第1接続導体61が設けられている。

[0024] 第1上部電極41の上部には、第1層間導体51と導通する第1外部電極71が設けられていて、第3上部電極43の上部には、第3層間導体53と導通する第2外部電極72が設けられている。

[0025] 第2上部電極42の、第2層間導体52の接する位置から外縁までの長さの最小値は、X軸の径方向寸法 R_x またはY軸の径方向寸法 R_y である。そして最大値は対角の径方向寸法 R_o である。上部電極の、層間導体の接する位置から外縁までの長さの関係は、第1上部電極41、第3上部電極43および第4上部電極44についても、第2上部電極42と同様である。

[0026] 容量素子101Aにおいて、第1上部電極41および第2上部電極42が隣接配置されるX軸方向は、第1接続導体61の延伸方向と直交する方向であるので、第2上部電極42の、第2層間導体52が接する位置から外縁までの最小値 R_x （または R_y ）と最大値 R_o との差は小さい（比は1：1に

近い)。同様に、第3上部電極43および第4上部電極44が隣接配置されるX軸方向は、第1接続導体61の延伸方向と直交する方向であるので、第4上部電極44の、第4層間導体54が接する位置から外縁までの最小値と最大値との差は小さい。そのことにより、第1上部電極、第2上部電極、第3上部電極および第4上部電極の抵抗値をそれぞれ低減でき、低ESRの容量素子が得られる。

[0027] また、第2上部電極42は第2層間導体52の接する位置から外縁までの長さの最小値 R_x （または R_y ）に対する最大値 R_o の比は2未満である。このことは、第1上部電極41、第3上部電極43および第4上部電極44についても同様である。これにより、第1上部電極、第2上部電極、第3上部電極および第4上部電極の抵抗値が効果的に低減され、低ESRの容量素子101Aが得られる。

[0028] さらに、第1上部電極41、第2上部電極42、第3上部電極43、および第4上部電極44は、それぞれのX軸方向の幅 W_x とY軸方向の幅 W_y が実質的に等しい。定義するなら、X軸方向の幅 W_x とY軸方向の幅 W_y の比率が±25%以内であれば、「実質的に等しい」。そして、各上部電極のほぼ中心に層間導体を接続することにより、第1上部電極、第2上部電極、第3上部電極および第4上部電極の抵抗値がさらに効果的に低減され、低ESRの容量素子101Aが得られる。

[0029] 容量素子101Aにおいて、第1接続導体61は例えばCu膜であり、第1上部電極41、第2上部電極42、第3上部電極43、第4上部電極44、第1下部電極21および第2下部電極22はそれぞれPt膜である。第1接続導体61の電気抵抗値は、第1上部電極41、第2上部電極42、第3上部電極43、第4上部電極44、第1下部電極21および第2下部電極22の抵抗値より低い。本実施形態では、第2上部電極42および第4上部電極44がY軸方向に拡張されることに伴って第1接続導体61がY軸方向に長くなるが、上記抵抗値の高低関係により、第1接続導体61の抵抗値の増大は抑えられる。

[0030] 図2は本実施形態の別の容量素子101Bの主要部の平面図である。容量素子101Bは、基板1と、この基板1に形成された導体、誘電体、絶縁体等で構成される。図1(A)(B)に示した容量素子101Aとは容量形成部の数が異なる。

[0031] 容量素子101Bは、第1下部電極21、第1上部電極41、第2上部電極42、第1層間導体51および第2層間導体52の組と、第2下部電極22、第3上部電極43、第4上部電極44、第3層間導体53および第4層間導体54の組を備え、この2つの組がY軸方向に交互に配置されている。そして、この容量素子101Bは、Y軸方向に延伸し、第3上部電極43とこの第3上部電極43に隣接する第1上部電極41とを接続する第2接続導体62を備える。その他の構成は容量素子101Aと同じである。

[0032] 容量素子101Bにおいては、5つ以上の容量形成部の数を有する容量素子が構成できる。また、第2接続導体62を介して接続される第1上部電極41および第3上部電極43についても抵抗値を低減できる。

[0033] 《第2の実施形態》

第2の実施形態では、バイアス電圧印加回路を備える可変容量素子の例を示す。

[0034] 図3は第2の実施形態に係る可変容量素子102の主要部の断面図である。図4(A)は図3中のA-A部分の横断面図、図4(B)は図3中のB-B部分の横断面図、図4(C)は図3中のC-C部分の横断面図である。図5は、図3に示した断面の位置を示す図である。この図5は、図4(C)に断面線A-Aを付与したものを別の図として表したものである。

[0035] 図3において基板1は表面にSiO₂膜が形成されたSi基板である。この基板1上に強誘電体膜FS1、第1下部電極21、第2下部電極22、第1誘電体層31A、31B、第2誘電体層32A、32B、第1上部電極41、第2上部電極42、第3上部電極43、第4上部電極44、強誘電体膜FS3が、この順に形成されている。このことにより、8つの容量形成部（容量形成部C1～C4が2組）が形成されている。

- [0036] 上記第1下部電極21、第2下部電極22、第1上部電極41、第2上部電極42、第3上部電極43、第4上部電極44はいずれも例えばPt膜またはAu膜である。また、上記第1誘電体層31A、31B、第2誘電体層32A、32Bはいずれも強誘電体膜である。
- [0037] これら容量形成部C1～C4の上部および基板1の上部には耐湿保護膜PC1が被覆されている。この耐湿保護膜PC1の上部には更に有機保護膜PC2が形成されている。
- [0038] 有機保護膜PC2の上部には配線膜T11が形成されている。また、この配線膜T11はコンタクトホールを介して第1上部電極41、第2上部電極42、第3上部電極43、第4上部電極44の所定箇所に接続されている。さらに、配線膜T11は、耐湿保護膜PC1および有機保護膜PC2の周囲を覆うように形成されている。
- [0039] 配線膜T11の表面には層間絶縁膜SR1が形成されている。この層間絶縁膜SR1の表面に抵抗素子9が形成されている。
- [0040] 抵抗素子9の抵抗膜は、薄膜プロセス（フォトリソグラフィおよびエッチング技術を利用したプロセス）または厚膜プロセス（スクリーン印刷等の印刷技術を利用したプロセス）で形成されている。各抵抗素子の抵抗値は、抵抗膜パターンの幅、長さおよび厚みによって定められる。
- [0041] 層間絶縁膜SR2の表面には配線膜T12が形成されている。また、この配線膜T12は、層間絶縁膜SR1、SR2に形成されたコンタクトホールを介して配線膜T11に接続されている。
- [0042] 層間絶縁膜SR2の表面には溶剤レジスト膜SR4が被覆されている。そして、この溶剤レジスト膜SR4の開口で且つ配線膜T12の表面には外部接続電極EEが形成されている。
- [0043] 前記強誘電体膜FS1は基板1および耐湿保護膜PC1に対する密着用・拡散防止用の絶縁膜である。また、強誘電体膜FS3は耐湿保護膜PC1に対する密着用の絶縁膜である。
- [0044] また、上記第1誘電体層31A、31B、第2誘電体層32A、32B、

強誘電体膜 F S 1, F S 3 に使用される薄膜材料としては、高誘電率を有する誘電体材料が使用される。具体的には、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ (BST)、 SrTiO_3 、 BaTiO_3 、 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 等のペロブスカイト化合物、 $\text{SrBi}_4\text{Ti}_4\text{O}_{15}$ 等のビスマス層状化合物等を使用することができる。

[0045] また、配線膜 T I 1, T I 2 は、 $\text{Ti}/\text{Cu}/\text{Ti}$ の三層からなり、Ti層は例えば $30\text{ nm} \sim 300\text{ nm}$ に形成され、Cu層は、例えば $500\text{ nm} \sim 1500\text{ nm}$ に形成される。

[0046] また、外部接続電極 E E は、 Au/Ni の二層からなり、第1層のNi層は、例えば $1000\text{ nm} \sim 3000\text{ nm}$ に形成され、第2層のAu層は例えば $100\text{ nm} \sim 300\text{ nm}$ に形成される。

[0047] 耐湿保護膜 P C 1 は有機保護膜 P C 2 から放出される水分がキャパシタ部に浸入するのを防止する。この耐湿保護膜 P C 1 としては、 SiN_x 、 SiO_2 、 Al_2O_3 、 TiO_2 等を使用することができる。また、有機保護膜 P C 2 は外部からの機械的応力を吸収する。この有機保護膜 P C 2 としては、PB0（ポリベンゾオキサゾール）樹脂、ポリイミド樹脂、エポキシ樹脂等を使用することができる。

[0048] 前記抵抗素子 9 の抵抗材料は例えば、NiとCrを主成分とする合金、あるいは、Ni, Cr およびSi を主成分とする合金である。

[0049] 図4（A）に表れる第1下部電極 2 1、第2下部電極 2 2 の構成、図4（B）に表れる第1上部電極 4 1、第2上部電極 4 2、第3上部電極 4 3、第4上部電極 4 4、図4（C）に表れる第1接続導体 6 1、第2接続導体 6 2 の基本的な構成は、第1の実施形態で図2に示した容量素子 1 0 1 B の構成と同じである。図4（C）において導体パターン 8 1～8 7 は、上部電極 4 1～4 4、抵抗素子 9 等に導通する。

[0050] 図4（A）（B）（C）において、下部電極 2 1, 2 2 の形成領域より右側の、基板 1 のスペースはESD（Electro-Static-Discharge）保護用のツェナーダイオード等の素子形成領域である。

[0051] なお、図4（C）に示すように、第1接続導体 6 1、第2接続導体 6 2 および導体パターン 8 1～8 7 を基板 1 のほぼ前面を覆うように形成すること

により、構造的・機械的な強度を高めている。また、平坦性を高めて、これらの導体の形成層の上層に形成される配線パターンの断線リスクも低減される。

[0052] 図3に示した可変容量素子102の製造方法は次のとおりである。

[0053] まず、Si基板に熱酸化処理を施し、膜厚700nmのSiO₂からなる酸化物層を形成する。この酸化物層の膜厚は所望の絶縁性を確保できるような膜厚であれば特に限定されるものではないが、好ましくは500nm～1000nmの範囲内に設定される。

[0054] 次に、化学溶液堆積（Chemical Solution Deposition；以下「CSD」という。）法により前記酸化物層上に膜厚50nmの密着用・拡散防止用の強誘電体膜FS1を形成する。この強誘電体膜FS1の膜厚は所望の密着性・拡散防止性が確保できるような膜厚であれば特に限定されるものではないが、好ましくは10nm～100nmの範囲内に設定される。

[0055] 強誘電体膜FS1として使用可能な材料の幾つかは上述のとおりであるが、誘電体層31A、31B、32A、32Bと同材料であることが好ましい。例えば、BST膜を形成する場合は、Ba、Sr、Tiが、モル比で例えばBa：Sr：Ti＝7：3：10に配合された成膜原料溶液を用意する。そして、この成膜原料溶液を基板1上に塗布し、400℃のホットプレート上で乾燥させ、600℃の温度で30分間、熱処理を行って結晶化させ、BST膜を形成する。

[0056] 前記ホットプレートの温度は所望の乾燥特性が得られれば特に限定されるものではないが、好ましくは300℃～400℃の範囲内に設定される。また、前記熱処理の温度は所望の結晶化がなされればよく、特に限定されるものではないが、好ましくは600～700℃の範囲内で設定される。また、前記熱処理の時間は所望の結晶化がなされればよく、特に限定されるものではないが、好ましくは10分間～60分間の範囲内で設定される。

[0057] 次に、下部電極21、22、誘電体層31A、31B、32A、32B、上部電極41、42、43、強誘電体膜FS3を順次成膜する。具体的には

、RFマグネトロンスパッタ法により膜厚250nmのPtやAuからなる下部電極21、22を形成し、次いで、CSD法によりBST等からなる膜厚100nmの誘電体層31A、31B、32A、32Bを形成し、その後、RFマグネトロンスパッタ法により膜厚250nmのPtやAuからなる上部電極41、42、43、44を形成する。さらに、CSD法によりBST等からなる膜厚100nmの強誘電体膜FS3を形成する。

[0058] 下部電極21、22、上部電極41、42、43、44の膜厚としては、所望の低抵抗性が確保できる膜厚であれば特に限定されるものではないが、好ましくは100nm～500nmの範囲内に設定される。また、誘電体層31A、31B、32A、32Bの膜厚は所望の静電容量を確保できるような膜厚であれば特に限定されるものではないが、好ましくは80nm～150nmの範囲内に設定される。また、強誘電体膜FS3の膜厚は所望の密着性が確保できるような膜厚であれば特に限定されるものではないが、好ましくは80nm～150nmの範囲内に設定される。

[0059] 次に、フォトリソグラフィ技術およびドライエッチング法（反応性イオンエッチング(RIE)法）により、キャパシタ部の各層のパターンニングを行う。すなわち、フォトレジストを塗布してプリベークした後、フォトマスクを介して紫外光をフォトレジストに照射し、露光、現像、ポストベークを行なってフォトマスクパターンをレジストパターンに転写する。次いで、ArガスやCHF₃ガスを用いて、露出部分をドライエッチングする。

[0060] そしてこの後、容量形成部C1～C4を800℃の温度で30分間熱処理する。この熱処理の温度は所望の熱処理特性が得られれば特に限定されるものではないが、好ましくは800℃～900℃の温度の範囲内に設定される。また、この熱処理の時間は所望の熱処理特性が得られれば特に限定されるものではないが、好ましくは10分間～60分間の範囲内で設定される。

[0061] 次に、容量形成部の上面および側面および強誘電体膜FS1の側面を覆うように、スパッタリング法により膜厚600nmの無機材料からなる耐湿保護膜PC1を形成し、次いで、スピコート法で感光性樹脂材料であるPB0（

ポリベンゾオキサゾール)膜を、前記耐湿保護膜PC1を覆うように塗布し、その後、125℃の温度で5分間加熱し、露光、現像処理を行った後、350℃で1時間程度加熱し、膜厚が6000nmの所定パターンの有機保護膜PC2を形成する。

[0062] 前記耐湿保護膜PC1の膜厚は、所望の耐湿保護性が確保できる膜厚であれば特に限定されるものではないが、好ましくは200nm~1000nmの範囲内に設定される。また、前記有機保護膜PC2の膜厚は、所望の機械的応力吸収性が確保できる膜厚であれば特に限定されるものではないが、好ましくは2000nm~10000nmの範囲内に設定される。

[0063] 次に、有機保護膜PC2をマスクとして利用し、CHF₃ガスを用い、有機保護膜PC2、耐湿保護膜PC1および誘電体層31A、31B、32A、32Bをドライエッチングしてパターン形成し、下部電極21、22に達するコンタクトホール(図示しない)を形成するとともに、有機保護膜PC2、耐湿保護膜PC1および誘電体層31A、31B、32A、32Bをドライエッチングしてパターン形成し、上部電極41~44に達するコンタクトホールを形成する。

[0064] 本実施形態では、誘電体層31A、31Bは連続していて、誘電体層32A、32Bは連続している。

[0065] 次に、配線膜T1となるべき3層の金属層をRFマグネトロンスパッタ法で成膜し、この配線膜T1をウェットエッチングによりパターンニングする。

[0066] 次に、層間絶縁膜SR1をスピコートし、可変容量素子部の抵抗素子9となるべき抵抗膜をスパッタリングや電子ビーム蒸着等の薄膜プロセス、またはペーストの塗布による厚膜プロセスにて成膜し、この抵抗膜をリフトオフ法によりパターンニングし抵抗素子9を形成する。

[0067] 次に、層間絶縁膜SR2をスピコートし、配線膜T1にまで達するコンタクトホールを形成する。

[0068] 次に、ソルダーレジスト膜SR4をスピコートし、所定位置を開口し、

電解めっきにより外部接続電極E Eを形成する。

[0069] なお、本発明は上記実施形態に限定されるものではない。例えば、上記実施形態で示した各層の膜厚、形成方法、形成条件等は単なる例示であって、薄膜キャパシタとして所期の機能を損なわない範囲で任意に変更可能である。

[0070] また、上記実施形態では、キャパシタ部が、一つの容量発生部を有する単層構造の場合について説明したが、二つ以上の容量発生部を有する多層構造の場合にも同様に適用できる。

[0071] 図6は可変容量素子102の回路図である。ポートP11とポートP12は高周波信号の入出力端子であり、ポートP13はグランド端子、ポートP14は印加電圧制御端子（チューニング用端子）である。可変容量素子102は容量形成部C1～C8、抵抗素子R11～R20を備えている。抵抗素子R11～R20はバイアス電圧経路であり、これらによりバイアス電圧が印加されるとともに、高周波成分がカットされる。容量形成部C1～C4の容量値はポートP13－P14間への印加電圧に応じて定まる。したがって、可変容量素子102のポートP11－P12間の容量値はポートP13－P14間への印加電圧に応じて定まる。ポートP13はグランド端子として用いられる。このポートP13とポートP11との間、ポートP13とポートP12との間にESD保護素子17A、17Bがそれぞれ設けられている。

[0072] 図7は可変容量素子102の三面図である。実装面には、高周波信号の入出力端子であるポートP11とポートP12、グランド端子であるポートP13、印加電圧制御端子であるポートP14に相当する端子電極が形成されている。なお、これら以外の端子電極はNC端子（空き端子）電極である。この可変容量素子102は、図3に示したように、ウエハーから分断したベアチップである。このICの外部接続電極（パッド）E Eに半田ボールS Bが形成されている。

[0073] なお、図3に示した例では、第1誘電体層31A、31Bは連続していて

、第2誘電体層32A、32Bも連続しているが、これらは独立して形成されていてもよい。

[0074] 《第3の実施形態》

第3の実施形態では、上記可変容量素子を備える通信回路について示す。

[0075] 図8は実装用再配線基板2に可変容量素子102を搭載した状態での断面図である。実装用再配線基板2の下面には実装用端子4が形成されていて、上面には可変容量素子102を搭載する電極が形成されている。そして、実装用再配線基板2の内部に再配線用電極3が形成されている。このように、実装用再配線基板2に可変容量素子102を搭載した状態のモジュールを回路配線板に実装する。

[0076] 図9は上記回路基板に形成された通信回路の回路図である。図9において、アンテナコイル13は、放射素子として機能するものであり、通信相手側コイルアンテナとの磁界結合によって、通信相手側アンテナと無線信号をやり取りする。このアンテナコイル13は、ループ状電極パターンを複数ターンまたは複数層巻回することによって形成されたものである。

[0077] キャパシタC21、C22はRFIC11とアンテナコイル13との結合度調整用の素子である。また、インダクタL11、L12およびキャパシタC11、C12、C20は送信フィルタを構成している。例えば通信回路がカードモードで動作する場合、RFIC11はパッシブ動作するので、RX端子への入力信号から電源電圧を生成するとともに受信信号を読み取り、送信時にはTX端子に接続されている回路（負荷）を負荷変調する。また、例えば通信回路がリーダライタモードで動作する場合には、RFIC11はアクティブ動作するので、送信時にRX端子を開放してTX端子から送信信号を送信し、受信時にはTX端子を開放してRX端子から受信信号を入力する。このように、通信回路は動作モードに応じて、RFIC11からアンテナコイル13側を見たインピーダンスが変化する。後に示すように、動作モードに応じてアンテナ回路の共振周波数が最適となるように、（RFIC11からアンテナコイル側を見たインピーダンスが整合するように、）可変容量

素子 102 が制御される。

[0078] 図9においては、ESD保護回路を含めて、図中に可変容量素子102を示している。アンテナコイル13の両端とグラウンドとの間にそれぞれESD保護素子17A, 17Bが接続される。

[0079] 例えば、アンテナコイル13は回路基板に形成され、RFIC11、キャパシタC11, C12, C20, C21, C22、インダクタL11, L12、および図8に示したモジュールが回路基板に実装される。

[0080] なお、可変容量素子は、アンテナコイルに単独で並列接続されていてもよいが、可変容量素子に対して直列にコンデンサが挿入されていてもよい。また、アンテナコイルに対して直列に接続されていてもよい。

[0081] また、本実施形態の通信回路は、RFIDのリーダライタに限定されるものではなく、RFIDタグとして構成されていてもよい。

[0082] 最後に、上述の実施形態の説明は、すべての点で例示であって、制限的なものではない。当業者にとって変形および変更が適宜可能である。本発明の範囲は、上述の実施形態ではなく、特許請求の範囲によって示される。さらに、本発明の範囲には、特許請求の範囲内と均等の範囲内での実施形態からの変更が含まれる。

符号の説明

[0083] C1…第1容量形成部

C2…第2容量形成部

C3…第3容量形成部

C4…第4容量形成部

C11, C12, C20, C21, C22…キャパシタ

EE…外部接続電極

FS1, FS3…強誘電体膜

L11, L12…インダクタ

PC1…耐湿保護膜

PC2…有機保護膜

R 1 1 ～ R 2 0 …抵抗素子

S B …半田ボール

S R 1 , S R 2 …層間絶縁膜

T I 1 , T I 2 …配線膜

1 …基板

2 …実装用再配線基板

3 …再配線用電極

4 …実装用端子

9 …抵抗素子

1 1 …R F I C

1 3 …アンテナコイル

1 7 A , 1 7 B …E S D 保護素子

2 1 …第 1 下部電極

2 2 …第 2 下部電極

3 1 , 3 1 A , 3 1 B …第 1 誘電体層

3 2 , 3 2 A , 3 2 B …第 2 誘電体層

4 1 …第 1 上部電極

4 2 …第 2 上部電極

4 3 …第 3 上部電極

4 4 …第 4 上部電極

5 1 …第 1 層間導体

5 2 …第 2 層間導体

5 3 …第 3 層間導体

5 4 …第 4 層間導体

6 0 …接続導体

6 1 …第 1 接続導体

6 2 …第 2 接続導体

7 1 …第 1 外部電極

7 2 …第 2 外部電極

8 1 ～ 8 7 …導体パターン

1 0 1 A, 1 0 1 B …容量素子

1 0 2 …可変容量素子

請求の範囲

- [請求項1] X－Y直交座標系においてX軸方向およびY軸方向に広がる面を有する基板と、
- 前記基板の前記面に設けられ、前記Y軸方向に隣接配置された、第1下部電極および第2下部電極と、
- 前記第1下部電極上に形成された第1誘電体層と、
- 前記第2下部電極上に形成された第2誘電体層と、
- 前記第1誘電体層上に形成され、前記X軸方向に隣接配置された、第1上部電極および第2上部電極と、
- 前記第2誘電体層上に形成され、前記X軸方向に隣接配置された、第3上部電極および第4上部電極と、
- 前記第1上部電極に接する第1層間導体と、
- 前記第2上部電極に接する第2層間導体と、
- 前記第3上部電極に接する第3層間導体と、
- 前記第4上部電極に接する第4層間導体と、
- 前記第2層間導体と前記第4層間導体とを接続する第1接続導体と、
- 、
- を有し、
- 前記第3上部電極は前記第1上部電極に対して前記Y軸方向に隣接配置され、前記第4上部電極は前記第2上部電極に対して前記Y軸方向に隣接配置され、前記第1接続導体は前記Y軸方向に延伸する、容量素子。
- [請求項2] 前記第1上部電極は前記第1層間導体の接する位置から外縁までの長さの最小値に対する最大値の比が2未満であり、
- 前記第2上部電極は前記第2層間導体の接する位置から外縁までの長さの最小値に対する最大値の比が2未満であり、
- 前記第3上部電極は前記第3層間導体の接する位置から外縁までの長さの最小値に対する最大値の比が2未満であり、

前記第4上部電極は前記第4層間導体の接する位置から外縁までの長さの最小値に対する最大値の比が2未満である、請求項1に記載の容量素子。

[請求項3] 前記第1上部電極、前記第2上部電極、前記第3上部電極、および前記第4上部電極は、それぞれの前記X軸方向の幅と前記Y軸方向の幅が実質的に等しい、請求項2に記載の容量素子。

[請求項4] 前記第1接続導体の電気抵抗値は、前記第1上部電極、前記第2上部電極、前記第3上部電極、前記第4上部電極、前記第1下部電極および第2下部電極の抵抗値より低い、請求項1から3のいずれかに記載の容量素子。

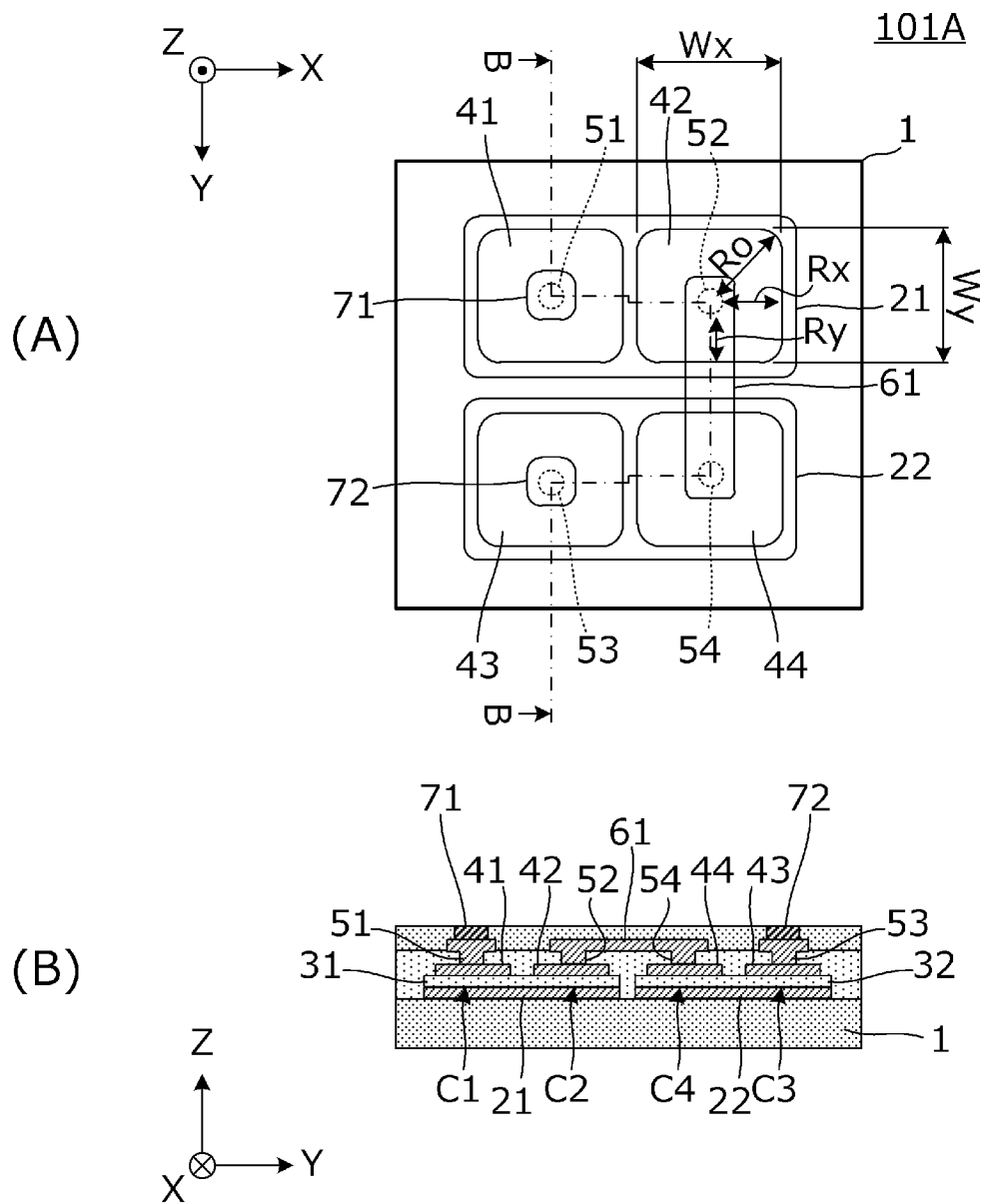
[請求項5] 前記第1下部電極、前記第1上部電極、前記第2上部電極、前記第1層間導体および前記第2層間導体の組と、前記第2下部電極、前記第3上部電極、前記第4上部電極、前記第3層間導体および前記第4層間導体の組は前記Y軸方向に交互に配置され、

前記第1接続導体とは前記X軸方向に隣接しない位置で、前記Y軸方向に延伸し、前記第3上部電極と当該第3上部電極に隣接する前記第1上部電極とを接続する第2接続導体を備える、請求項1から4のいずれかに記載の容量素子。

[請求項6] 前記第2接続導体の電気抵抗値は、前記第1上部電極、前記第2上部電極、前記第3上部電極、前記第4上部電極、前記第1下部電極および前記第2下部電極の抵抗値より低い、請求項5に記載の容量素子。

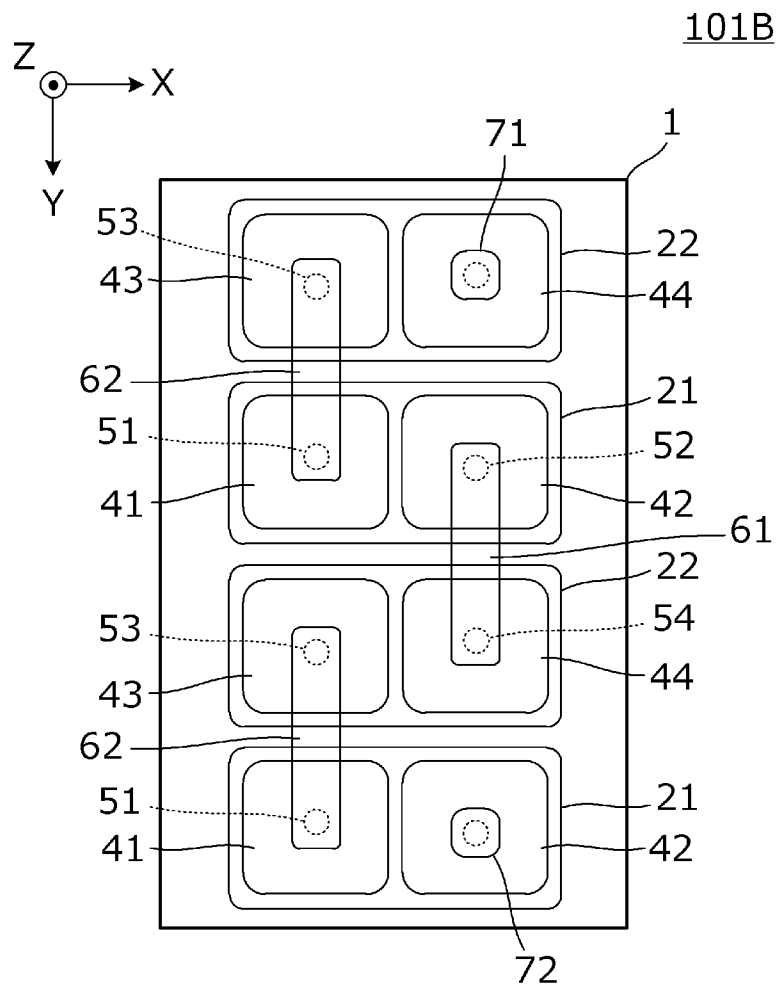
[請求項7] 前記第1誘電体層および前記第2誘電体層は強誘電体の層であり、
前記第1下部電極と前記第1上部電極との間、前記第1下部電極と前記第2上部電極との間、前記第2下部電極と前記第3上部電極との間、および前記第2下部電極と前記第4上部電極との間にそれぞれ印加するバイアス電圧経路を構成する抵抗素子を前記基板に備えた、請求項1から6のいずれかに記載の容量素子。

[図1]
fig.1



[図2]

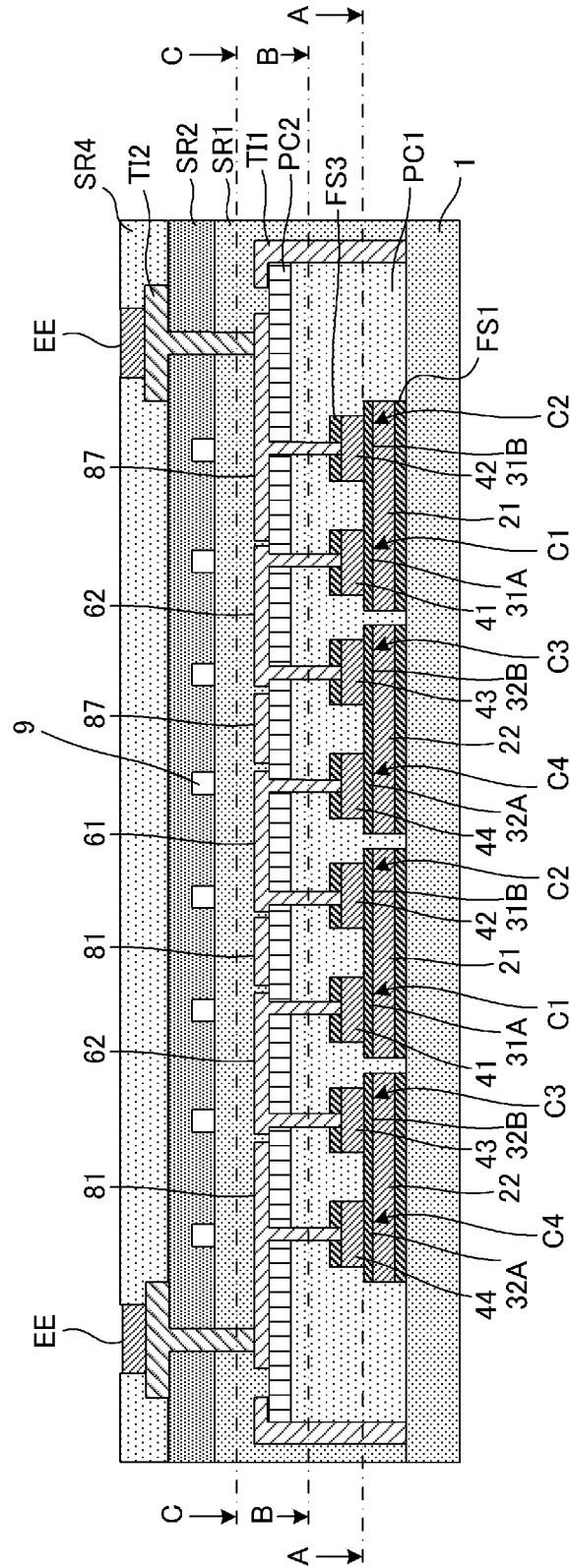
fig.2



[図3]

fig.3

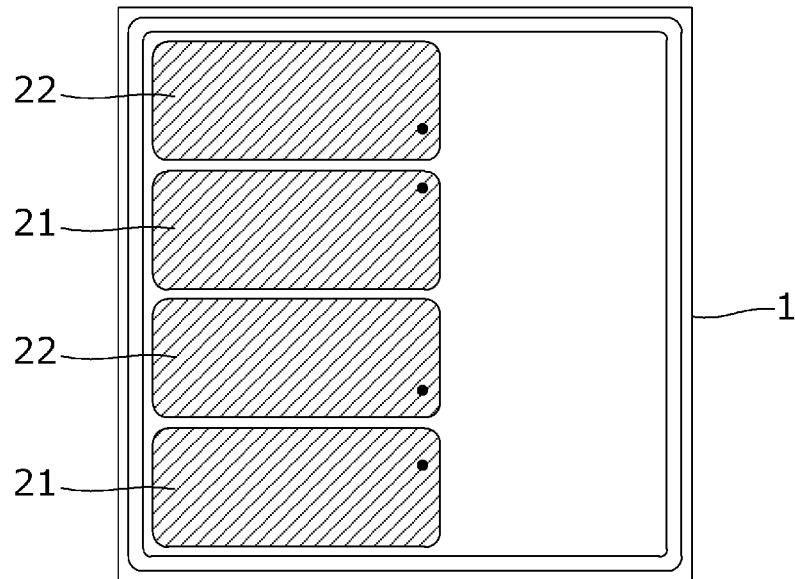
102



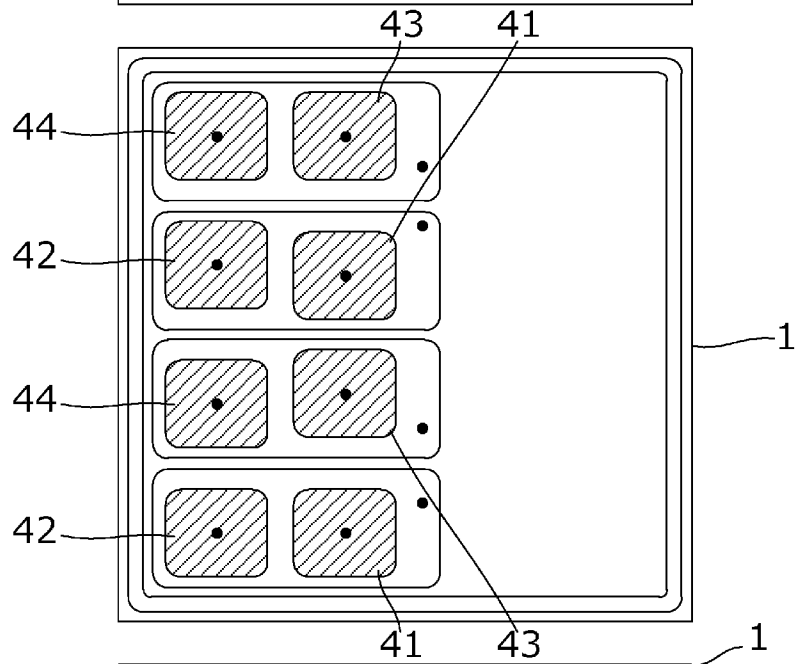
[図4]

fig. 4

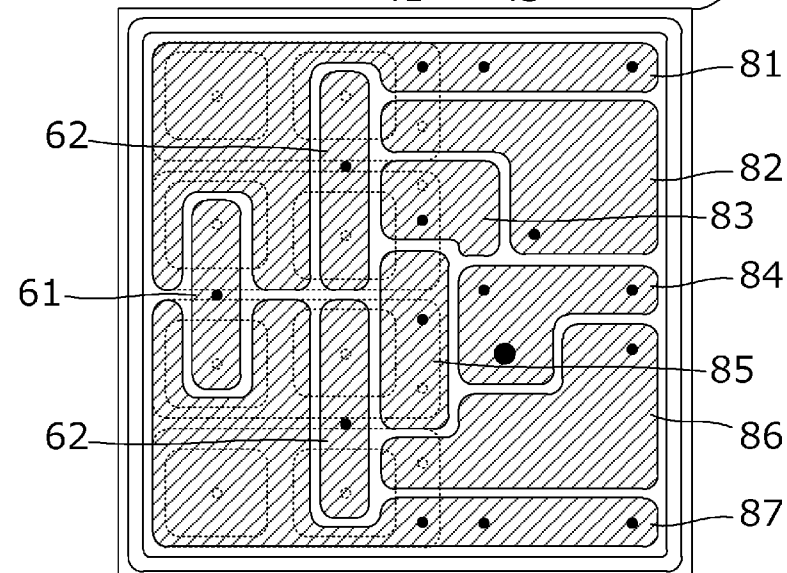
(A)



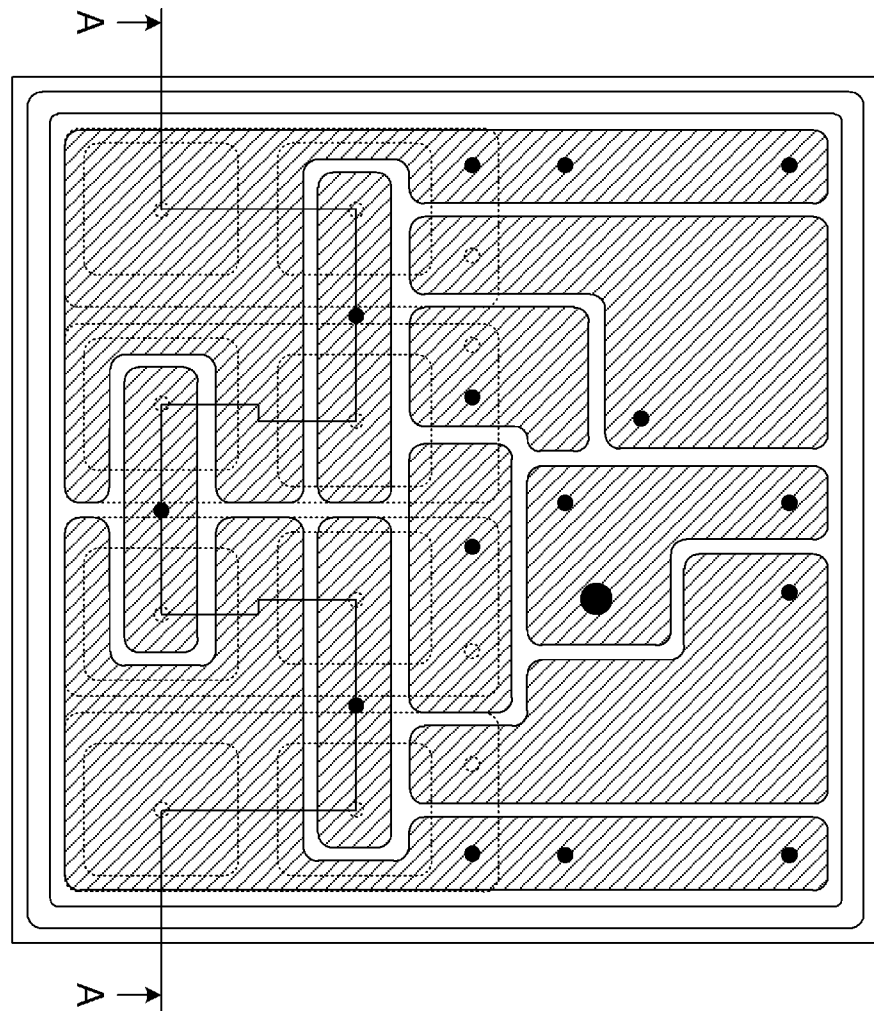
(B)



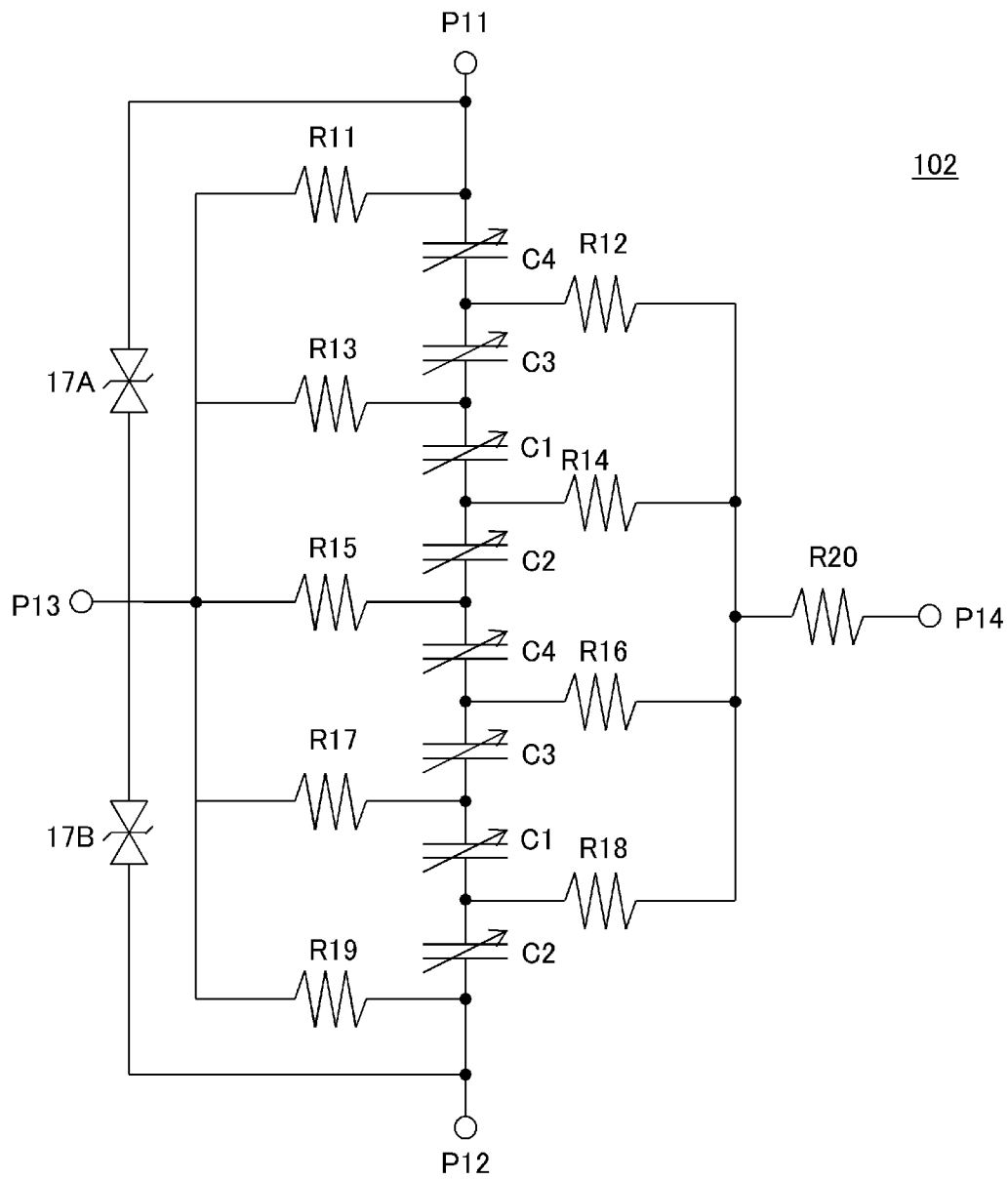
(C)



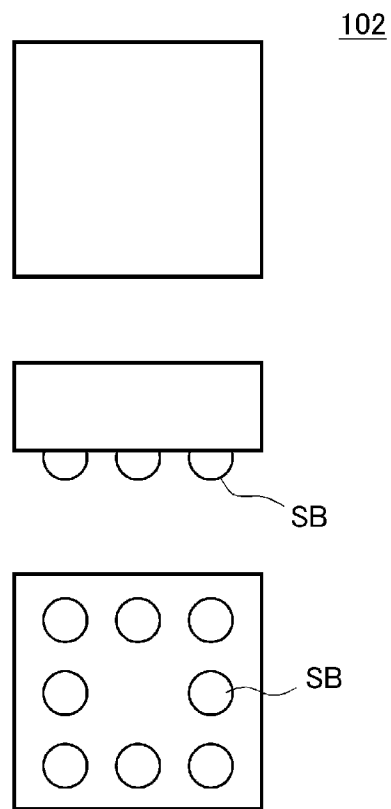
[図5]

fig.5

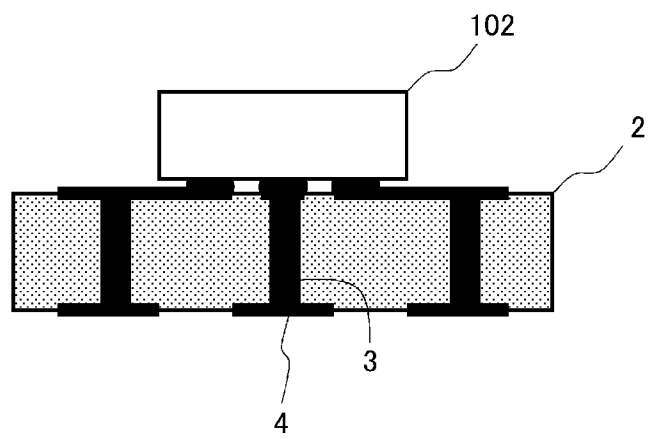
[図6]
fig.6



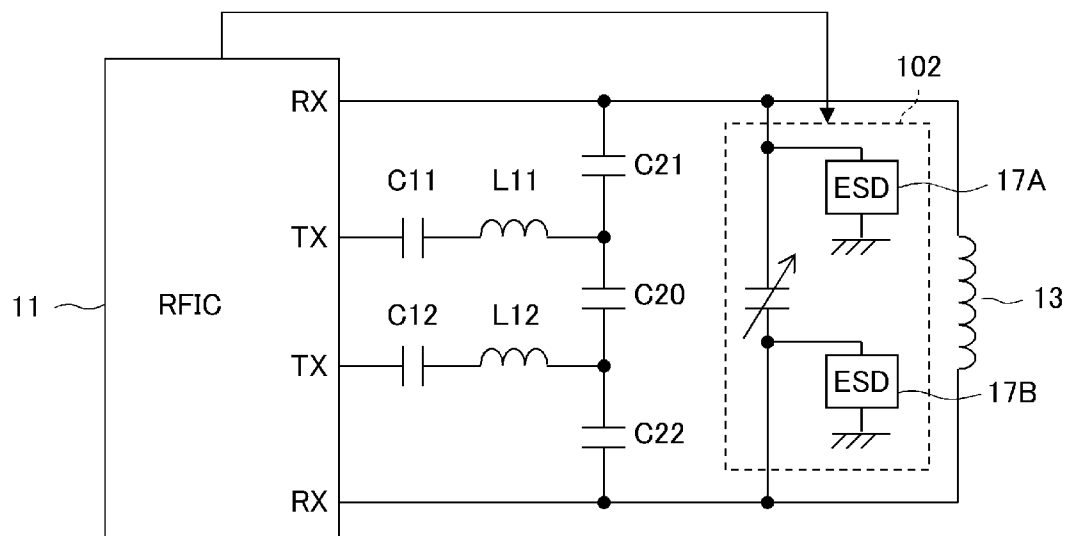
[図7]
fig.7



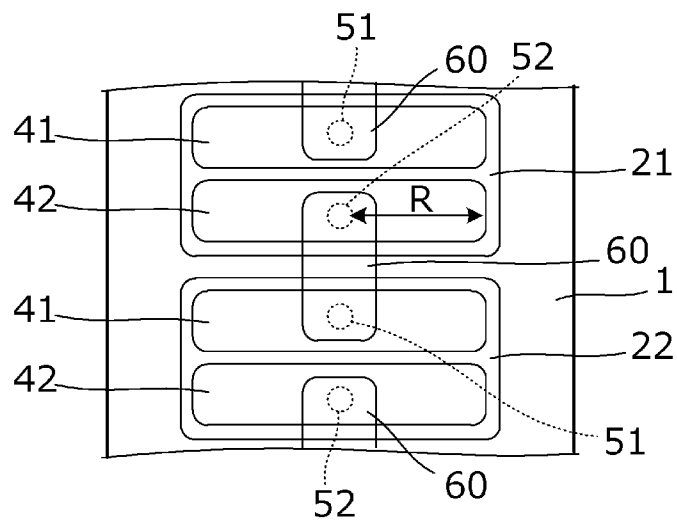
[図8]
fig.8



[図9]
fig.9



[図10]
fig.10



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/007011

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/822(2006.01)i, H01G4/12(2006.01)i, H01G4/33(2006.01)i, H01G4/40(2006.01)i, H01G7/06(2006.01)i, H01G15/00(2013.01)i, H01L27/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/822, H01G4/12, H01G4/33, H01G4/40, H01G7/06, H01G15/00, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 5-135999 A (Rohm Co., Ltd.), 01 June 1993 (01.06.1993), paragraphs [0012] to [0016]; fig. 1 to 3, 8 & US 5777839 A column 2, line 60 to column 3, line 40; fig. 1 to 3, 8	1-7
Y	WO 2013/183472 A1 (Murata Mfg. Co., Ltd.), 12 December 2013 (12.12.2013), paragraphs [0026] to [0083]; fig. 4 & JP 13-183472 A1 & CN 204442303 U	1-7
Y	JP 2007-335842 A (Casio Computer Co., Ltd.), 27 December 2007 (27.12.2007), fig. 1 & US 2007/0267659 A1 fig. 1	1-7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
27 April 2017 (27.04.17)

Date of mailing of the international search report
16 May 2017 (16.05.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/007011

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 5-235266 A (NEC IC Microcomputer Systems, Ltd.), 10 September 1993 (10.09.1993), fig. 1 to 3 (Family: none)	1-7

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/822(2006.01)i, H01G4/12(2006.01)i, H01G4/33(2006.01)i, H01G4/40(2006.01)i,
H01G7/06(2006.01)i, H01G15/00(2013.01)i, H01L27/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/822, H01G4/12, H01G4/33, H01G4/40, H01G7/06, H01G15/00, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 5-135999 A (ローム株式会社) 1993.06.01, 段落[0012]-[0016], 図1-3, 8 & US 5777839 A, 第2欄第60行-第3欄第40行, Fig.1-3, 8	1-7
Y	WO 2013/183472 A1 (株式会社村田製作所) 2013.12.12, 段落[0026]-[0083], 図4 & JP 13-183472 A1 & CN 204442303 U	1-7
Y	JP 2007-335842 A (カシオ計算機株式会社) 2007.12.27, 図1 & US 2007/0267659 A1, Fig.1	1-7

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

27.04.2017

国際調査報告の発送日

16.05.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

堀 拓也

電話番号 03-3581-1101 内線 3551

5 D

4 4 4 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 5-235266 A (日本電気アイシーマイコンシステム株式会社) 1993.09.10, 図 1-3 (ファミリーなし)	1-7