

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
【部門区分】第 7 部門第 3 区分  
【発行日】令和 5 年 8 月 1 日(2023.8.1)

【公開番号】特開 2022-22210(P2022-22210A)  
【公開日】令和 4 年 2 月 3 日(2022.2.3)  
【年通号数】公開公報(特許)2022-020  
【出願番号】特願 2021-168519(P2021-168519)  
【国際特許分類】

H 0 3 B 5/32(2006.01)

10

H 0 3 F 3/30(2006.01)

【F I】

H 0 3 B 5/32 Z

H 0 3 F 3/30

【手続補正書】

【提出日】令和 5 年 7 月 24 日(2023.7.24)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

20

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

電源端子と、接地端子と、振動子と、  
前記振動子の両端の間に直列に接続された第 1 及び第 2 の容量と、  
前記振動子と前記第 1 の容量に接続される入力端子と、  
前記第 1 の容量と前記第 2 の容量に接続される出力端子と、  
ソース端子が前記出力端子に接続され、ドレイン端子が、発振動作時に前記電源端子と  
接続され、発振停止時に前記電源端子と切り離され、ゲート端子が前記入力端子に接続さ  
れる第 1 の N 型トランジスタと、

30

ソース端子が前記出力端子に接続され、ドレイン端子が、発振動作時に前記接地端子と  
接続され、発振停止時に前記接地端子と切り離され、ゲート端子が前記入力端子に接続さ  
れる第 1 の P 型トランジスタと、

発振停止時に前記第 1 の N 型トランジスタのゲート端子を前記電源端子に接続し、発振  
動作時に前記第 1 の N 型トランジスタのゲート端子と前記電源端子とを切り離す第 2 の P  
型トランジスタと、

発振停止時に前記第 1 の P 型トランジスタのゲート端子を前記接地端子に接続し、発振  
動作時に前記第 1 の P 型トランジスタのゲート端子と前記接地端子とを切り離す第 2 の N  
型トランジスタを有する増幅回路  
を含む発振回路。

40

【請求項 2】

請求項 1 記載の発振回路において、

前記振動子は、ランガサイト型圧電単結晶の振動子であることを特徴とする発振回路。

【請求項 3】

請求項 1 または 2 記載の発振回路において、

前記増幅回路は、

前記第 1 の N 型トランジスタと、

前記第 1 の P 型トランジスタと、

発振停止時に Low となる第 1 のバイアスリセット信号がゲート端子に入力され、ドレ

50

イン端子が前記第 1 の N 型トランジスタのゲート端子に接続され、ソース端子が前記電源端子に接続された前記第 2 の P 型トランジスタと、

発振停止時に High となる第 2 のバイアスリセット信号がゲート端子に入力され、ドレイン端子が前記第 1 の P 型トランジスタのゲート端子に接続され、ソース端子が前記接地端子に接続された前記第 2 の N 型トランジスタと、

発振停止時に前記第 1 の N 型トランジスタのドレイン端子と前記電源端子とを切り離し、発振動作時に前記第 1 の N 型トランジスタのドレイン端子と前記電源端子とを接続する第 1 のスイッチと、

発振停止時に前記第 1 の P 型トランジスタのドレイン端子と前記接地端子とを切り離し、発振動作時に前記第 1 の P 型トランジスタのドレイン端子と前記接地端子とを接続する第 2 のスイッチとから構成されることを特徴とする発振回路。

10

【請求項 4】

請求項 1 乃至 3 のいずれか 1 項に記載の発振回路を備えたことを特徴とする電子機器。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

本発明の発振回路は、電源端子と、接地端子と、振動子と、前記振動子の両端の間に直列に接続された第 1 及び第 2 の容量と、前記振動子と前記第 1 の容量に接続される入力端子と、前記第 1 の容量と前記第 2 の容量に接続される出力端子と、ソース端子が前記出力端子に接続され、ドレイン端子が、発振動作時に前記電源端子と接続され、発振停止時に前記電源端子と切り離され、ゲート端子が前記入力端子に接続される第 1 の N 型トランジスタと、ソース端子が前記出力端子に接続され、ドレイン端子が、発振動作時に前記接地端子と接続され、発振停止時に前記接地端子と切り離され、ゲート端子が前記入力端子に接続される第 1 の P 型トランジスタと、発振停止時に前記第 1 の N 型トランジスタのゲート端子を前記電源端子に接続し、発振動作時に前記第 1 の N 型トランジスタのゲート端子と前記電源端子とを切り離す第 2 の P 型トランジスタと、発振停止時に前記第 1 の P 型トランジスタのゲート端子を前記接地端子に接続し、発振動作時に前記第 1 の P 型トランジスタのゲート端子と前記接地端子とを切り離す第 2 の N 型トランジスタを有する増幅回路を含むものである。

20

30

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

また、本発明の発振回路の 1 構成例において、前記振動子は、ランガサイト型圧電単結晶の振動子である。

40

また、本発明の発振回路の 1 構成例において、前記増幅回路は、前記第 1 の N 型トランジスタと、前記第 1 の P 型トランジスタと、発振停止時に Low となる第 1 のバイアスリセット信号がゲート端子に入力され、ドレイン端子が前記第 1 の N 型トランジスタのゲート端子に接続され、ソース端子が前記電源端子に接続された前記第 2 の P 型トランジスタと、発振停止時に High となる第 2 のバイアスリセット信号がゲート端子に入力され、ドレイン端子が前記第 1 の P 型トランジスタのゲート端子に接続され、ソース端子が前記接地端子に接続された前記第 2 の N 型トランジスタと、発振停止時に前記第 1 の N 型トランジスタのドレイン端子と前記電源端子とを切り離し、発振動作時に前記第 1 の N 型トランジスタのドレイン端子と前記電源端子とを接続する第 1 のスイッチと、発振停止時に前記第 1 の P 型トランジスタのドレイン端子と前記接地端子とを切り離し、発振動作時に前

50

記第 1 の P 型トランジスタのドレイン端子と前記接地端子とを接続する第 2 のスイッチとから構成されることを特徴とするものである。

また、本発明の電子機器は、上記の発振回路を備えたことを特徴とするものである。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正の内容】

【0012】

このコルピッツ発振回路を基に、増幅器を低消費電力化した本実施例の発振回路を図 2 10  
に示す。本実施例の発振回路は、振動子  $X_1$  と、振動子  $X_1$  に直列に接続された容量  $C_1$   
,  $C_2$  と、入力端子が振動子  $X_1$  と容量  $C_1$  との接続点に接続され、出力端子が容量  $C_1$   
と容量  $C_2$  との接続点に接続された増幅回路  $A_1$  とを備えている。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正の内容】

【0014】

NMOS トランジスタ  $M_1$  のゲート端子は、PMOS トランジスタ  $M_3$  の ON 時に電源 20  
電圧  $V_{dd}$  と接続され、容量  $C_1$  ,  $C_{cut1}$  を介して増幅回路  $A_1$  の出力電圧が帰還され  
るようになっている。PMOS トランジスタ  $M_2$  のゲート端子は、NMOS トランジスタ  
 $M_4$  の ON 時にグラウンドと接続され、容量  $C_1$  ,  $C_{cut2}$  を介して増幅回路  $A_1$  の出  
力電圧が帰還されるようになっている。

30

40

50