

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】令和5年8月1日(2023.8.1)

【公開番号】特開2022-22210(P2022-22210A)

【公開日】令和4年2月3日(2022.2.3)

【年通号数】公開公報(特許)2022-020

【出願番号】特願2021-168519(P2021-168519)

【国際特許分類】

H 03B 5/32(2006.01)

10

H 03F 3/30(2006.01)

【F I】

H 03B 5/32 Z

H 03F 3/30

【手続補正書】

【提出日】令和5年7月24日(2023.7.24)

【手続補正1】

【補正対象書類名】特許請求の範囲

20

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

電源端子と、接地端子と、振動子と、

前記振動子の両端の間に直列に接続された第1及び第2の容量と、

前記振動子と前記第1の容量に接続される入力端子と、

前記第1の容量と前記第2の容量に接続される出力端子と、

ソース端子が前記出力端子に接続され、ドレイン端子が、発振動作時に前記電源端子と接続され、発振停止時に前記電源端子と切り離され、ゲート端子が前記入力端子に接続される第1のN型トランジスタと、

30

ソース端子が前記出力端子に接続され、ドレイン端子が、発振動作時に前記接地端子と接続され、発振停止時に前記接地端子と切り離され、ゲート端子が前記入力端子に接続される第1のP型トランジスタと、

発振停止時に前記第1のN型トランジスタのゲート端子を前記電源端子に接続し、発振動作時に前記第1のN型トランジスタのゲート端子と前記電源端子とを切り離す第2のP型トランジスタと、

発振停止時に前記第1のP型トランジスタのゲート端子を前記接地端子に接続し、発振動作時に前記第1のP型トランジスタのゲート端子と前記接地端子とを切り離す第2のN型トランジスタを有する増幅回路

40

を含む発振回路。

【請求項2】

請求項1記載の発振回路において、

前記振動子は、ランガサイト型圧電単結晶の振動子であることを特徴とする発振回路。

【請求項3】

請求項1または2記載の発振回路において、

前記増幅回路は、

前記第1のN型トランジスタと、

前記第1のP型トランジスタと、

発振停止時にLOWとなる第1のバイアスリセット信号がゲート端子に入力され、ドレ

50

イン端子が前記第1のN型トランジスタのゲート端子に接続され、ソース端子が前記電源端子に接続された前記第2のP型トランジスタと、

発振停止時にH i g hとなる第2のバイアスリセット信号がゲート端子に入力され、ドレイン端子が前記第1のP型トランジスタのゲート端子に接続され、ソース端子が前記接地端子に接続された前記第2のN型トランジスタと、

発振停止時に前記第1のN型トランジスタのドレイン端子と前記電源端子とを切り離し、発振動作時に前記第1のN型トランジスタのドレイン端子と前記電源端子とを接続する第1のスイッチと、

発振停止時に前記第1のP型トランジスタのドレイン端子と前記接地端子とを切り離し、発振動作時に前記第1のP型トランジスタのドレイン端子と前記接地端子とを接続する第2のスイッチとから構成されることを特徴とする発振回路。10

【請求項4】

請求項1乃至3のいずれか1項に記載の発振回路を備えたことを特徴とする電子機器。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 7

【補正方法】変更

【補正の内容】

【0 0 0 7】

本発明の発振回路は、電源端子と、接地端子と、振動子と、前記振動子の両端の間に直列に接続された第1及び第2の容量と、前記振動子と前記第1の容量に接続される入力端子と、前記第1の容量と前記第2の容量に接続される出力端子と、ソース端子が前記出力端子に接続され、ドレイン端子が、発振動作時に前記電源端子と接続され、発振停止時に前記電源端子と切り離され、ゲート端子が前記入力端子に接続される第1のN型トランジスタと、ソース端子が前記出力端子に接続され、ドレイン端子が、発振動作時に前記接地端子と接続され、発振停止時に前記接地端子と切り離され、ゲート端子が前記入力端子に接続される第1のP型トランジスタと、発振停止時に前記第1のN型トランジスタのゲート端子を前記電源端子に接続し、発振動作時に前記第1のN型トランジスタのゲート端子と前記電源端子とを切り離す第2のP型トランジスタと、発振停止時に前記第1のP型トランジスタのゲート端子を前記接地端子に接続し、発振動作時に前記第1のP型トランジスタのゲート端子と前記接地端子とを切り離す第2のN型トランジスタを有する增幅回路を含むものである。20

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 8

【補正方法】変更

【補正の内容】

【0 0 0 8】

また、本発明の発振回路の1構成例において、前記振動子は、ランガサイト型圧電単結晶の振動子である。40

また、本発明の発振回路の1構成例において、前記増幅回路は、前記第1のN型トランジスタと、前記第1のP型トランジスタと、発振停止時にL o wとなる第1のバイアスリセット信号がゲート端子に入力され、ドレイン端子が前記第1のN型トランジスタのゲート端子に接続され、ソース端子が前記電源端子に接続された前記第2のP型トランジスタと、発振停止時にH i g hとなる第2のバイアスリセット信号がゲート端子に入力され、ドレイン端子が前記第1のP型トランジスタのゲート端子に接続され、ソース端子が前記接地端子に接続された前記第2のN型トランジスタと、発振停止時に前記第1のN型トランジスタのドレイン端子と前記電源端子とを切り離し、発振動作時に前記第1のN型トランジスタのドレイン端子と前記電源端子とを接続する第1のスイッチと、発振停止時に前記第1のP型トランジスタのドレイン端子と前記接地端子とを切り離し、発振動作時に前記第1のP型トランジスタのドレイン端子と前記接地端子とを接続する第2のスイッチと、50

記第1のP型トランジスタのドレイン端子と前記接地端子とを接続する第2のスイッチとから構成されることを特徴とするものである。

また、本発明の電子機器は、上記の発振回路を備えたことを特徴とするものである。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正の内容】

【0012】

このコルピツツ発振回路を基に、増幅器を低消費電力化した本実施例の発振回路を図2 10
に示す。本実施例の発振回路は、振動子X₁と、振動子X₁に直列に接続された容量C₁
, C₂と、入力端子が振動子X₁と容量C₁との接続点に接続され、出力端子が容量C₁
と容量C₂との接続点に接続された増幅回路A₁とを備えている。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正の内容】

【0014】

NMOSトランジスタM₁のゲート端子は、PMOSトランジスタM₃のON時に電源
電圧V_{dd}と接続され、容量C₁, C_{cut1}を介して増幅回路A₁の出力電圧が帰還され
るようになっている。PMOSトランジスタM₂のゲート端子は、NMOSトランジスタ
M₄のON時にグラウンドと接続され、容量C₁, C_{cut2}を介して増幅回路A₁の出
力電圧が帰還されるようになっている。 20