

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6938257号  
(P6938257)

(45) 発行日 令和3年9月22日(2021.9.22)

(24) 登録日 令和3年9月3日(2021.9.3)

(51) Int. Cl.	F I
HO 1 H 37/74 (2006.01)	HO 1 H 37/74 B
HO 1 L 31/10 (2006.01)	HO 1 L 31/10 G

請求項の数 6 (全 18 頁)

(21) 出願番号	特願2017-140416 (P2017-140416)	(73) 特許権者	504407000
(22) 出願日	平成29年7月20日 (2017.7.20)		パロ アルト リサーチ センター イン
(65) 公開番号	特開2018-18819 (P2018-18819A)		コーポレイテッド
(43) 公開日	平成30年2月1日 (2018.2.1)		アメリカ合衆国 カリフォルニア州 94
審査請求日	令和2年7月17日 (2020.7.17)		304 パロ アルト カイオーテ ヒル
(31) 優先権主張番号	15/220, 221		ロード 3333
(32) 優先日	平成28年7月26日 (2016.7.26)	(74) 代理人	100094569
(33) 優先権主張国・地域又は機関	米国 (US)		弁理士 田中 伸一郎
早期審査対象出願		(74) 代理人	100088694
			弁理士 弟子丸 健
		(74) 代理人	100067013
			弁理士 大塚 文昭
		(74) 代理人	100086771
			弁理士 西島 孝喜

最終頁に続く

(54) 【発明の名称】 刺激開始される自己破壊基板のためのセンサおよびヒータ

(57) 【特許請求の範囲】

【請求項 1】

応力加工された基板；  
前記応力加工された基板に熱的に接続されたヒータであって、ヒューズ部を含む前記ヒータ；

電源；および

トリガ回路であって：

トリガ刺激に曝されるとトリガ信号を生成するように構成されたセンサ；

前記トリガ信号によって起動されたときに前記電源を前記ヒータに電氣的に接続するように構成されたスイッチ

を含む、前記トリガ回路  
を含む、デバイスであって、

前記電源に所定時間電氣的に接続されると、前記ヒータの前記ヒューズ部は加熱されて破壊するように構成され、前記応力加工された基板は前記ヒューズ部が破壊した後の冷却フェーズの間に破碎するように構成されている、前記デバイス。

【請求項 2】

前記センサは、フォトダイオードであり、前記フォトダイオードは：

前記基板上に配設され、前記フォトダイオードの第1のリードを形成するために前記基板上に延びる第1の電極層；

前記第1の電極層上に配設された第1のドーブ層；

前記第 1 のドーブ層にわたって配設された第 2 の反対のドーブ層であって、前記第 1 および第 2 のドーブ層が、前記フォトダイオードの活性領域の少なくとも一部を形成するドーブ層；および

前記第 2 のドーブ層上に配設された第 2 の電極層であって、前記第 2 のドーブ層および前記第 2 の電極層が、前記フォトダイオードの第 2 のリードを形成するために前記基板上に延びる第 2 の電極層

を含む、請求項 1 に記載のデバイス。

【請求項 3】

前記第 1 および第 2 のリードは、前記フォトダイオードの前記活性領域を前記デバイスの周辺に電気的に接続し、1 つまたは複数の外部電子デバイスと通信する外部リードに接続されるように構成される、請求項 2 に記載のデバイス。

10

【請求項 4】

トリガ刺激への曝露にตอบสนองしてトリガ信号を生成する工程；

前記トリガ信号にตอบสนองして、電源を応力加工された基板と熱接触しているヒータに接続するスイッチを起動する工程であって、前記ヒータがヒューズ部を含む前記工程；

前記ヒータの前記ヒューズ部が、電源に所定時間接続された後に、加熱されて破壊する工程；および

前記応力加工された基板が、前記ヒータの前記ヒューズ部が破壊した後の冷却フェーズの間に破砕する工程

を含む方法。

20

【請求項 5】

前記トリガ刺激が、不正操作現象によって引き起こされる、請求項 4 に記載の方法。

【請求項 6】

前記トリガ刺激は、光である方法であって、前記光源を前記光に敏感なセンサに向ける工程をさらに含む、請求項 4 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、概して、自己破壊基板を含むデバイス、ならびに関連する方法およびシステムに関する。

30

【背景技術】

【0002】

制御されたトリガ可能な様式で物理的に自己破壊することができる電子システムは、セキュリティおよびサプライチェーン・インテグリティを維持するなどの様々な用途に有用である。

【発明の概要】

【課題を解決するための手段】

【0003】

いくつかの実施形態は、応力負荷された基板に熱的に接続されたヒータを有する応力負荷された基板を含む自己破壊デバイスに関する。このデバイスは、電源およびトリガ回路を含む。トリガ回路は、センサおよびスイッチを含む。センサは、トリガ刺激に曝されるとトリガ信号を生成するように構成される。スイッチは、トリガ信号によって起動されたときに電源をヒータに接続するように構成され、これにより、ヒータが応力負荷された基板の自己破壊を開始するのに十分な熱を発生させる。

40

【0004】

いくつかの実施形態によれば、方法は、トリガ刺激への曝露にตอบสนองしてトリガ信号を生成する工程を含む。電源は、トリガ信号にตอบสนองしてヒータに接続される。応力負荷された基板は、電源がヒータに接続された後に加熱され、応力負荷された基板の自己破壊を開始するのに十分な程度に応力負荷された基板に損傷を与える。

【0005】

50

いくつかの実施形態は、フォトダイオードを作製する方法に関する。第1の電極層が基板上に堆積される。活性領域の第1のドーブ層は、第1の電極層上に堆積される。真性層が第1のドーブ層上に堆積される。活性領域の第2のドーブ層は、真性層の上に堆積される。第2の電極層は、第2のドーブ層上に堆積される。第1の電極層、第1のドーブ層、真性層、第2のドーブ層および第2の電極層は、2つ以下のマスク工程でフォトダイオードを形成するようにパターンニングされる。

【図面の簡単な説明】

【0006】

【図1A】図1Aは、いくつかの実施形態による自己破壊デバイスの1つのバージョンを示す。

10

【図1B】図1Bは、いくつかの実施形態による自己破壊デバイスの1つのバージョンを示す。

【図1C】図1Cは、いくつかの実施形態による自己破壊デバイスの1つのバージョンを示す。

【図1D】図1Dは、いくつかの実施形態による応力加工された基板を含むデバイスの断面図を示す。

【図2】いくつかの実施形態による、図1Aおよび図1Bに示す自己破壊デバイスを使用する方法を示すフロー図である。

【図3A】図3Aは、いくつかの実施形態による応力加工された基板が製作される第1の方法を示す。

20

【図3B】図3Bは、いくつかの実施形態による応力加工された基板が製作される第1の方法を示す。

【図3C】図3Cは、いくつかの実施形態による応力加工された基板が製作される第1の方法を示す。

【図3D】図3Dは、いくつかの実施形態による応力加工された基板が製作される第1の方法を示す。

【図3E】図3Eは、いくつかの実施形態による応力加工された基板が製作される第1の方法を示す。

【図4A】図4Aは、いくつかの実施形態による応力加工された基板が製作される第2の方法を示す。

30

【図4B】図4Bは、いくつかの実施形態による応力加工された基板が製作される第2の方法を示す。

【図4C】図4Cは、いくつかの実施形態による応力加工された基板が製作される第2の方法を示す。

【図4D】図4Dは、いくつかの実施形態による応力加工された基板が製作される第2の方法を示す。

【図4E】図4Eは、いくつかの実施形態による応力加工された基板が製作される第2の方法を示す。

【図5A】図5Aは、いくつかの実施形態による応力加工された基板が製作される第3の方法を示す。

40

【図5B】図5Bは、いくつかの実施形態による応力加工された基板が製作される第3の方法を示す。

【図5C】図5Cは、いくつかの実施形態による応力加工された基板が製作される第3の方法を示す。

【図5D】図5Dは、いくつかの実施形態による応力加工された基板が製作される第3の方法を示す。

【図5E】図5Eは、いくつかの実施形態による応力加工された基板が製作される第3の方法を示す。

【図6】図6A、図6Bは、いくつかの実施形態による図1Aおよび図1Bに示される自己破壊デバイスのセンサとして使用されるp-i-nフォトダイオードの断面図である。

50

【図7A】図7Aは、いくつかの実施形態による、応力負荷された基板上に配設されたヒータおよびフォトダイオードの上面図を示す。

【図7B】図7Bは、いくつかの実施形態による、ヒータ、フォトダイオード、およびフォトダイオードリードの線B-B'を通る断面を示す。

【図8】図8は、いくつかの実施形態による、応力負荷された基板上に配設された異なる横断面積を有する、集積フォトダイオード800および2つのテストヒータを含むテスト構造の写真である。

【図9】図9は、光検出器が暗い所にある場合、明るい蛍光灯室内で周囲光に曝露される場合、近接して明るい携帯電話LEDフラッシュライトで照射される場合、典型的な5mW緑色レーザポイントで照射される場合の光電流応答を示す。

10

【図10】いくつかの実施形態による光検出器の製造プロセスを示すフロー図である。

【図11A】図11Aは、光検出器の製造プロセスを示す上面図を図示する。

【図11B】図11Bは、光検出器の製造プロセスを示す上面図を図示する。

【図12A】図12Aは、本明細書に開示された実施形態による自己破壊デバイスの回路図を提供する。

【図12B】図12Bは、本明細書に開示された実施形態による自己破壊デバイスの別の回路図を提供する。

【図13】図13は、図12の回路の様々な場所に配設され、自己破壊プロセスを監視する電気試験プローブの図を示す。

【図14】図14は、自己破壊プロセス中の様々な時間における対応するオシロスコープ信号(CH1、CH2、CH3)を示す。

20

【図15A】図15Aは、基板の光学的にトリガされた自己破壊を示す一連の時間経過写真である。

【図15B】図15Bは、基板の光学的にトリガされた自己破壊を示す一連の時間経過写真である。

【図15C】図15Cは、基板の光学的にトリガされた自己破壊を示す一連の時間経過写真である。

【図15D】図15Dは、基板の光学的にトリガされた自己破壊を示す一連の時間経過写真である。

【図16A】図16Aは、RF信号によってトリガされた基板のトリガされた自己破壊を示す一連の時間経過写真である。

30

【図16B】図16Bは、RF信号によってトリガされた基板のトリガされた自己破壊を示す一連の時間経過写真である。

【図16C】図16Cは、RF信号によってトリガされた基板のトリガされた自己破壊を示す一連の時間経過写真である。

【図16D】図16Dは、RF信号によってトリガされた基板のトリガされた自己破壊を示す一連の時間経過写真である。

【発明を実施するための形態】

【0007】

図は必ずしも正確な縮尺ではない。図で使用される同様の数字は、同様の構成要素を指す。しかしながら、所与の図においてある構成要素を指すためにある数字を使用することは、同じ数字で標識された別の図の構成要素を制限することを意図するものではないことが理解される。

40

【0008】

本明細書に開示された実施形態は、制御されたトリガ可能な様式で小片に破砕することによって自己破壊することができる電子デバイスに関する。本明細書で開示されるデバイスおよび方法は、政府のセキュリティおよびサプライチェーン・インテグリティなどの様々な用途において有用である。

【0009】

図1A、図1Bおよび図1Cは、トリガ刺激にตอบสนองして自己破壊するように構成された

50

3つのバージョンの自己破壊デバイス101、102、103を示す。自己破壊デバイス101、102、103は、抵抗ヒータ120を有する応力負荷された基板110を含む。ヒータ120は、応力負荷された基板110に熱的に接続されている。いくつかの実施形態では、ヒータは電流を流すことによって作動される抵抗導電膜である。他の実施形態では、ヒータは、高周波結合マイクロ波によって作動される。さらに別の実施形態では、ヒータは、強いレーザービームによって作動される光吸収体である。抵抗導電膜の実施形態では、ヒータは、温度が十分に高い値に達したときに破断する薄膜ヒューズとすることができる。

#### 【0010】

トリガ回路130は、トリガ刺激への曝露にตอบสนองしてヒータ120を電源140に接続させるように構成される。トリガ回路130は、センサ131およびスイッチ132を含む。センサ131は、トリガ刺激に曝されるとトリガ信号を生成する。トリガ信号による起動後、スイッチ132は、電源140をヒータ120に電氣的に接続する。ヒータ120は、電源140によって作動されると、応力負荷された基板110の自己破壊を開始させるのに十分な熱を発生する。応力負荷された基板110は、多くの部分に破砕することによって自己破壊するように加工される。いくつかの実施形態では、破砕動力学は基板110が粉末化によって自己破壊するように設計され、ここで破砕片は、大部分の粒子が約900 $\mu\text{m}$ 未満、約500 $\mu\text{m}$ 未満、またはさらには約100 $\mu\text{m}$ 未満の長さ、幅および高さ寸法を有するような小粒子である。

#### 【0011】

図1Aに示されるデバイス101の1つのバージョンでは、センサ131およびスイッチ132は、応力負荷された基板110上に配置される。図1Bに示すデバイス102の別の変形例では、スイッチ132は、応力負荷された基板110上に配置されていない。図1Cに示すデバイス103のさらに別のバージョンでは、センサ131もスイッチ132も、応力負荷された基板110上に配置されていない。場合により、自己破壊デバイス101、102、103のいずれかのバージョンにおいて、1つ以上の構成要素150、例えば電子構成要素が、応力負荷された基板110上に配置されてもよく、こうして応力負荷された基板110が自己破壊するときこの構成要素150も破壊される。いくつかの実施では、1つ以上の構成要素150は、暗号鍵を生成または格納する集積回路を含んでいてもよい。集積回路が破壊される場合、プロセッサまたは他のシステム構成要素はアクセス不能または非機能になる。

#### 【0012】

応力負荷された基板110を準備する際に使用されるプロセス、例えば化学テンパリングは、支持基板110の厚さ内に大きな応力勾配を与える。この蓄積された機械的エネルギーは、ヒータ付近の局所的な領域が加熱されて損傷すると急激に放出される。結果として生じる衝撃波は、基板110を破砕させる。

#### 【0013】

図1Aの線A-A'を通過して取られた図1Dの断面図に示されるように、応力負荷された基板110は、残留引張応力を有する少なくとも1つの引張応力層115および残留圧縮応力を有する少なくとも1つの圧縮応力層116を含むウェハ状構造であってもよい。引張応力層115および圧縮応力層116（本明細書において集合的に「応力加工層」と称する）は、残留引張応力および圧縮応力が自己平衡し、応力勾配を生成するように動作可能に一体的に共に接続され得る。以下でさらに詳細に説明するように、応力加工層116および115は、ガラステンパリング（例えば、熱または化学処理による方法）と同様の方法を用いて基板材料を後処理することによって、または堆積パラメータ（すなわち、温度、圧力、化学）を変化させて、層が組み込まれた相当な応力勾配を集合的に含むようにする蒸着技術（例えば化学蒸着技術）を用いて基板層を堆積させることによって、製作されてもよい。図1Dに示される応力加工層116および115の配置は、1つ以上の応力負荷されたおよび/または応力負荷されていない基板層が、2つの応力加工層の上および/または間に配設され得ることに限定されないことを意図していることに留意する。

## 【 0 0 1 4 】

図 2 は、図 1 A ~ 図 1 D に示す自己破壊デバイス 1 0 1、1 0 2、1 0 3 の使用方法を示すフロー図である。トリガ刺激に対するセンサの曝露にตอบสนองして、センサによってトリガ信号が生成される 2 1 0。トリガ信号は、電源をヒータに接続するためにスイッチを起動する制御信号である 2 2 0。ヒータは、応力負荷された基板をヒータの近くの局所的な領域で加熱する 2 3 0。加熱された領域は損傷を受け、次いで基板破砕を介して蓄積された機械的エネルギーの迅速な放出を開始する 2 4 0。いくつかの実施形態では、加熱段階の後の後続冷却により、応力負荷された基板に伝播する破砕を開始させ、応力負荷された基板を多くの部分に分解して自己破壊させる。

## 【 0 0 1 5 】

種々の方法を用いて、応力負荷された基板 1 1 0 を生成してもよい。1 つの例のアプローチは、薄膜スパッタ堆積を含む。薄膜スパッタ堆積では、一般に 2 つの異なる領域が識別されることができ、非常に異なる膜のモルホロジーおよび特徴をもたらし、圧縮応力または引張応力のいずれかを生じる。金属は、機能（例えば、電気的特性）、その構造的性質（例えば、延性）、および導電性スパッタターゲットが単純で高収率のグロー放電 DC マグネトロンスパッタリングプロセスを可能にするという事実のために使用されることが多い。しかしながら、応力加工された金属酸化物およびガラス（酸化ケイ素）も同様にスパッタリングすることができる。これらの絶縁膜または半導体膜は、高周波（RF）スパッタリングまたは混合不活性 / 反応性ガスプラズマ（例えば、アルゴン / 酸素）中の反応性スパッタリングのいずれかによってスパッタ堆積させることができる。

## 【 0 0 1 6 】

小さなフラグメンテーション粒子を生じる応力負荷された基板の信頼できる粉末化を達成するために、応力負荷された支持基板を生成する方法は、応力加工された薄膜製作技術をイオン交換テンパリングと適合させて、基板、例えばガラス（ $\text{SiO}_2$ ）基板中に応力プロファイルを生成する工程を含む。

## 【 0 0 1 7 】

図 3 A ~ 図 3 E は、プラズマ蒸着（PVD）技術を用いて完全に生成されたパターンニングされた  $\text{SiO}_2$  応力負荷された支持基板によって応力負荷された支持基板 3 1 0 A が構築される第 1 の方法を示す。この方法は、応力負荷された支持基板に生成される特定の応力プロファイルを高度に制御し、応力負荷された支持基板の厚さ寸法を通してガラス配合およびモルホロジーを連続的に制御する。ウェハ 3 0 0（例えば、シリコンまたは他の材料）は、剥離層 3 1 0（最も可能性が高いのは金属）でコーティングされる。次いで図 3 B において、マスク 3 2 0 が開口部 3 2 2 を画定するように、厚いリフトオフマスク 3 2 0 が剥離層 3 1 0 上にパターンニングされる。ウェハ 3 0 0、剥離層 3 1 0、およびマスク 3 2 0 は、犠牲構造を形成することに留意する。次に、図 3 C および図 3 D を参照して、PVD 処理を用いて開口部 3 2 2 内に応力加工層 3 1 0 A - 1 および 3 1 0 A - 2 を形成し、例えばプロセスパラメータ（例えば、異なる温度 T 1 および T 2 および / または圧力 P 1 および P 2 を使用して）を変更することによって、堆積した基板材料 3 3 0 - 1 および 3 3 0 - 2 中に応力を配置する。最後に、図 3 E に示すように、次にマスクを持ち上げ、応力負荷された基板 3 1 0 A - 1 を、剥離層をアンダーエッチングすることによって残りの犠牲構造から個片化する（取り除く）。

## 【 0 0 1 8 】

図 4 A ~ 図 4 E は、PVD 技術を用いて、薄いガラスコア上にパターンニングされた  $\text{SiO}_2$  によって応力負荷された支持基板 4 1 0 B を構築する第 2 の方法を示す。この方法は、応力負荷された支持基板内に生成された特定の応力プロファイルを高度に制御する。図 4 A を参照すると、プロセスは、 $25 \mu\text{m} \sim 100 \mu\text{m}$  の範囲内の厚さ T 0 を有する実質的に応力負荷されていないガラスコア基板 4 1 0 B - 0 を使用して開始する。適切なガラスコア基板は現在、Schott North America, Inc. (Elmsford, New York, USA) によって製造されている。図 4 B ~ 図 4 E を参照して、次いで  $\text{SiO}_2$  は、上述の方法と同様の方法を使用して、PVD を介してコア基板 4

10

20

30

40

50

10 B - 0の側面に交互堆積される。具体的には、図4 Bは、コア基板4 1 0 B - 0上に応力加工層4 1 0 B - 1 1を形成する様式での材料4 3 0 - 1の堆積を示す。図4 Cは、コア基板4 1 0 B - 0の反対側に応力加工層4 1 0 B - 2 1を形成する様式での材料4 3 0 - 2の堆積を示す。図4 Dは、コア層4 1 0 B - 1 1上に応力加工層4 1 0 B - 1 2を形成する様式での材料4 3 0 - 1の後続堆積を示し、図4 Eは、応力加工層4 1 0 B - 2 2層4 1 0 B - 2 1を形成する様式で材料4 3 0 - 2の堆積を示す。図4 Eは、応力加工層4 1 0 B - 1 1、4 1 0 B - 2 1および4 1 0 B - 2 2がその上に形成されたコア基板(中央の実質的に応力のない層)4 1 0 B - 0を含む完成した応力負荷された支持基板4 1 0 Bを示す。

【0019】

図5 A ~ 図5 Eは、コア基板をイオン交換テンパリング処理、化学処理および熱処理の1つに供することにより応力負荷された基板5 1 0 Cを製造する第3の方法を示す。具体的には、熔融塩イオン交換によりコア基板に種々の応力プロファイルを導入するイオン交換テンパリング処理の一例を図5 Aから図5 Eに示す。図5 Aは、熔融塩溶液5 5 5を収容する槽5 5 0上のコア基板5 1 0 C - 0を示す。図5 Bは熔融塩溶液5 5 5に浸漬された直後のコア基板5 1 0 C - 0を示し、図5 Cは熔融塩溶液5 5 5に浸漬された第1の時間後のコア基板5 1 0 C - 0を示し、ここで第1の応力加工層5 1 0 C - 1が形成され、図5 Dは、第1の応力加工層5 1 0 C - 1上に第2の応力加工層5 1 0 C - 2が形成された熔融塩溶液5 5 5中の第2の浸漬時間後の構造を示す。図5 Eは、中央コア基板5 1 0 C - 0および応力加工層5 1 0 C - 1および5 1 0 C - 2を含む完成した応力負荷された支持基板5 1 0 Cを示す。

【0020】

第4の方法によれば、上記の第2および第3の方法のハイブリッドが用いられ、ここでダイシングされた薄いガラスコア基板はイオン交換テンパリングされ、その後、 $SiO_2$ の多層がテンパリングされた基板の上に堆積され、誘導応力をさらに増大させる。

【0021】

様々な実施形態において図1 Aから図1 Dを再び参照すると、センサ1 3 1は、電磁放射線(例えば、高周波数(RF)放射線、赤外線(IR放射)、可視光、紫外(UV)放射線、X線放射線など)、振動、化学薬品、蒸気、ガス、音、温度、時間、湿気、環境条件などの種々のトリガ刺激を感知するように構成されてもよい。トリガ刺激が可視光である実施形態では、センサは、太陽光または室内光などの広帯域光または緑色、赤色、または青色可視光などの狭帯域光への曝露に反応してトリガ信号を生成するように構成されてもよい。例えば、緑色光、赤色光、または青色光は、レーザによって生成されてもよい。

【0022】

いくつかの実施形態では、センサ1 3 1は、不正操作事象を検出するように構成される。例えば、不正操作事象は、デバイスがパッケージカバーの除去に使用される化学薬品に曝された場合、デバイスが閾値振動を超えて振動した場合、および/または発生するX線でスヌーピングする場合に検出され得る。

【0023】

いくつかの実施形態では、センサ1 3 1は時計からの時間を感知する。タイマがオフになると、スイッチをトリガする電流または電圧トリガ信号が生成される。

【0024】

多くの実施形態では、センサ1 3 1はフォトダイオード、例えばpn接合ダイオードまたはp-i-nダイオードであり、トリガ信号は可視光または他の電磁放射線に反応してフォトダイオードによって生成される光電流である。図6 Aは、いくつかの実施形態による図1 A ~ 図1 Dに示される自己破壊デバイス1 0 1、1 0 2、1 0 3のセンサ1 3 1として使用され得るp-i-nフォトダイオードセンサ6 0 0の断面図であり、図6 Bは、いくつかの実施形態による図1 A ~ 図1 Dに示される自己破壊デバイス1 0 1、1 0 2、1 0 3のセンサ1 3 1として使用され得るp-i-nフォトダイオードセンサ6 0 0の上面図である。

10

20

30

40

50

## 【 0 0 2 5 】

フォトダイオード 6 0 0 は、応力負荷された基板 6 1 0 の上に配設された第 1 の電極層 6 2 0 を含む。第 1 の電極層 6 2 0 は、フォトダイオード 6 0 0 の第 1 のリード 1 3 3 を形成するために基板 6 1 0 上に延びる。第 1 のドーブ層 6 3 0、例えば、 $n$ ドーブされた非晶質シリコン層は、第 1 の電極層 6 2 0 の上に配設される。真性層 6 4 0、例えば、ドーブされていない非晶質シリコン層が、第 1 のドーブ層 6 3 0 と、反対にドーブされた第 2 のドーブ層 6 5 0、例えば  $p$ ドーブ非晶質シリコン層との間に配設される。第 1 のドーブ層 6 3 0、真性層 6 4 0、および第 2 のドーブ層 6 5 0 は、 $p-i-n$  ダイオード 6 0 0 の活性領域 6 7 0 を形成する。

## 【 0 0 2 6 】

第 2 の電極層 6 6 0 は、第 2 のドーブ層 6 5 0 の上に配設される。

第 2 の電極層 6 6 0 は、フォトダイオード 6 0 0 をオンにする刺激光を実質的に透過することができる。例えば、第 2 の電極層 6 6 0 は、刺激光の波長で 5 0 % より大きい光透過率を有することができる。第 2 の電極層 6 6 0 に適した材料は、伝導性酸化物、例えばインジウムスズ酸化物 (ITO)、導電性ポリマー、金属グリッド、カーボンナノチューブ (CNT)、グラフェン、ワイヤメッシュ、金属薄膜および/または必要な光学透過率を有する他の伝導体を含む。デバイス 6 0 0 は、活性領域に到達する光の波長の帯域を狭める光学フィルタを含んでいてもよい。例えば、いくつかの実施形態では、適切な厚さを有する第 2 の電極層、例えば ITO 層は、所望のトリガ刺激の波長帯域の外側にある光の波長を実質的に減衰させ、所望のトリガ刺激の波長帯域内にある光の波長を実質的に通過させる光学フィルタを提供する。

## 【 0 0 2 7 】

第 2 の電極層 6 6 0、第 2 のドーブ層 6 5 0、および真性層 6 4 0 は、基板 6 1 0 の上に延び、フォトダイオード 6 0 0 の第 2 のリード 1 3 4 を形成する。いくつかの実施形態では、 $n$ ドーブ層は  $n$ ドーブ非晶質シリコン ( $a-Si$ ) を含み、 $p$ ドーブ層は  $p$ ドーブ  $a-Si$  を含み、および/または真性層は真性  $a-Si$  を含む。図 6 の例は、 $p-i-n$  ダイオードを示しているが、いくつかの実施形態では、真性層を有さない  $pn$  接合によってフォトダイオードを形成してもよいことが理解される。

## 【 0 0 2 8 】

いくつかの実施形態では、 $p-i-n$  光検出器の真性層 6 4 0 は、プラズマ強化化学蒸着 (PECVD) によって堆積された 6 0 0 nm 厚の真性  $a-Si$  である。 $n$  層 6 3 0 は、PECVD によって堆積された 1 2 0 nm 厚のリンドーブ  $a-Si$  であり、 $p$  層 6 5 0 は、PECVD によって堆積された 2 0 nm 厚のホウ素ドーブ  $a-Si$  である。この上面の  $p$  層 6 5 0 は、検出される光の光吸収を最小にするために非常に薄く設計されている。 $n$  電極 6 2 0 は、スパッタリングにより堆積された 2 0 0 nm 厚の  $MoCr$  合金であり、 $p$  電極 6 6 0 は、検出される光の波長を透過させるのに最適な光学的厚さで設計された 5 5 nm 厚のインジウムスズ酸化物 (ITO) である。

## 【 0 0 2 9 】

再び図 1 A および図 6 を参照すると、いくつかの実施形態では、第 1 のリード 1 3 3 および第 2 のリード 1 3 2 は、フォトダイオード 6 0 0 の活性領域をスイッチ 1 3 2、電源 1 4 0 および/またはヒータ 1 2 0 に電氣的に接続し、センサ 1 3 1、6 0 0 およびスイッチ 1 3 2 は、応力負荷された基板 1 1 0 の表面上に配設される。

## 【 0 0 3 0 】

いくつかの実施形態では、第 1 のリード 1 3 3 および第 2 のリード 1 3 2 は、図 1 B に示すように、フォトダイオード 6 0 0 の活性領域をデバイスの周辺に電氣的に接続する。例えば、リード 1 3 3、1 3 4 は、基板 1 1 0 上に配設されていない 1 つ以上の外部に位置する電子デバイス、例えば、電源 1 4 0 およびスイッチ 1 3 2 と通信する外部ワイヤ 1 3 6 に接続されるように構成されてもよい。いくつかの実施形態では、第 1 の電極層 6 2 0 (第 1 のリード 1 3 3) およびヒータ 1 2 0 は、同じ材料で作られる。

## 【 0 0 3 1 】

10

20

30

40

50

バリア層などの接着促進表面 615 は、基板 610 と、フォトダイオード 600 の第 1 の電極層 620 および / または真性層 640 ならびに / あるいはヒータとの間に任意に配設されてもよい。一実施形態では、バリア層は、応力加工された基板のイオンリッチな表面への膜接着を高める 300 nm 厚の PECVD 堆積  $\text{SiO}_2$  バリア層を含む。図 6A に示される真性層 640 (真性 a-Si) は、応力加工された基板 610 に十分に接着できず、この状況では、真性層が堆積される前にバリア層 615 が応力負荷される基板上に堆積されない場合は、膜のスタックにクラックが生じ得る。バリア層 615 がなければ、イオン交換された応力加工されたガラス基板は、ガラス 610 と光検出器層 620、640 との間の界面にバプリングを引き起こす可能性がある。バリア層 615 に適した材料は、二酸化ケイ素 ( $\text{SiO}_2$ )、窒化ケイ素 ( $\text{SiN}$ )、および酸窒化ケイ素 ( $\text{SiON}$ ) の 1 つ以上を含む。バリア層 615 は、例えば、300 nm を超える、500 nm を超えるまたは 200 nm ~ 700 nm の厚さを有していてもよい。

10

**【0032】**

図 1A および図 1B に示されるヒータ 120 は、所定の温度で破壊するように構成されたヒューズ部を含んでいてもよい。図 7A は、いくつかの実施形態による、応力負荷された基板 710 上に配設されたヒータ 720 およびフォトダイオード 600 の上面図を示す。図 7B は、ヒータ 720、フォトダイオード 600、およびフォトダイオードリード 133、134 の線 B-B' を通る断面を示す。

**【0033】**

ヒータ 720 は、ヒューズ部 721 と、ヒューズ部 721 の端部に接続されたヒータリード 722 とを含む。ヒューズ部 721 は、ヒューズとして動作する抵抗膜である。ヒューズ部 721 は所定の温度に加熱される場合に破断 (溶断) するように設計されており、これはヒータ 720 が電源に所定時間接続された後に生じる。

20

**【0034】**

薄膜ヒータ 720 は、様々な材料から製作できる。可能な材料としては、MoCr、Cu および Mg が挙げられる。ヒータ 720 が起動されると、ヒューズ部 721 は、ヒータ材料が破断 (溶断) するまで温度が上昇する。次いで、基板 710 は、ヒータが溶断した後の冷却サイクルの間に崩壊する。ヒータ 720 の膜厚は、ヒータ 720 が溶断前に十分な時間にわたって供給電力に耐えるのに十分な厚さでなければならない。ヒータが早期に溶断すると、自己破壊プロセスをトリガするために温度が適切に上がらない。従って、ヒータ材料、インピーダンス値、および膜厚の選択を考慮する必要がある。

30

**【0035】**

線 C-C' に沿ったヒューズ部 721 の横断面積、線 B-B' に沿ったヒューズ部 721 の長さ、および / またはヒューズ部に使用される材料は、ヒューズ部 721 の抵抗に寄与する。いくつかの実施形態では、ヒューズ部 721 の横断面積、長さ、および / または材料の 1 つ以上が、所望の、例えば最大の電力が電源によってヒューズ部 721 に供給されるように選択される。例えば、最大電力は、ヒューズ部 721 のインピーダンスが電源の内部抵抗と実質的に等しい場合、ヒューズ部 721 に供給され得る。インピーダンスマッチングは、トリガ回路スイッチが起動される場合に、ヒータ 720 への電力の効率的な伝達を保證する。

40

**【0036】**

図 8 は、集積フォトダイオード 800 と、応力負荷された基板 810 上に配設された異なる横断面積を有する 2 つのテストヒータ 821、822 とを含むテスト構造の写真である。様々な実施形態において、ヒータは、Mg、MoCr、または Cu を含む。いくつかの実施形態では、ヒータは、2.8  $\mu\text{m}$  厚の Mg 膜であり、長さ 3 mm  $\times$  幅 500  $\mu\text{m}$  のストリップにパターニングされている。ヒータ材料として MoCr を利用する実施では、ヒータはフォトダイオードの n コンタクト電極と同時に製作でき、1 つのマスキングおよび 1 つの堆積工程を省くことができる。Cu ヒータを使用する実施では、約 1.7  $\mu\text{m}$  の膜厚は、Mg ヒータと非常に類似のインピーダンスおよびヒューズ特徴を生じる。

**【0037】**

50

いくつかの実施形態では、所望のトリガ信号は、プレゼンテーションを行うために典型的に使用される低電力の従来のハンドヘルドレーザポインタからの光である。典型的な波長は、532 nm（緑色）または650 nm（赤色）のいずれかである。自己破壊シーケンスは、離れた場所から光検出器600上にレーザポインタを向けることによって起動される。光検出器600は大きな動的応答を有するように設計されてもよく、自己破壊光トリガ刺激が検出されたときに電子スイッチを確実にトリガさせるが、通常の周囲光に曝露したときはトリガさせない。この性能特徴は、層の厚さと活性領域面積との適切な組み合わせを選択することによって達成される。

#### 【0038】

活性領域の面積は、容易に見ることができ、例えば、15フィートまでの距離からレーザポインタで目標にすることができるよう十分に大きくなければならない。しかしながら、面積が大きすぎると、周囲光によって引き起こされる光電流が非常に大きくなり、自己破壊プロセスがトリガされる可能性がある。いくつかの実施形態では、光検出器は、表1に示すiおよびpのa-Si層の厚さの選択肢と組み合わせで3 mm × 3 mmの活性領域サイズを有することができ、イオン交換されたガラス応力負荷基板上に配設された活性領域に集積された薄膜光検出器の例示的な構造を提供する。

#### 【0039】

##### 【表1】

表1

厚さ	層	材料／プロセス
550 Å	p電極	緑色光のために調整されたITO／スパッタリング
200 Å	pドープa-Si	ホウ素ドープ／PECVD
6000 Å	真性a-Si	／PECVD
1200 Å	nドープa-Si	リンドープ／PECVD
2000 Å	n電極	MoCr／スパッタリング
3000 Å	バリア	酸化物／PECVD
イオン交換ガラス応力負荷基板		

#### 【0040】

図9は、3 mm × 3 mmの光検出器が暗い所にある場合、明るい蛍光灯室内で周囲光に曝露される場合、近接して明るい携帯電話LEDフラッシュライトで照射される場合、および典型的な5 mW緑色レーザポインタで照射される場合の光電流応答を示す。周囲光とトリガ光との間の光電流応答のコントラストは2桁を超えるので、本明細書に開示されたデバイスアーキテクチャは、自己破壊スイッチがいつトリガされるかを決定する閾値光電流を選択するための広い設計マージンを可能にする。例えば、いくつかの実施形態では、自己破壊スイッチは、光電流がセンサの周囲環境によって生成される予想される最大光電流の約2倍であるとき、電源をヒータに接続するようにトリガするように設計することができる。

#### 【0041】

いくつかの実施形態では、光検出器は、活性層と一緒に電極／リードが自己整合的に形成されるように製作され、活性領域を基板の周辺に接続する電気配線リードを含む完全なデバイスを、2つ以下のマスキング層を用いて製造可能にする。図10は、いくつかの実施形態による光検出器を製造するプロセスを示すフロー図である。図11A、図11Bおよび図6Bは、光検出器を製造するプロセスを示す上面図を図式的に示す。

#### 【0042】

光検出器は、まず、応力加工された基板上に任意のバリア層を堆積させることによって形成されてもよい。次に、バリア層上に第1の電極層を堆積する1010。いくつかの実施形態では、第1の電極層は、バリア層上にスパッタリングされるMoCr合金を含む。第1のドープされた半導体層が第1の電極層上に堆積される1020。第1のドープ層は

、例えば、PECVDによって堆積されたnドーパされたa-Si層であってもよい。

次いで、第1のドーパされた半導体層およびその下にある第1の電極層は、例えば、第1の電極層/第1のドーパ層のスタックの第1のマスキング工程を介するフォトリソグラフィパターンニング、続く第1のドーパ層のCF4プラズマエッチングおよび第1の電極層の化学的湿式エッチングによって、パターンニングされて1030、第1の電極領域を形成する。

#### 【0043】

図11Aは、第1のパターンニング工程後の第1電極/第1ドーパ半導体層スタックを含む第1の電極領域1101の上面図を示す。真性層、例えば真性a-Siおよび第2の反対にドーパされた層、例えばpドーパされたa-Siが、パターンニングされた第1の電極領域の上にPECVDにより堆積される1040。第2の電極層は、第2のドーパ層の上に堆積される1050。例えば、第2の電極層は、スパッタリングによって堆積されたITOを含んでいてもよい。第2の電極層は、例えば、図11Bのパターン1102に従って、第2のマスクを通したフォトリソグラフィ露光、続いてHCl酸による化学エッチングによってパターンニングされる1060。真性および第2のドーパ層は、同様に第2のマスクを用いて、例えばCF4プラズマでエッチングされる。この第2のパターンニング工程は、活性領域内の第2のドーパ層および真性層をパターンニングするだけでなく、先のパターンニング工程で形成された第1の電極領域の第1の電極層の上の第1のドーパ層の残りの部分を選択的に除去する。最終的な結果は、電極が2つのマスキング工程で自己整合様式に活性領域と共に形成できる図6Aおよび図6Bに示すデバイス600である。いくつかの実施形態では、第1の電極層およびヒータは、同じ材料から同時に形成することができる。

10

20

#### 【0044】

図12Aは、本明細書で開示される実施形態による光検出器センサ1231を含む自己破壊デバイスの回路図を提供する。いくつかの実施形態では、トリガ回路1230は、図9のグラフに示されている周囲光とレーザー照射された値との間の中間である約60μAのセンサ1231からの光電流でスイッチ1232を起動させるように構成される。この選択により、光検出器1231は、広範囲のレーザー出力レベルを有するレーザーポインタで照射された場合に信頼性のあるトリガを確実にしながら、自己破壊シーケンスをトリガすることなく広範囲の周囲光条件に曝されることが可能になる。

30

#### 【0045】

トリガされると、光検出器1231からの光電流は、電子スイッチ1232を閉じ、応力加工された基板の上に集積された薄膜ヒータ1220の第1端子1221を電源1240に接続する。第1端子1221がスイッチ1232を介して電源1240に接続される場合、電流は、電源1240の正端子から、端子1222、ヒータ1220、端子1221、スイッチ1232、および電源1240の負端子を通過して回路中を流れる。ヒータ1220に供給される電力により、ヒータの急速な温度上昇を引き起こし、その場所で基板を損傷する。この損傷は、基板が組み込まれた機械的ストレスを放出し、小片に自己破壊する原因となる。図12Aに示す実施形態では、p-i-n光検出器1231およびヒータ1220を自己破壊基板の上に集積させてもよく、電子スイッチ1232は基板から外部に位置するシリコン制御整流素子(SCR)である。例えば、SCRは、60μAに近いトリガ電流を有する部品番号ST TS 110-7の市販のサイリスタであってもよい。代替の実施では、SCRスイッチは、図1Bに示されるように自己破壊基板の上に集積することができる。いくつかの実施形態では、トリガ刺激がその後除去された場合であっても、接続がラッチし、一旦トリガされたらスイッチはオンになったままであるため、サイリスタは適切なスイッチである。一旦トリガされると、センサは自己破壊シーケンスに影響を与えずに損傷され得るまたは機能しなくなり得る。

40

#### 【0046】

図12Bは、本明細書に開示された実施形態によるRF起動スイッチ1233を含むセンサを含む自己破壊デバイスの回路図を提供する。トリガされると、RF起動スイッチ1

50

233を通る電流は電子スイッチ1232を閉じ、応力加工された基板上に集積された薄膜ヒータ1220の第1端子1221を電源1240に接続する。第1端子1221がスイッチ1232を介して電源1240に接続される場合、電流は、電源1240の正端子から、端子1222、ヒータ1220、端子1221、スイッチ1232、および電源1240の負端子を通して回路中を流れる。ヒータ1220に供給される電力により、ヒータの急速な温度上昇を引き起こし、その場所で基板を損傷する。この損傷は、基板が組み込まれた機械的ストレスを放出し、小片に自己破壊する原因となる。図12Bに示される実施形態では、RF起動スイッチ1233および電子スイッチ1232は、図1Cに示すように、基板の外部に配置されてもよい。代替的な実施では、図1Aおよび/または図1Bに示すように、RF起動スイッチ1233および/または電子SCRスイッチを自己破壊基板上に集積することができる。

10

#### 【0047】

図13および図14は、いくつかの実施形態によるトリガ回路の動作を詳細に示す。図13は、自己破壊プロセスを監視するための回路の様々な位置に配置された電気試験プローブの図を示す。図14は、自己破壊プロセス中の様々な時間における対応するオシロスコープ信号(CH1、CH2、CH3)を示す。オシロスコープのチャンネル1(CH1)は、電源の正端子の電圧( $V_{batt}$ )およびヒータとスイッチの間の接続電圧( $V_{SCR}$ )を測定する。オシロスコープのチャンネル2(CH2)は、ヒータおよびスイッチを通る測定電流を電圧として表す。オシロスコープのチャンネル3(CH3)は、 $V_{SCR}$ と $V_{gate}$ との間のSCR両端の電圧を測定する。信号トレース内の電圧の変化は、アーミング状態(回路準備完了)からトリガ状態(電子スイッチ閉状態)、溶断状態(ヒータバーンアウト)、および基板の破砕(基板は自己破壊する)までの自己破壊プロセスの進行を示す。図13および図14に示す例では、ヒータが溶断する時間はトリガから134msであり、基板が破砕するまでの時間はトリガ後173msである。図13および図14に示すモニタリング技術は、薄膜材料および処理パラメータの選択肢を開発および選択するため、および自己破壊シーケンスに対する全体的な影響を特徴付けるために有用である。

20

#### 【0048】

図15Aから15Dは、光検出器1521がレーザーポインタで照射されたときから基板1510が自己破壊した後までの一連の写真を示す。図15Aは、保護エンクロージャ1505内の基板1510と、最前面のレーザーポインタ1501とを示す。図15Bは、レーザーポインタからの光で照射された光検出器1531を示す。図15Cは、自己破壊を受ける基板1510を示し、図15Dは、エンクロージャ1505の底部の破砕された基板片1502を示す。

30

#### 【0049】

図16Aから図16Dは、RF起動スイッチ(図示せず)がキーフォブRFトランスミッタ1601によって起動される前から基板1610が自己破壊した後までの一連の写真を示す。図16Aは、保護エンクロージャ1605内の基板1610と、最前面のRFトランスミッタ1601とを示す。図16Bは、RFトランスミッタ1601が起動されていることと、ヒータ1620が溶断の過程にある輝点とを示している。図16Cは、溶断した後のヒータ1620を示す。図16Dは、基板1610の自己破壊後の写真である。

40

#### 【0050】

特に断らない限り、明細書および特許請求の範囲において使用されるフィーチャサイズ、量および物理的特性を表現するすべての数は、用語「約」によってすべての場合に修飾されることが理解されるべきである。従って、反対のことが示されない限り、前述の明細書および添付の特許請求の範囲に記載される数値パラメータは、本明細書に開示される教示を利用する業者が得ようとする所望の特性に依存して変動し得る近似値である。終点によって数値範囲が使用されることは、この範囲内のすべての数字(例えば1~5は1、1.5、2、2.75、3、3.80、4および5を含む)およびこの範囲内のいずれかの範囲を含む。

50

【図 1 A】

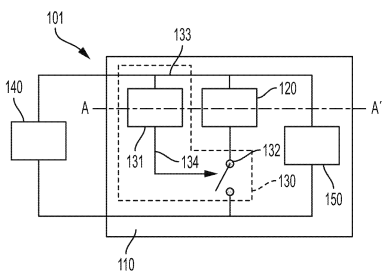


図 1 A

【図 1 B】

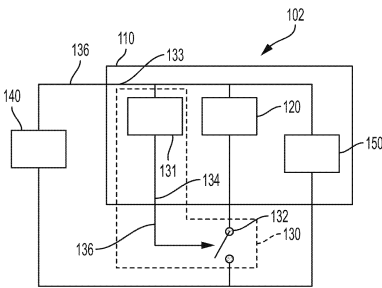


図 1 B

【図 1 C】

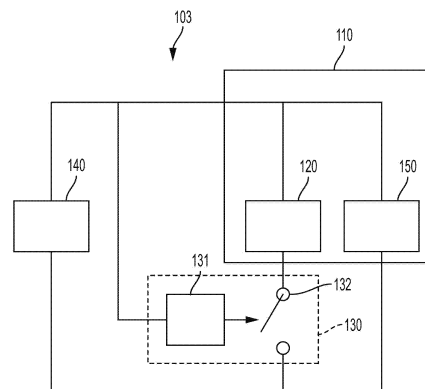


図 1 C

【図 1 D】

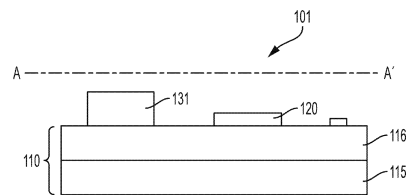


図 1 D

【図2】

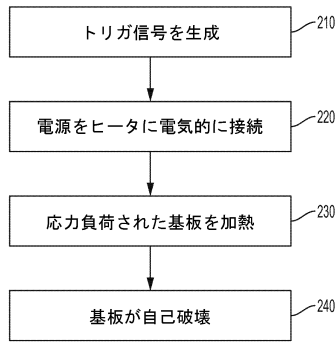


図2

【図3A】

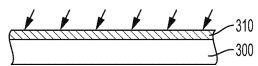


図3A

【図3B】

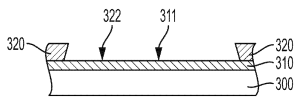


図3B

【図4C】

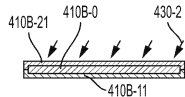


図4C

【図4D】

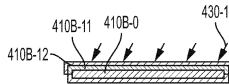


図4D

【図4E】

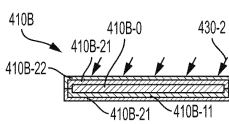


図4E

【図5A】

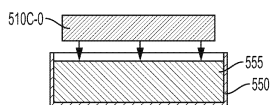


図5A

【図5B】



図5B

【図3C】

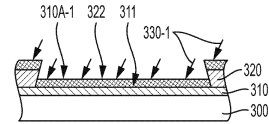


図3C

【図3D】

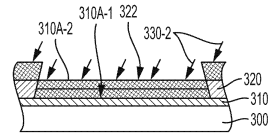


図3D

【図3E】



図3E

【図4A】

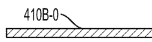


図4A

【図4B】

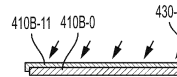


図4B

【図5C】

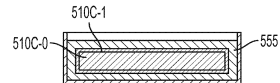


図5C

【図5D】

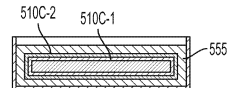


図5D

【図5E】

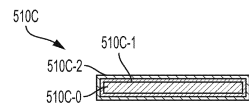
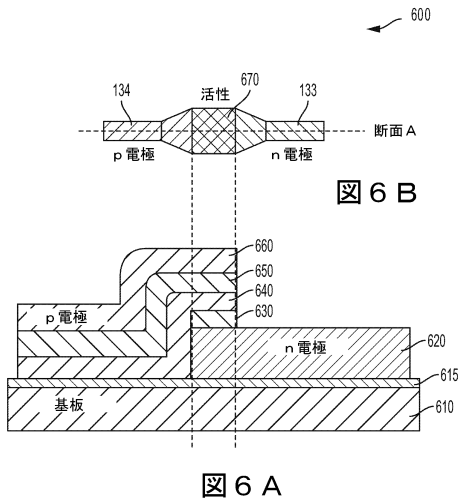
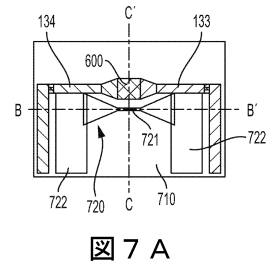


図5E

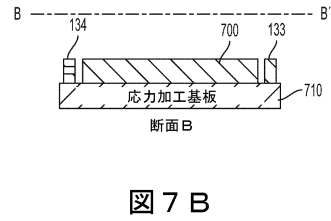
【図6】



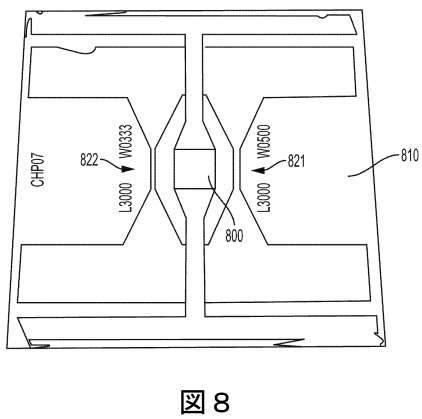
【図7A】



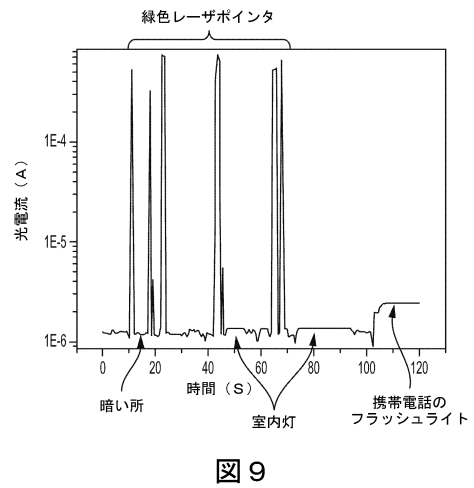
【図7B】



【図8】



【図9】



【図10】

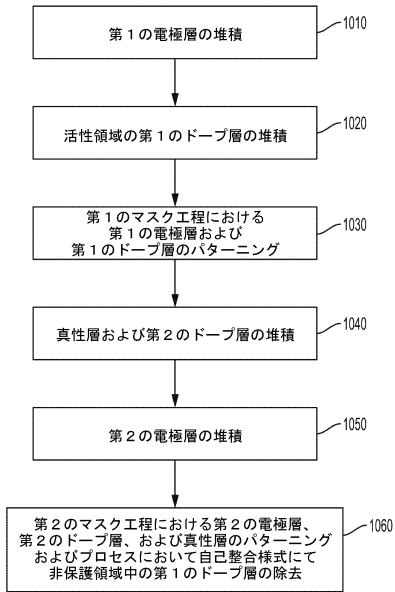


図10

【図11A】

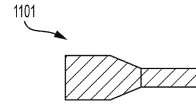


図11A

【図11B】

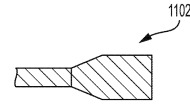


図11B

【図12A】

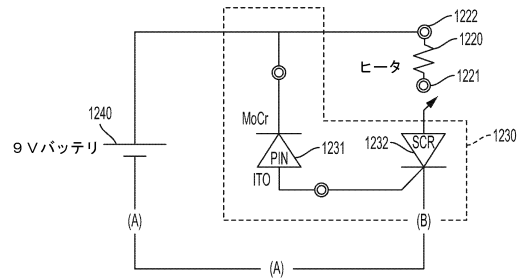


図12A

【図12B】

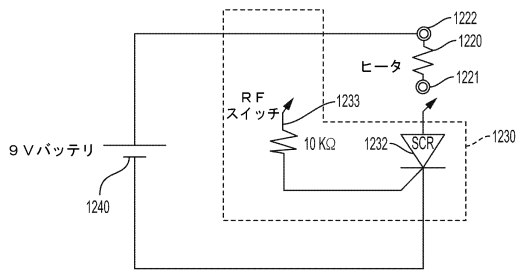


図12B

【図13】

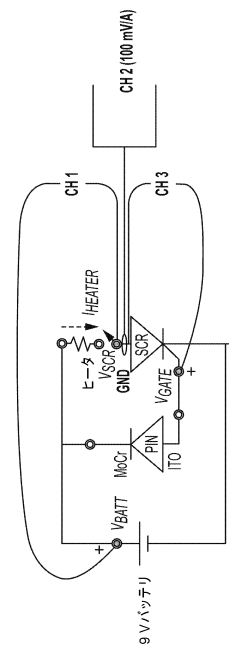
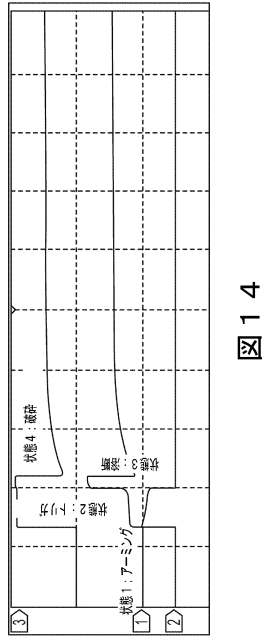


図13

【図14】



【図15A】

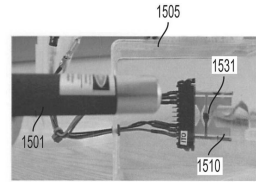


図15A

【図15B】

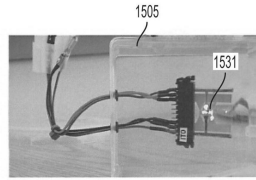


図15B

【図15C】

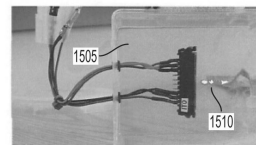


図15C

【図15D】

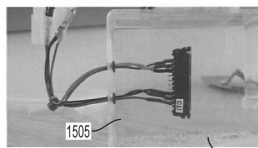


図15D

【図16C】

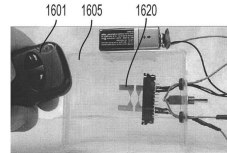


図16C

【図16A】

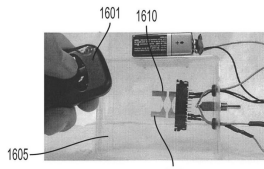


図16A

【図16D】

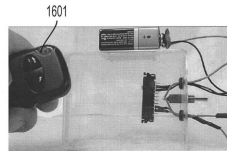


図16D

【図16B】

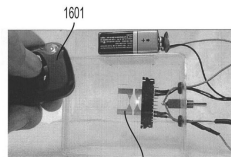


図16B

## フロントページの続き

- (74)代理人 100109070  
弁理士 須田 洋之
- (74)代理人 100109335  
弁理士 上杉 浩
- (74)代理人 100120525  
弁理士 近藤 直樹
- (72)発明者 クリストファー・エル・チュア  
アメリカ合衆国 カリフォルニア州 9 5 1 2 3 サンノゼ キューリー・ドライブ 6 3 6
- (72)発明者 ジェン・ピン・ルー  
アメリカ合衆国 カリフォルニア州 9 4 5 3 9 フリーモント オンディナ・プレイス 4 0 7  
4 7
- (72)発明者 グレゴリー・ホワイティング  
アメリカ合衆国 カリフォルニア州 9 4 0 2 5 メンロー・パーク ミドル・アベニュー 6 1  
7
- (72)発明者 スコット・ジェイ・リム  
アメリカ合衆国 カリフォルニア州 9 4 3 0 6 パロ・アルト グラント・アベニュー 4 5 5  
ナンバー 1
- (72)発明者 レネ・エイ・ルジャン  
アメリカ合衆国 カリフォルニア州 9 4 0 8 5 サニーヴェール ウェスト・デュアン・アベニ  
ュー 1 1 5
- (72)発明者 チアン・ワン  
アメリカ合衆国 カリフォルニア州 9 4 0 4 0 マウンテン・ビュー ヒラリー・アベニュー  
1 0 5

審査官 中里 裕正

- (56)参考文献 米国特許出願公開第2015/0102852(US, A1)  
米国特許出願公開第2011/0048756(US, A1)  
米国特許第05204799(US, A)  
特開昭60-089354(JP, A)  
特開平11-258936(JP, A)

## (58)調査した分野(Int.Cl., DB名)

H01H 37/74  
H01L 31/10  
JSTPlus/JMEDPlus/JST7580(JDreamIII)  
IEEE Xplore