

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】令和 1 年 8 月 29 日 (2019.8.29)

【公開番号】特開 2017-228751 (P2017-228751A)

【公開日】平成 29 年 12 月 28 日 (2017.12.28)

【年通号数】公開・登録公報 2017-050

【出願番号】特願 2016-141123 (P2016-141123)

【国際特許分類】

H 0 1 L 21/8242 (2006.01)

H 0 1 L 27/108 (2006.01)

H 0 1 L 21/28 (2006.01)

H 0 1 L 29/417 (2006.01)

H 0 1 L 29/423 (2006.01)

H 0 1 L 29/49 (2006.01)

H 0 1 L 27/115 (2017.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

H 0 1 L 29/786 (2006.01)

H 0 1 L 27/146 (2006.01)

H 0 4 N 19/43 (2014.01)

【F I】

H 0 1 L 27/10 3 2 1

H 0 1 L 21/28 3 0 1 B

H 0 1 L 29/50 M

H 0 1 L 29/58 G

H 0 1 L 27/10 4 3 4

H 0 1 L 29/78 3 7 1

H 0 1 L 29/78 6 1 8 B

H 0 1 L 27/14 A

H 0 4 N 19/43

【手続補正書】

【提出日】令和 1 年 7 月 18 日 (2019.7.18)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

メモリセルと、第 1 回路と、第 2 回路と、第 1 配線と、を有し、  
 前記メモリセルは、前記第 1 配線と電氣的に接続され、  
 前記第 1 回路は、前記第 1 配線と電氣的に接続され、  
 前記第 2 回路は、前記第 1 配線と電氣的に接続され、  
 前記第 1 回路は、第 1 データに応じた第 1 電流を前記第 1 配線に供給する機能と、第 2  
 データに応じた第 2 電流を前記第 1 配線に供給する機能と、を有し、  
 前記メモリセルは、前記第 1 電流に応じた電荷を保持する機能と、前記電荷の保持量に  
 よって、前記第 1 配線から前記メモリセルに流れる電流量を定める機能と、を有し、

前記第 2 回路は、前記電流量と前記第 2 電流の量との差分の電流を生成する機能を有することを特徴とする半導体装置。

【請求項 2】

請求項 1 において、

前記メモリセルは、第 1 乃至第 3 トランジスタと、容量素子と、を有し、

前記第 1 トランジスタのソース又はドレインの一方は、前記第 2 トランジスタのソース又はドレインの一方と、前記第 3 トランジスタのソース又はドレインの一方と、に電氣的に接続され、

前記第 1 トランジスタのソース又はドレインの他方は、前記容量素子の第 1 電極と電氣的に接続され、

前記第 1 トランジスタのゲートは、前記第 3 トランジスタのソース又はドレインの他方と、前記容量素子の第 2 電極と、に電氣的に接続され、

前記第 2 トランジスタのソース又はドレインの他方は、前記第 1 配線と電氣的に接続され、

前記第 1 トランジスタのソース又はドレインの他方には、第 1 電位が与えられることを特徴とする半導体装置。

【請求項 3】

請求項 1 又は請求項 2 において、

前記第 2 回路は、第 4 乃至第 6 トランジスタと、第 2 配線と、第 3 配線と、を有し、

前記第 4 トランジスタのソース又はドレインの一方は、前記第 5 トランジスタのソース又はドレインの一方と、前記第 6 トランジスタのソース又はドレインの一方と、前記第 6 トランジスタのゲートと、に電氣的に接続され、

前記第 4 トランジスタのソース又はドレインの他方は、前記第 1 配線と電氣的に接続され、

前記第 5 トランジスタのソース又はドレインの他方は、前記第 5 トランジスタのゲートと、前記第 2 配線と、に電氣的に接続され、

前記第 6 トランジスタのソース又はドレインの他方は、前記第 3 配線と電氣的に接続されることを特徴とする半導体装置。

【請求項 4】

請求項 3 において、

前記第 2 回路は、さらに、第 7 乃至第 11 トランジスタと、第 1 コンパレータと、第 2 コンパレータと、第 1 カレントミラー回路と、第 4 配線と、を有し、

前記第 1 コンパレータの反転入力端子には、第 2 電位が与えられ、

前記第 1 コンパレータの非反転入力端子は、前記第 2 配線と、前記第 7 トランジスタのソース又はドレインの一方と、に電氣的に接続され、

前記第 1 コンパレータの出力端子は、前記第 7 トランジスタのゲートと、前記第 8 トランジスタのゲートと、に電氣的に接続され、

前記第 8 トランジスタのソース又はドレインの一方は、前記第 1 カレントミラー回路の出力端子と、前記第 11 トランジスタのソース又はドレインの一方と、前記第 4 配線と、に電氣的に接続され、

前記第 2 コンパレータの反転入力端子には、第 3 電位が与えられ、

前記第 2 コンパレータの非反転入力端子は、前記第 3 配線と、前記第 9 トランジスタのソース又はドレインの一方と、に電氣的に接続され、

前記第 2 コンパレータの出力端子は、前記第 9 トランジスタのゲートと、前記第 10 トランジスタのゲートと、に電氣的に接続され、

前記第 10 トランジスタのソース又はドレインの一方は、前記第 1 カレントミラー回路の入力端子と、に電氣的に接続され、

前記第 7 トランジスタのソース又はドレインの他方と、前記第 8 トランジスタのソース又はドレインの他方と、前記第 1 カレントミラー回路の電位入力端子と、には第 4 電位が与えられ、

前記第 9 トランジスタのソース又はドレインの他方と、前記第 10 トランジスタのソース又はドレインの他方には、第 5 電位が与えられ、

前記第 11 トランジスタのソース又はドレインの他方には、第 6 電位が与えられ、

前記第 7 トランジスタ、及び前記第 8 トランジスタは、p チャンネル型トランジスタであり、

前記第 9 トランジスタ、前記第 10 トランジスタ、及び前記第 11 トランジスタは、n チャンネル型トランジスタであり、

前記第 4 配線は、アナログ値を出力することを特徴とする半導体装置。

#### 【請求項 5】

請求項 3 において、

前記第 2 回路は、さらに、第 7 乃至第 11 トランジスタと、第 1 コンパレータと、第 2 コンパレータと、第 1 カレントミラー回路と、第 4 配線と、を有し、

前記第 1 コンパレータの反転入力端子には、第 2 電位が与えられ、

前記第 1 コンパレータの非反転入力端子は、前記第 2 配線と、前記第 7 トランジスタのソース又はドレインの一方と、に電氣的に接続され、

前記第 1 コンパレータの出力端子は、前記第 7 トランジスタのゲートと、前記第 8 トランジスタのゲートと、に電氣的に接続され、

前記第 2 コンパレータの反転入力端子には、第 3 電位が与えられ、

前記第 2 コンパレータの非反転入力端子は、前記第 3 配線と、前記第 9 トランジスタのソース又はドレインの一方と、に電氣的に接続され、

前記第 2 コンパレータの出力端子は、前記第 9 トランジスタのゲートと、前記第 10 トランジスタのゲートと、に電氣的に接続され、

前記第 10 トランジスタのソース又はドレインの一方は、前記第 1 カレントミラー回路の出力端子と、前記第 11 トランジスタのソース又はドレインの一方と、前記第 4 配線と、に電氣的に接続され、

前記第 8 トランジスタのソース又はドレインの一方は、前記第 1 カレントミラー回路の入力端子と、に電氣的に接続され、

前記第 7 トランジスタのソース又はドレインの他方と、前記第 8 トランジスタのソース又はドレインの他方と、には第 4 電位が与えられ、

前記第 9 トランジスタのソース又はドレインの他方と、前記第 10 トランジスタのソース又はドレインの他方と、前記第 1 カレントミラー回路の電位入力端子と、には第 5 電位が与えられ、

前記第 11 トランジスタのソース又はドレインの他方には、第 6 電位が与えられ、

前記第 7 トランジスタ、及び前記第 8 トランジスタは、p チャンネル型トランジスタであり、

前記第 9 トランジスタ、前記第 10 トランジスタ、及び前記第 11 トランジスタは、n チャンネル型トランジスタであり、

前記第 4 配線は、アナログ値を出力することを特徴とする半導体装置。

#### 【請求項 6】

請求項 1 乃至 5 のいずれか一項において、

前記第 1 回路は、第 1 2 [ 1 ] 乃至第 1 2 [ s ] トランジスタと、第 2 カレントミラー回路と、第 5 [ 1 ] 乃至第 5 [ s ] 配線と、を有し ( s は 1 以上の整数 )、

前記第 1 2 [ 1 ] トランジスタと、前記第 1 2 [ t ] トランジスタと、のチャネル幅の比は、 $1 : 2^{t-1}$  であり ( t は 1 以上かつ s 以下の整数 )、

前記第 2 カレントミラー回路の入力端子は、前記第 1 2 [ 1 ] 乃至第 1 2 [ s ] トランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 2 カレントミラー回路の出力端子は、前記第 1 配線と電氣的に接続され、

前記第 1 2 [ 1 ] 乃至第 1 2 [ s ] トランジスタのソース又はドレインの他方には、前記第 1 電位が与えられ、

前記第 1 2 [ 1 ] 乃至第 1 2 [ s ] トランジスタのゲートは、それぞれ前記第 5 [ 1 ]

乃至第 5 [  $s$  ] 配線と電氣的に接続され、

前記第 5 [ 1 ] 乃至第 5 [  $s$  ] 配線は、前記第 1 データ、又は前記第 2 データを構成する複数の電位がそれぞれ印加されることを特徴とする半導体装置。

【請求項 7】

請求項 1 乃至 6 のいずれか一項において、

前記第 1 回路は、 $2u - 1$  個の第 1 2 [ 1 ] 乃至第 1 2 [  $2u - 1$  ] トランジスタと、第 2 カレントミラー回路と、 $u$  本の第 5 [ 1 ] 乃至第 5 [  $u$  ] 配線と、を有し ( $u$  は 1 以上の整数)、

前記第 2 カレントミラー回路の入力端子は、前記第 1 2 [ 1 ] 乃至第 1 2 [  $2u - 1$  ] トランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 2 カレントミラー回路の出力端子は、前記第 1 配線と電氣的に接続され、

前記第 1 2 [  $2v - 1$  ] 乃至第 1 2 [  $2v - 1$  ] トランジスタのゲートは、前記第 5 [  $v$  ] 配線に電氣的に接続され ( $v$  は 1 以上かつ  $u$  以下の整数)、

前記第 1 2 [ 1 ] 乃至第 1 2 [  $2u - 1$  ] トランジスタのソース又はドレインの他方には、前記第 1 電位が与えられ、

前記第 5 [ 1 ] 乃至第 5 [  $u$  ] 配線は、前記第 1 データ、又は前記第 2 データを構成する複数の電位がそれぞれ印加されることを特徴とする半導体装置。