

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和1年8月29日(2019.8.29)

【公開番号】特開2017-228751(P2017-228751A)

【公開日】平成29年12月28日(2017.12.28)

【年通号数】公開・登録公報2017-050

【出願番号】特願2016-141123(P2016-141123)

【国際特許分類】

H 01 L	21/8242	(2006.01)
H 01 L	27/108	(2006.01)
H 01 L	21/28	(2006.01)
H 01 L	29/417	(2006.01)
H 01 L	29/423	(2006.01)
H 01 L	29/49	(2006.01)
H 01 L	27/115	(2017.01)
H 01 L	21/336	(2006.01)
H 01 L	29/788	(2006.01)
H 01 L	29/792	(2006.01)
H 01 L	29/786	(2006.01)
H 01 L	27/146	(2006.01)
H 04 N	19/43	(2014.01)

【F I】

H 01 L	27/10	3 2 1
H 01 L	21/28	3 0 1 B
H 01 L	29/50	M
H 01 L	29/58	G
H 01 L	27/10	4 3 4
H 01 L	29/78	3 7 1
H 01 L	29/78	6 1 8 B
H 01 L	27/14	A
H 04 N	19/43	

【手続補正書】

【提出日】令和1年7月18日(2019.7.18)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリセルと、第1回路と、第2回路と、第1配線と、を有し、

前記メモリセルは、前記第1配線と電気的に接続され、

前記第1回路は、前記第1配線と電気的に接続され、

前記第2回路は、前記第1配線と電気的に接続され、

前記第1回路は、第1データに応じた第1電流を前記第1配線に供給する機能と、第2

データに応じた第2電流を前記第1配線に供給する機能と、を有し、

前記メモリセルは、前記第1電流に応じた電荷を保持する機能と、前記電荷の保持量によって、前記第1配線から前記メモリセルに流れる電流量を定める機能と、を有し、

前記第2回路は、前記電流量と前記第2電流の量との差分の電流を生成する機能を有することを特徴とする半導体装置。

【請求項2】

請求項1において、

前記メモリセルは、第1乃至第3トランジスタと、容量素子と、を有し、

前記第1トランジスタのソース又はドレインの一方は、前記第2トランジスタのソース又はドレインの一方と、前記第3トランジスタのソース又はドレインの一方と、に電気的に接続され、

前記第1トランジスタのソース又はドレインの他方は、前記容量素子の第1電極と電気的に接続され、

前記第1トランジスタのゲートは、前記第3トランジスタのソース又はドレインの他方と、前記容量素子の第2電極と、に電気的に接続され、

前記第2トランジスタのソース又はドレインの他方は、前記第1配線と電気的に接続され、

前記第1トランジスタのソース又はドレインの他方には、第1電位が与えられることを特徴とする半導体装置。

【請求項3】

請求項1又は請求項2において、

前記第2回路は、第4乃至第6トランジスタと、第2配線と、第3配線と、を有し、

前記第4トランジスタのソース又はドレインの一方は、前記第5トランジスタのソース又はドレインの一方と、前記第6トランジスタのソース又はドレインの一方と、前記第6トランジスタのゲートと、に電気的に接続され、

前記第4トランジスタのソース又はドレインの他方は、前記第1配線と電気的に接続され、

前記第5トランジスタのソース又はドレインの他方は、前記第5トランジスタのゲートと、前記第2配線と、に電気的に接続され、

前記第6トランジスタのソース又はドレインの他方は、前記第3配線と電気的に接続されることを特徴とする半導体装置。

【請求項4】

請求項3において、

前記第2回路は、さらに、第7乃至第11トランジスタと、第1コンパレータと、第2コンパレータと、第1カレントミラー回路と、第4配線と、を有し、

前記第1コンパレータの反転入力端子には、第2電位が与えられ、

前記第1コンパレータの非反転入力端子は、前記第2配線と、前記第7トランジスタのソース又はドレインの一方と、に電気的に接続され、

前記第1コンパレータの出力端子は、前記第7トランジスタのゲートと、前記第8トランジスタのゲートと、に電気的に接続され、

前記第8トランジスタのソース又はドレインの一方は、前記第1カレントミラー回路の出力端子と、前記第11トランジスタのソース又はドレインの一方と、前記第4配線と、に電気的に接続され、

前記第2コンパレータの反転入力端子には、第3電位が与えられ、

前記第2コンパレータの非反転入力端子は、前記第3配線と、前記第9トランジスタのソース又はドレインの一方と、に電気的に接続され、

前記第2コンパレータの出力端子は、前記第9トランジスタのゲートと、前記第10トランジスタのゲートと、に電気的に接続され、

前記第10トランジスタのソース又はドレインの一方は、前記第1カレントミラー回路の入力端子と、に電気的に接続され、

前記第7トランジスタのソース又はドレインの他方と、前記第8トランジスタのソース又はドレインの他方と、前記第1カレントミラー回路の電位入力端子と、には第4電位が与えられ、

前記第9トランジスタのソース又はドレインの他方と、前記第10トランジスタのソース又はドレインの他方には、第5電位が与えられ、

前記第11トランジスタのソース又はドレインの他方には、第6電位が与えられ、

前記第7トランジスタ、及び前記第8トランジスタは、pチャネル型トランジスタであり、

前記第9トランジスタ、前記第10トランジスタ、及び前記第11トランジスタは、nチャネル型トランジスタであり、

前記第4配線は、アナログ値を出力することを特徴とする半導体装置。

【請求項5】

請求項3において、

前記第2回路は、さらに、第7乃至第11トランジスタと、第1コンパレータと、第2コンパレータと、第1カレントミラー回路と、第4配線と、を有し、

前記第1コンパレータの反転入力端子には、第2電位が与えられ、

前記第1コンパレータの非反転入力端子は、前記第2配線と、前記第7トランジスタのソース又はドレインの一方と、に電気的に接続され、

前記第1コンパレータの出力端子は、前記第7トランジスタのゲートと、前記第8トランジスタのゲートと、に電気的に接続され、

前記第2コンパレータの反転入力端子には、第3電位が与えられ、

前記第2コンパレータの非反転入力端子は、前記第3配線と、前記第9トランジスタのソース又はドレインの一方と、に電気的に接続され、

前記第2コンパレータの出力端子は、前記第9トランジスタのゲートと、前記第10トランジスタのゲートと、に電気的に接続され、

前記第10トランジスタのソース又はドレインの一方は、前記第1カレントミラー回路の出力端子と、前記第11トランジスタのソース又はドレインの一方と、前記第4配線と、に電気的に接続され、

前記第8トランジスタのソース又はドレインの一方は、前記第1カレントミラー回路の入力端子と、に電気的に接続され、

前記第7トランジスタのソース又はドレインの他方と、前記第8トランジスタのソース又はドレインの他方と、には第4電位が与えられ、

前記第9トランジスタのソース又はドレインの他方と、前記第10トランジスタのソース又はドレインの他方と、前記第1カレントミラー回路の電位入力端子と、には第5電位が与えられ、

前記第11トランジスタのソース又はドレインの他方には、第6電位が与えられ、

前記第7トランジスタ、及び前記第8トランジスタは、pチャネル型トランジスタであり、

前記第9トランジスタ、前記第10トランジスタ、及び前記第11トランジスタは、nチャネル型トランジスタであり、

前記第4配線は、アナログ値を出力することを特徴とする半導体装置。

【請求項6】

請求項1乃至5のいずれか一項において、

前記第1回路は、第12[1]乃至第12[s]トランジスタと、第2カレントミラー回路と、第5[1]乃至第5[s]配線と、を有し(sは1以上の整数)、

前記第12[1]トランジスタと、前記第12[t]トランジスタと、のチャネル幅の比は、1:2t-1であり(tは1以上かつs以下の整数)、

前記第2カレントミラー回路の入力端子は、前記第12[1]乃至第12[s]トランジスタのソース又はドレインの一方と電気的に接続され、

前記第2カレントミラー回路の出力端子は、前記第1配線と電気的に接続され、

前記第12[1]乃至第12[s]トランジスタのソース又はドレインの他方には、前記第1電位が与えられ、

前記第12[1]乃至第12[s]トランジスタのゲートは、それぞれ前記第5[1]

乃至第 5 [s] 配線と電気的に接続され、

前記第 5 [1] 乃至第 5 [s] 配線は、前記第 1 データ、又は前記第 2 データを構成する複数の電位がそれぞれ印加されることを特徴とする半導体装置。

【請求項 7】

請求項 1 乃至 6 のいずれか一項において、

前記第 1 回路は、 $2u - 1$ 個の第 12 [1] 乃至第 12 [$2u - 1$] ドレインの一方と電気的に接続され、
前記第 2 カレントミラー回路と、 u 本の第 5 [1] 乃至第 5 [u] 配線と、を有し (u は 1 以上の整数)、

前記第 2 カレントミラー回路の入力端子は、前記第 12 [1] 乃至第 12 [$2u - 1$] ドレインのソース又はドレインの一方と電気的に接続され、

前記第 2 カレントミラー回路の出力端子は、前記第 1 配線と電気的に接続され、

前記第 12 [$2v - 1$] 乃至第 12 [$2v - 1$] ドレインのゲートは、前記第 5 [v] 配線に電気的に接続され (v は 1 以上かつ u 以下の整数)、

前記第 12 [1] 乃至第 12 [$2u - 1$] ドレインのソース又はドレインの他方には、前記第 1 電位が与えられ、

前記第 5 [1] 乃至第 5 [u] 配線は、前記第 1 データ、又は前記第 2 データを構成する複数の電位がそれぞれ印加されることを特徴とする半導体装置。