

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5585212号
(P5585212)

(45) 発行日 平成26年9月10日 (2014. 9. 10)

(24) 登録日 平成26年8月1日 (2014. 8. 1)

(51) Int. Cl.	F I
HO 1 L 43/08 (2006. 01)	HO 1 L 43/08 Z
HO 1 L 43/10 (2006. 01)	HO 1 L 43/10
HO 1 L 43/12 (2006. 01)	HO 1 L 43/12
HO 1 L 27/105 (2006. 01)	HO 1 L 27/10 4 4 7
HO 1 L 21/8246 (2006. 01)	

請求項の数 8 (全 24 頁)

(21) 出願番号	特願2010-121667 (P2010-121667)	(73) 特許権者	000005223
(22) 出願日	平成22年5月27日 (2010. 5. 27)		富士通株式会社
(65) 公開番号	特開2011-249590 (P2011-249590A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成23年12月8日 (2011. 12. 8)	(74) 代理人	100108187
審査請求日	平成25年4月3日 (2013. 4. 3)		弁理士 横山 淳一
		(72) 発明者	李 永▲民▼
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		審査官	石坂 博明
		(56) 参考文献	特開2000-156530 (JP, A)
			)

最終頁に続く

(54) 【発明の名称】 磁気トンネル接合素子を用いた磁気ランダムアクセスメモリおよびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

下部電極層上に形成されたバッファ層と、
前記バッファ層とトンネルバリア層を含むトンネル磁気抵抗効果積層構造体とからなる磁気トンネル接合素子と、

タンタル下部電極層が酸化し膨張することにより前記磁気トンネル接合素子周辺に形成されたタンタル酸化物膜とを有し、

前記トンネルバリア層の下面の位置が前記膨張したタンタル酸化物膜の上面の位置よりも高いことを特徴とする磁気ランダムアクセスメモリ。

【請求項 2】

前記バッファ層は、第1のバッファ層と第2のバッファ層との積層膜からなり、
前記第1のバッファ層はRu、Pt、Zrのいずれかであり、
前記第2のバッファ層はTa、Pt、Hfのいずれかであることを特徴とする請求項1に記載の磁気ランダムアクセスメモリ。

【請求項 3】

前記第1のバッファ層は、順に下層からRu層、アモルファス層、Ru層の3層構造からなり、

前記アモルファス層は、CoFeBまたはCoFeBTaのいずれかであることを特徴とする請求項2に記載の磁気ランダムアクセスメモリ。

【請求項 4】

10

20

前記第1のバッファ層は、2 nmから10 nmの範囲の膜厚であり、

前記第2のバッファ層は、前記第1のバッファ層との合計膜厚が5 nm以上となるように調整されて形成されることを特徴とする請求項2または3のいずれか1項に記載の磁気ランダムアクセスメモリ。

【請求項5】

前記磁気トンネル接合素子が自由磁化層と固定磁化層とを有しており、スピントランスファートルクにより前記自由磁化層の磁化を反転させ、トンネル磁気抵抗効果により前記固定磁化層の磁化方向に対する前記自由磁化層の磁化方向を検知することを特徴とする請求項1～4のいずれか1項に記載の磁気ランダムアクセスメモリ。

【請求項6】

下部電極層上にバッファ層を形成する工程と、

前記バッファ層上に、トンネルバリア層を含むトンネル磁気抵抗効果積層構造体を形成する工程と、

前記トンネル磁気抵抗効果積層構造体上にマスクを形成する工程と、

前記バッファ層と前記トンネル磁気抵抗効果積層構造体とを前記マスクを用いて反応性イオンエッチングすることにより、磁気トンネル接合素子を形成する工程と、
を有し、

前記磁気トンネル接合素子を形成する工程で、タンタル下部電極層が酸化し膨張することにより前記磁気トンネル接合素子周辺に形成されたタンタル酸化物膜において、

前記トンネルバリア層の下面の位置が前記膨張したタンタル酸化物膜の上面の位置よりも高いことを特徴とする磁気ランダムアクセスメモリの製造方法。

【請求項7】

前記トンネルバリア層下面の位置は、前記バッファ層の成膜膜厚に基づいて決定されることを特徴とする請求項6に記載の磁気ランダムアクセスメモリの製造方法。

【請求項8】

バッファ層の膜厚と、

トンネルバリア層下面位置と

タンタル下部電極層が反応性イオンエッチングされ、酸化および膨張することにより磁気トンネル接合素子周辺に形成されたタンタル酸化物膜上面位置との関係をあらかじめ求めておき、前記トンネルバリア層の下面の位置が前記膨張したタンタル酸化物膜の上面の位置よりも高くなるように前記バッファ層を形成する工程を行うことを特徴とする請求項6または7のいずれかに記載の磁気ランダムアクセスメモリの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トンネル効果を示す磁気トンネル接合素子を用いた磁気ランダムアクセスメモリに関する。

【背景技術】

【0002】

書き換え可能な不揮発性メモリとして、磁気トンネル接合(MTJ; Magnetic Tunnel Junction)素子を用いた低消費電力磁気メモリセル、および、MTJ素子をマトリクス状に配列した磁気ランダムアクセスメモリ(以下、MRAM: Magnetic Random Access Memoryという)が注目されている。

【0003】

MTJ素子は、2つの強磁性層が極薄の非磁性誘電体層(トンネルバリア層)を介して積層されたものである。MTJ素子は、CPP(Current Perpendicular to Plane)構造を用いているため、電流が流れる方向はMTJ素子を構成する膜面に対して垂直方向である。そのため、MTJ素子を用いた磁気ランダムアクセスメモリは、MTJ素子の上下に、直交する2本の信号線(例えばビット線及びワード線

）が配された構造を有している（例えば特許文献1を参照）。MTJ素子を用いたデータの読み出しは、2つの強磁性層の磁化方向の関係に基づいてトンネルバリア層を介して磁性層間を流れるトンネル電流が変化する現象、すなわちトンネル磁気抵抗効果（TMR； Tunneling Magnetoresistive）を利用したものである。MTJ素子からのデータの読み出しでは、素子抵抗の変化を読み取ることにより、MTJ素子に記憶されたデータが、データ“0”及びデータ“1”のいずれであるかを判定する。

【0004】

近年、微細セルで書き込み電流を低減できるスピン注入磁化反転（STT：Spin Transfer Torque）効果を利用したMTJ素子を用いた、STT-MRAMが注目されている（例えば非特許文献1を参照）。STT効果を用いたMTJ素子は、TMR素子と同様、2つの強磁性層間にトンネルバリア層を挟んで構成である。

10

【0005】

STT効果を用いたMTJ素子では、素子サイズが減少して磁化反転磁界 H_c が増加しても体積減少効果により反転電流が減少するため、電流磁界書き込み方式の素子と比較して大容量化・低消費電力化に極めて有利である。また、書き込みワード線が不要であり、デバイス構造及び製造プロセスを簡略化することができる。すなわち、STT効果を用いたMTJ素子を用いたMRAMは、DRAMと同様なデバイス構造を採用することができ、製造プロセスを簡略化して製造コストを削減することができる。

【0006】

MTJ素子の積層構造は、下部電極層、反強磁性ピンニング層、固定磁化層、トンネルバリア層、自由磁化層および上部電極層を順次積層するBottom-pin構造がある。一方、下部電極層上に自由磁化層、トンネルバリア層、固定磁化層、反強磁性ピンニング層および上部電極層の積層構造を順次積層するTop-pin構造もある。

20

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開平11-317071号公報

【特許文献2】特開2004-158766号公報

【特許文献3】特開2002-359412号公報

【非特許文献】

30

【0008】

【非特許文献1】屋上公二郎等、「スピン注入磁化反転の研究動向」、日本応用磁気学会誌、Vol. 28, No. 9, 2004, pp.937-948

【非特許文献2】G. D. Fuchs, "Spin-transfer effects in nanoscale magnetic tunnel junctions", Applied Physics letters, Vol.85, No.7, 2004, pp.1205-1207

【発明の概要】

【発明が解決しようとする課題】

【0009】

MTJ素子は、MTJ素子を構成する膜面に対して垂直方向に電流を流すことによりTMR効果を出現させている。そのため、MTJ素子形成プロセスにおいて、MTJ素子の側壁に再付着膜などの導電性の膜が残留すると、トンネルバリア層から再付着膜への電流リークが発生する。その結果、MTJ素子のSTT効果およびTMR効果は低減し、さらにはMRAMとしての信頼性も低下する。上述の問題に鑑み、開示のMTJ素子は、電流リークを防止し、高信頼のMRAMを提供することを目的とする。

40

【課題を解決するための手段】

【0010】

本発明の一観点によれば、

下部電極層上に形成されたバッファ層と、前記バッファ層とトンネルバリア層を含むトンネル磁気抵抗効果積層構造体とからなる磁気トンネル接合素子と、前記磁気トンネル接合素子周辺に形成された金属酸化膜とを有し、前記トンネルバリア層の下面の位置が前記

50

金属酸化膜の上面の位置よりも高いことを特徴とする磁気ランダムアクセスメモリが提供される。

また、本発明の他の観点によれば、

下部電極層上にバッファ層を形成する工程と、前記バッファ層上に、トンネルバリア層を含むトンネル磁気抵抗効果積層構造体を形成する工程と、前記トンネル磁気抵抗効果積層構造体上にマスクを形成する工程と、前記バッファ層と前記トンネル磁気抵抗効果積層構造体とを前記マスクを用いてエッチングすることにより、磁気トンネル接合素子を形成する工程と、を有し、前記磁気トンネル接合素子を形成する工程で、前記磁気トンネル接合素子周辺に形成された金属酸化膜において、前記トンネルバリア層の下面の位置が前記金属酸化膜の上面の位置よりも高いことを特徴とする磁気ランダムアクセスメモリの製造方法が提供される。

10

【発明の効果】

【0011】

開示のMTJ素子を用いたMRAMは、製造歩留まりを高くすることができ、信頼性を高くすることができる。

【図面の簡単な説明】

【0012】

【図1】図1は、開示するMTJ素子の製造方法を示す工程断面図である。

【図2】図2は、開示するMTJ素子の製造方法を示す工程断面図である。

【図3】図3は、開示するMTJ素子の製造方法を示す工程断面図である。

20

【図4】図4は、開示するMTJ素子の製造方法を示す工程断面図である。

【図5】図5は、開示するMTJ素子の製造方法を示す工程断面図である。

【図6】図6は、開示するMTJ素子の製造方法を示す工程断面図である。

【図7】図7は、実施例6による磁気メモリ装置の構造を示す概略断面図である。

【図8】図8は、実施例6による磁気メモリ装置の構造を示す斜視図である。

【図9】図9A～図9Cは、実施例6による磁気メモリ装置の製造方法を示す工程断面図である。

【図10】図10A～図10Cは、実施例6による磁気メモリ装置の製造方法を示す工程断面図である。

【図11】図11A、図11Bは、実施例6による磁気メモリ装置の製造方法を示す工程断面図である。

30

【図12】図12A、図12Bは、実施例6による磁気メモリ装置の製造方法を示す工程断面図である。

【図13】図13は、実施例7による磁気メモリ装置の構造を示す概略断面図である。

【図14】図14A～図14Cは、実施例7による磁気メモリ装置の製造方法を示す工程断面図である。

【図15】図15A、図15Bは、実施例7による磁気メモリ装置の製造方法を示す工程断面図である。

【図16】図16A、図16Bは、実施例7による磁気メモリ装置の製造方法を示す工程断面図である。

40

【発明を実施するための最良の形態】

【0013】

以下に実施例を示す。

【実施例1】

【0014】

図1～図6は、開示するMTJ素子の製造方法を示す工程断面図である。開示するMTJ素子は、一例としてTop-pin型MTJ素子であり、40AはTMR積層構造体である。TMR積層構造体40Aを後述の製造工程にてMTJ素子にパターン形成する。

【0015】

図1で、10は基板、20は下部電極層、21は下部電極下層、22は下部電極中間層

50

、23は下部電極上層、30はバッファ層、31は第1のバッファ層、32は第2のバッファ層、41は自由磁化層、42はトンネルバリア層、43は固定磁化層、44は反強磁性ピンニング層、45は上部電極層、51は接続層である。図1は、下部電極層20～バッファ層30～TMR積層構造体40A～接続層51までを積層する工程断面図である

基板10上にスパッタリング法を用いて、下部電極層20～バッファ層30～TMR積層構造体40A～接続層51を順次形成する。ただし、これらの層を形成するのは、基板上に限るものではない。後述の単純マトリックス型の磁気メモリ装置では、これらの層は基板上に形成されたワード線上に形成する。また、後述のアクティブ型の磁気メモリ装置では、これらの層は基板上に形成されたコンタクトプラグ上に形成する。

【0016】

10

図1に示すように、まず、基板10上に下部電極層20を形成する。下部電極層20は3層構造からなり、下側から順番に、下部電極下層21、下部電極中間層22、下部電極上層23を成膜する。下部電極下層21としては、例えばTaであり、膜厚3nmから20nmの範囲が好ましく、たとえば膜厚15nmで成膜する。次に、下部電極中間層22としては、例えばRuであり、膜厚0nmから50nmの範囲が好ましく、例えば膜厚25nmで成膜する。次に、下部電極上層23としては、例えばTaであり、膜厚10nmから20nmの範囲が好ましく、例えば膜厚15nmで成膜する。

【0017】

次に、下部電極層20上にバッファ層30を形成する。バッファ層30は2層構造からなる。下側から順番に、第1のバッファ層31、第2のバッファ層32を成膜する。第1のバッファ層31としては、例えばRuであり、膜厚2nmから10nmの範囲で成膜することが好ましい。次に、第2のバッファ層32としては、例えばTaであり、膜厚0nmから2nmの範囲で成膜することが好ましい。第1のバッファ層31と第2のバッファ層32との合計膜厚は、後述するTaO層60との関係から決定される。具体的には、5nm以上であれば良い。

20

【0018】

第1のバッファ層31でRuを選択した場合は、第2のバッファ層32は必ずしも成膜しなくても良い。第1のバッファ層31および第2のバッファ層32は、その上に形成されるTMR積層構造体40Aの結晶性を制御するために設けられる。また、第1のバッファ層31および第2のバッファ層32は、TMR積層構造体40Aに出現するTMR効果およびSTT効果を鑑みて適宜選択される。第1のバッファ層31と第2のバッファ層32との膜厚算出方法などの詳細については、図6の説明で詳細に述べる。

30

【0019】

次に、バッファ層30上にTMR積層構造体40Aを形成する。TMR積層構造体40Aは、下側から順番に自由磁化層41、トンネルバリア層42、固定磁化層43、反強磁性ピンニング層44、上部電極層45が積層されているものである。

【0020】

まず、バッファ層30上に自由磁化層41を形成する。自由磁化層41としては、例えばCoFeBであり、膜厚1nmから2nmの範囲であれば良く、例えば膜厚1.5nmを成膜する。

40

【0021】

次に、自由磁化層41上にトンネルバリア層42を形成する。トンネルバリア層42としては、例えばMgOであり、膜厚は0.8nmから1.1nmの範囲であれば良く、例えば膜厚0.9nmを成膜する。

【0022】

次に、トンネルバリア層42上に固定磁化層43を形成する。固定磁化層43は積層フェリ型であり、4層構造からなる。下側から順番に、1層目としては例えばCoFeBであり、膜厚1.5nmから2.5nmの範囲であれば良く、例えば膜厚2.0nmを成膜する。次に2層目としては、例えばCoFeであり、膜厚0nm～0.5nmの範囲の範囲であれば良く、例えば膜厚0.2nmを成膜する。次に3層目としては、例えばRuで

50

あり、膜厚0.75nmまたは1.5nmの範囲、例えば膜厚0.75nmを成膜する。次に4層目としては、例えばCoFeであり、膜厚1.5nmから2.5nmの範囲であれば良く、例えば膜厚2.0nmを成膜する。

【0023】

次に、固定磁化層43上に反強磁性ピンニング層44を形成する。反強磁性ピンニング層44としては、例えばIrMnであり、膜厚7nmから10nmの範囲であれば良く、例えば膜厚8nmを成膜する。

【0024】

また、反強磁性ピンニング層44としては、PtMnでも良く、この場合は、10nmから20nmの範囲の膜厚を成膜すれば良い。

10

【0025】

TMR積層構造体40Aの各層構成は、要求されるデバイス性能を満足するように、既知の材料、膜厚などから適宜選択される。

【0026】

次に、反強磁性ピンニング層44上に上部電極層45を成膜する。上部電極層45は、2層構造からなる。下側から順番に、1層目として例えばTaであり、膜厚0nmから2nmの範囲であれば良く、例えば膜厚1nmを成膜する。2層目として例えばRuであり、膜厚3nmから10nmの範囲であれば良く、例えば膜厚7nmを成膜する。以上で、TMR積層構造体40Aである、自由磁化層41～上部電極層45の積層は完了である。

【0027】

20

次に、上部電極層45上に接続層51を形成する。接続層51としては、例えばTaであり、膜厚30nmから80nmの範囲であれば良く、例えば膜厚50nmを成膜する。

【0028】

また、接続層51は、TaとTiNとの2層構造からなるものでも良い。この場合、下側から順番に1層目としては例えばTaであり、膜厚0nmから30nmの範囲であれば良く、例えば膜厚15nmを成膜する。次に、2層目としては例えばTiN層であり、膜厚30nmから100nmの範囲であれば良く、例えば膜厚60nmを成膜する。

【0029】

接続層51まで成膜し、成膜後に磁場中で熱処理を行うことで、反強磁性ピンニング層44は、反強磁性を出現する。

30

【0030】

図2で、52は酸化膜、53はレジストパターンである。図2は、酸化膜成膜52～レジストパターン53形成までの工程断面図である。

【0031】

図2に示すように、接続層51上に酸化膜52を形成する。酸化膜52の材料は、たとえばSiO₂であり、膜厚はたとえば100nmを成膜する。酸化膜52は、ポリシリコンなどでも良い。この酸化膜52上にフォトリソグラフィ技術に基づきレジストパターン53をパターンとして形成する。

【0032】

図3は、酸化膜52をパターン形成するまでの工程断面図である。

40

【0033】

図3に示すように、パターン形状のレジストパターン53をエッチング用マスクとして利用し、ドライエッチング法的一种である反応性イオンエッチング(RIE)法にて、酸化膜52がパターン形状にエッチングされる。酸化膜52、たとえばSiO₂をRIE法でエッチングするには、たとえばCF₄ガスが用いられる。酸化膜52の下側には、Taからなる接続層51が形成されている。Taは、CF₄ガスによるRIE法では、SiO₂に比較してエッチング・レートが低い。そのためCF₄ガスによるRIE法で、酸化膜52は選択的にエッチングされてパターン形状となり、エッチング用ハードマスクとして機能するようになる。RIE法に使用するガスは、(CF₄+Ar)ガスなどでも良い。RIE法によるエッチング完了後、レジストパターン53は除去される。

50

【0034】

図4は、接続層51をパターン形成するまでの工程断面図である。

【0035】

図4に示すように、パターン形状の酸化膜52をエッチング用ハードマスクとして利用し、RIE法にて接続層51がパターン形状にエッチングされる。接続層51、例えばTaをRIE法でエッチングするには、例えば、 Cl_2 ガスが用いられる。接続層51の下側には、上部電極層45があり、上部電極層45は2層構造からなり、本例では下側から1層目はTa、2層目はRuである。接続層51の直下にある上部電極層45の2層目Ruは、 Cl_2 ガスによるRIE法では、Taに比較してエッチング・レートが低い。そのため Cl_2 ガスによるRIE法では、接続層51は選択的にエッチングされてパターン形状となり、エッチング用ハードマスクとして機能するようになる。RIE法に使用するガスは、 $(Cl_2 + Ar)$ ガスなどでも良い。RIE法によるエッチング完了後、エッチング用ハードマスクとして使用した酸化膜52は、 CF_4 ガスによるRIE法で除去する。

10

【0036】

図5は、エッチング用ハードマスクとして使用した酸化膜52を除去した後の工程断面図である。図示していないが、酸化膜除去後に残った接続層51の平面パターン形状は、例えば、楕円形である。

【0037】

図6で、40は開示のMTJ素子、60はTaO層である。また、20Uは下部電極上層の上面の位置、42Lはトンネルバリア層の下面の位置、60UはTaO層の上面の位置である。図6は、上部電極層45～TMR積層構造体40A～第1のバッファ層31をパターンニングして、開示のMTJ素子40になるまでの工程断面図である。下部電極層20の上面の位置20Uは、MTJ素子40が形成されている領域内での上面である。

20

【0038】

図6に示すように、パターン形状の接続層51をエッチング用ハードマスクとして利用し、RIE法にて、上部電極層45～TMR積層構造体40A～第1のバッファ層31までが、パターン形状にエッチングされる。エッチングが完了すると、開示のMTJ素子40が完成する。上部電極層45～TMR積層構造体40A～第1のバッファ層31までRIE法でエッチングするには、例えば $CO : NH_3 = 1 : 10$ の混合ガスを用い、チャンバ内圧力を10Paとしてエッチングする。エッチングガスには、CO、 NH_3 のほかにArを混合しても良い。また、メタノールガスや、メタノールガスにArガスを混合したガスでも良い。エッチング状況は、エッチングしている層の発光、プラズマソースのインダクタンスの変化、元素質量分析等に基づき把握することが可能である。また、これらを検知することにより、所望の層でエッチングを完了させることも可能である。

30

【0039】

RIE法にて、上部電極層45～TMR積層構造体40A～第1のバッファ層31までをエッチングして、開示のMTJ素子40をパターン形成する場合、下部電極上層23の材料であるTaを検知し、エッチング処理の基準、すなわち終点検知とすることができる。ただし、下部電極上層23のTaを終点検知した段階でエッチング終了とすると、開示のMTJ素子40の側壁に再付着膜が残留した状態となる。開示のMTJ素子40の動作時は、開示のMTJ素子40の膜面に垂直方向に電流を流すため、再付着膜が開示のMTJ素子40の側壁に付着すると、再付着膜へ電流がリークしてしまう。特に、トンネルバリア層42の側壁に付着した再付着膜は、例えば自由磁化層41と固定磁化層43とを短絡させる経路となり、TMR効果やSTT効果の低減の原因になる。

40

【0040】

そこで、再付着膜の無いMTJ素子40を形成する。それには、RIE法によるエッチングで終点検知したのち、さらに追加のオーバーエッチングを行う。オーバーエッチングを行うには、RIE法によるエッチング開始から、下部電極上層23のTaを検知するまでの終点検知時間をまずは把握する。終点検知時間をt秒とすると、t秒に対して、オーバーエッチングとしては、 $+0.5 \times t$ (秒) から $+2.0 \times t$ (秒) の範囲から選択し

50

た時間で追加エッチング処理を行う。すなわち、終点検知時間 t (秒) に対して、50%～200%の時間を追加処理する。このようにオーバーエッチングを追加することにより、トンネルバリア層の側壁に再付着膜の無いMTJ素子40を形成することができる。

【0041】

RIE法によるオーバーエッチングの結果、MTJ素子40の周辺には、下部電極上層23のTaが露出する。そのため、オーバーエッチングを実施している時間は、露出した下部電極上層23のTaは(CO+NH₃)ガスによるRIE処理にさらされることになる。

【0042】

そのため、下部電極上層23のTa表面は、Taが酸化されて、TaO層60となる。TaO層60は、(CO+NH₃)ガスによるRIE処理によるエッチングされないことが知られている。

【0043】

オーバーエッチングを行ってもエッチングされないTaO層60は、パターニングされたMTJ素子40の周辺に、MTJ素子40の側面に沿って膨張する(図6参照)。

【0044】

この膨張により、トンネルバリア層42の側壁とTaO層60とが電氣的に接触してしまうと、トンネルバリア層42の側壁からTaO層60へ電流のリークを引き起こしてしまう。その結果、MTJ素子40のTMR効果やSTT効果は低減してしまい、記録素子としての機能を低下させてしまうという問題がある。

【0045】

図6で示すように、上記問題に鑑み、TaO層60の上面60Uの位置よりも、トンネルバリア層42の下面42Lの位置を高く形成することで、上記のようなトンネルバリア層42の側壁とTaO層60との電氣的な接触の問題を回避する。

【0046】

それにはまず、たとえば、シリコン基板に下部電極層20を準備しておき、バッファ層30、および、TMR積層構造体40Aを形成する。次に、バッファ層30、および、TMR積層構造体40Aに対して、実際の製造プロセスで用いられるエッチング条件と同じ条件で、図1～図6に対応する工程を行う。出来上がったMTJ素子40に対して、透過型電子顕微鏡(TEM: Transmission Electron Microscopy)などの方法にて、図6のような断面を観察する。その断面観察より、バッファ層30の成膜膜厚と、トンネルバリア層42の下面42Lの位置と、TaO層60の上面60Uの位置と、の関係について測長を行う。測長は、たとえば、下部電極層20の上面20Uを基準に行っても良い。

【0047】

TaO層60の上面60Uの位置は、RIE法に用いる反応ガスの種類により、膨張の度合いも異なると予想される。そのため、反応ガスを変更する場合は、その都度、上記プロセスおよび測長を行えば良い。

【0048】

実際のプロセスでは、得られた当該関係に基づき、TaO層60の上面60Uの位置よりも、トンネルバリア層42の下面42Lの位置のほうが高く形成できるように、バッファ層30の成膜膜厚を算出する。算出した膜厚のバッファ層30を成膜すれば、トンネルバリア層42の側壁に膨張したTaO層60が電氣的な接触を回避することができる。

【0049】

当該関係の一例として、TaO層60は、下部電極層20の上面20Uを基準とすると、TaO層60の下面は基準20Uよりも下側に2nm形成されることがわかった。次に、問題となるTaO層60の上面60Uは、基準20Uよりも上側に5nm形成されることがわかった。すなわち、RIE法で(CO+NH₃)ガスを用いる場合は、TaO層60の上面60Uは、下部電極層20の上面20Uよりも上側に5nmの膜厚で、MTJ素子40の側壁に沿って膨張するという調査結果として得られた。

【0050】

一方、トンネルバリア層42の下面42Lの位置は、下部電極層20の上面20Uを基準とすると、バッファ層30膜厚+自由磁化層41膜厚で決定される。自由磁化層41の膜厚は、本例では前述のように1.5nmとした。そのため、バッファ層30の膜厚を3.5nm以上成膜すれば、TaO層60の上面60Uよりもトンネルバリア層42の下面42Lの位置を高くすることができる。

【0051】

前述の図3のところで説明したように、第1のバッファ層31の膜厚は2nmから10nmの範囲であれば良い。たとえば、6nmを選択する。第2のバッファ層32の膜厚は0nmから2nmの範囲であれば良い。たとえば、1nmを選択する。

10

【0052】

トンネルバリア層42の下面42Lの位置は、下部電極層20の上面20Uを基準として、(第1のバッファ層31)の膜厚と、(第2のバッファ層32)の膜厚と、(自由磁化層41)の膜厚と、の和となる。本例では、トンネルバリア層42の下面42Lの位置は、基準20Uから測長すると、6nm+1nm+1.5nm=8.5nmである。

【0053】

以上から、本例では、バッファ層30の合計膜厚を7nm成膜したため、TaO層60の上面60Uの位置よりも、トンネルバリア層42の下面42Lの位置のほうが高く形成することできた。これにより、MTJ素子40において、トンネルバリア層42からTaO層60への電流リークを防止できる。

20

【0054】

STT効果を用いたMTJ素子に対して、膜面に垂直方向に自由磁化層側から固定磁化層側に電流が流れる。この電流により、スピン偏極した伝導電子がトンネル効果によりトンネルバリア層を通過して、固定磁化層から自由磁化層に流れ込み、自由磁化層の電子と交換相互作用する。この結果、スピン偏極した伝導電子と自由磁化層の局在電子との間にトルクが発生し、このトルクが十分に大きいと、自由磁化層の磁気モーメントは反平行から平行に反転する。

【0055】

一方、電流印加を逆方向にすると、伝導電子が自由磁化層から固定磁化層に向かって流れる。このとき、トンネルバリア層と固定磁化層との界面により伝導電子の一部が反射される。界面反射された伝導電子は、トンネルバリア層から再び自由磁化層に流れ込み、自由磁化層の局在電子と交換相互作用する。この結果、スピン偏極した伝導電子と自由磁化層の電子との間にトルクが発生し、このトルクが十分に大きいと、自由磁化層の磁気モーメントは平行から反平行に反転する。この平行から反平行への反転は、反平行から平行への反転と比較して、スピン注入効率が悪く、磁化反転に大きな電流を必要とする。このように、STT効果を用いたMTJ素子は、電流制御(印加方向及び印加電流値)のみによって自由磁化層の磁化反転を誘発し、記憶状態を書き換えることができる記憶素子である。

30

【0056】

したがって、特にSTT効果を用いたMTJ素子に対して、トンネルバリア層からTaO層への電流リークは致命的な問題である。この問題に鑑み、開示のMTJ素子40は、電流リークを防止し、高信頼のMRAMを提供することができる。

40

【実施例2】

【0057】

前述のように、第1のバッファ層31は、Ruに限らず、Pt、Zrのいずれかから選択された材料でも良く、その場合においても、膜厚は2nm~10nmの範囲であれば良い。

【0058】

第1のバッファ層31の上に配置された第2のバッファ層32は、Taに限らず、Pt、Hfでも良い。その場合においても、膜厚は0nm~2nmの範囲であれば良い。第2

50

のバッファ層 3 2 は 2 nm 以下の膜厚であれば、Ta などの R I E 法でエッチングしにくい材料を選択しても、R I E 法にてエッチングが可能である。

【0059】

第 1 のバッファ層 3 1 と第 2 のバッファ層 3 2 との合計膜厚は、5 nm 以上であれば良い。

【実施例 3】

【0060】

実施例 1 および実施例 2 では、第 1 のバッファ層 3 1 が単層である場合の例を示した。第 1 のバッファ層が単層であった場合、特に Ru 単層であった場合、表面粗さが大きくなり、その後に積層するトンネルバリア層 4 2 において面荒れを引き起こしてしまう可能性があった。トンネルバリア層 4 2 の面荒れは、TMR 効果や STT 効果の妨げになる。そのため、第 1 のバッファ層 3 1 を 3 層構造とすることが望ましい。

10

【0061】

3 層構造は、順に下層から Ru 膜、アモルファス膜、Ru 膜とすることが望ましい。アモルファス膜としては、CoFeB や CoFeBTa などから選択される。第 1 のバッファ層 3 1 は 3 層構造であった場合においても、第 1 のバッファ層 3 1 合計膜厚が 2 nm ~ 10 nm の範囲であれば良い。このように第 1 のバッファ層 3 1 は単層である場合よりも、アモルファス層を含んだ 3 層構造とすることにより、面荒れがより低減された MTJ 素子 40 を提供できる。

20

【実施例 4】

【0062】

実施例 1 から実施例 3 では、自由磁化層 4 1 が単層である場合の例を示した。その他の例として、自由磁化層 4 1 は、3 層からなる積層フェリ構造でも良い。この場合、下側から順番に、1 層目としては、例えば CoFe であり、膜厚 0.5 nm ~ 1.5 nm の範囲であれば良く、たとえば、膜厚 1.0 nm を成膜する。次に 2 層目としては、例えば Ru であり、膜厚 0.65 nm または 1.5 nm であれば良く、たとえば、膜厚 0.65 nm を成膜する。次に 3 層目としては、例えば CoFeB であり、膜厚 1 nm ~ 2 nm の範囲であれば良く、たとえば、膜厚 1.5 nm を成膜する。

【0063】

3 層からなる積層フェリ構造の 1 層目は、CoFeB としても良い。この場合、下側から順番に 1 層目としては、CoFeB であり、膜厚 0.5 nm ~ 2.0 nm の範囲であれば良く、たとえば、膜厚 1.0 nm を成膜する。次に 2 層目としては、例えば Ru であり、膜厚 0.7 nm または 1.6 nm であれば良く、たとえば、膜厚 0.7 nm を成膜する。次に 3 層目としては、例えば CoFeB であり、膜厚 1 nm ~ 2 nm の範囲であれば良く、たとえば、膜厚 1.5 nm を成膜する。

30

【0064】

自由磁化層 4 1 を積層フェリ構造とし、トンネルバリア層 4 2 に MgO 材料を用いることで、開示の MTJ 素子 40 は、熱揺らぎ安定性が得られる。

【実施例 5】

【0065】

実施例 1 から実施例 4 では、固定磁化層 4 3 上に反強磁性ピンニング層 4 4 が配置された構造を示した。その他の例として、反強磁性ピンニング層 4 4 を除いた構成で、自由磁化層 4 1 と固定磁化層 4 3 との保磁力差を利用した MTJ 素子としても良い。

40

【実施例 6】

【0066】

図 7 は、実施例 6 による磁気メモリ装置の構造を示す概略断面図である。実施例 6 による磁気メモリ装置 100 は、単純マトリクス型の磁気メモリ装置である。メモリセルとしては、実施例 1 から実施例 4 のいずれかの MTJ 素子を用いるものである。

110 は層間絶縁層、111 は Ta 層、112 は NiFe 層、113 は Cu 層、114 は

50

NiFe層、115はワード線、116は層間絶縁層、117はTi層、118はNiFe層、119はAl層、120はNiFe層、121はビット線、122は層間絶縁層、123は配線溝、124はフォトレジスト、125はコンタクトホールである。

【0067】

図7に示すように、シリコン基板10上には、層間絶縁層110が形成されている。層間絶縁層110には、Ta層111と、NiFe層112と、Cu層113と、NiFe層114とからなるワード線115が埋め込まれている。

NiFe層114上には、下部電極層20が形成されている。下部電極層20上には、図6の、第1のバウファ層31、第2のバウファ層32、自由磁化層41、トンネルバリア層42、固定磁化層(4層)43、反強磁性ピンニング層44、上部電極層45、接続層51が積層されてなるMTJ素子40が形成されている。MTJ素子40が形成された層間絶縁層110上には、層間絶縁層116が形成されている。

10

【0068】

層間絶縁層116上には、Ti層117、NiFe層118、Al層119及びNiFe層120よりなり、図6のMTJ素子40における接続層51に電氣的に接続されたビット線121が形成されている。ビット線121上には、層間絶縁層122が形成されている。

【0069】

図8は、実施例6による磁気メモリ装置100の構造を示す斜視図である。

【0070】

20

図8に示すように、ワード線115は、例えばY方向に延在して複数並列して形成されており、ビット線121は、例えばX方向に延在して複数並列して形成されている。MTJ素子40は、ワード線115とビット線121との各交点に、それぞれに電氣的に接続して形成されている。

【0071】

ここで、実施例6による磁気メモリ装置は、ワード線115及びビット線121が、低抵抗の非磁性導体材料が高透磁率の磁性導体材料によって囲まれたシールド配線構造を有していることに主たる特徴がある。すなわち、ワード線115は、低抵抗の非磁性導体材料からなる主配線部であるCu層113の底面及び側面が高透磁率の磁性導体材料であるNiFe層112により覆われ、上面がNiFe層114により覆われている。また、ビット線121は、低抵抗の非磁性導体材料からなる主配線部であるAl層119の底面がNiFe層118により覆われ、Al層119の側面及び上面がNiFe層120により覆われている。

30

【0072】

このようにして主な電流経路である主配線部の外周部を被覆するように高透磁率の磁性導体材料よりなるシールド層を設けることにより、電流を流すことにより主配線部から生じる磁界は、これを囲むシールド層によって閉じ込められ漏洩磁界を最小にすることができる。これにより、漏洩磁界によるMTJ素子の誤動作を防止することができる。

【0073】

シールド配線構造に適用する高透磁率の磁性導体材料としては、Co、Ni、Fe又はこれらの合金からなる磁性材料を適用することができる。

40

【0074】

また、実施例6による磁気メモリ装置では、ワード線115とMTJ素子40とは、非磁性導体材料よりなる図6の下部電極層20で接続され、MTJ素子40とビット線121とは、非磁性導体材料よりなる図6の接続層51で接続されている。図6の下部電極層20及び図6の接続層51は、ワード線115及びビット線121とMTJ素子40とを電氣的に低抵抗で接続するための役割を有するほかに、ワード線115及びビット線121とMTJ素子40との間において磁氣的交換結合が生じることを防止する役割をも有している。すなわち、図6の下部電極層20はワード線115とMTJ素子40との間の磁氣的な結合を切断し、図6の接続層51はMTJ素子40とビット線121との間の磁氣的

50

的な結合を切断するものである。

【0075】

ワード線115及びビット線121とMTJ素子40との間に形成する非磁性導体材料としては、Ta、Ti、W等の高融点金属或いはその窒化合物であるTa₂N、TiN、WN、又はRu、Ir等の導電性酸化物（RuO₂、IrO₂）等となる金属材料を適用することができる。また、これら材料からなる2以上の膜を積層してもよい。

【0076】

図9～図12は、実施例6による磁気メモリ装置の製造方法を示す工程断面図である。

【0077】

図9Aに示すように、まず、シリコン基板10上に、例えばCVD法によりシリコン酸化膜を堆積し、シリコン酸化膜よりなる層間絶縁層110を形成する。次いで、フォトリソグラフィ及びドライエッチングにより、層間絶縁層110に、例えば深さ約430nmの配線溝123を形成する。

【0078】

図9Bに示すように、次いで、例えばスパッタ法又はCVD法により、下地導体材料として例えば膜厚10nmのTa層111を、高透磁率の磁性導体材料として例えば膜厚30nmのNiFe層112を、低抵抗の非磁性導体材料として例えば膜厚600nmのCu層113とを、順次堆積する。Cu層113は、シード層をスパッタ法又はCVD法により堆積後、電解めっき法により堆積してもよい。

【0079】

図9Cに示すように、次いで、Cu層113、NiFe層112及びTa層111を、層間絶縁層110が露出するまで例えばCMP法により平坦化する。

【0080】

図10Aに示すように、次いで、Ta層111、NiFe層112及びCu層113が埋め込まれた層間絶縁層110上に、例えばスパッタ法又はCVD法により、高透磁率の磁性導体材料として例えば膜厚30nmNiFe層114を堆積する。次いで、NiFe層114上に、下部電極層20を形成する。次いで、下部電極層20上に、図6の第1のバッファ層31、第2のバッファ層32、TMR積層構造体40A、接続層51を形成する。

【0081】

図10Bに示すように、次いで、実施例1または実施例2で示したように、図6の第1のバッファ層31、第2のバッファ層32、TMR積層構造体40Aを、パターン形状の接続層51をマスクとして、フォトリソグラフィおよびエッチングにより、MTJ素子40を形成する。TMR積層構造体40Aから第1のバッファ層31までを異方性エッチングし、例えば200×400nmのサイズを有するMTJ素子40を形成する。MTJ素子40には、図6の第1のバッファ層31、第2のバッファ層32が積層されているため、このエッチングにより、パターンニングされたMTJ素子40の側面に沿って下部電極層20が膨張しても、図6のトンネルバリア層42側壁とは接触しない。

【0082】

図10Cに示すように、次いで、フォトリソグラフィにより、MTJ素子40を覆うフォトレジスト膜124を形成する。次いで、フォトレジスト膜124をエッチング用マスクとして利用し、ドライエッチングにより、下部電極層20及びNiFe層114を異方性エッチングする。これにより、Ta層111、NiFe層112、Cu層113及びNiFe層114よりなるワード線115が形成される。ワード線115は、低抵抗の非磁性導体材料よりなる主配線部分であるCu層113の周囲が高透磁率の磁性導体材料であるNiFe層112、114に囲まれたシールド構造となる。

【0083】

図11Aに示すように、次いで、例えばアッシングにより、フォトレジスト膜124を除去する。次いで、例えばCVD法によりシリコン酸化膜を堆積し、シリコン酸化膜よりなる層間絶縁膜116を形成する。次いで、フォトリソグラフィ及びドライエッチングに

10

20

30

40

50

より、層間絶縁膜116に、MTJ素子40における図6の接続層51に達するコンタクトホール125を形成する。

【0084】

図11Bに示すように、次いで、例えばCVD法又はスパッタ法により、下地導体材料として例えば膜厚10nmのTi層117を、高透磁率の磁性導体材料として例えば膜厚30nmのNiFe層118を、低抵抗の非磁性導体材料として例えば膜厚600nmのAl層119を、順次堆積する。

【0085】

図12Aに示すように、次いで、フォトリソグラフィ及びドライエッチングにより、Al層119、NiFe層118及びTi層117を異方性エッチングし、形成しようとするビット線121の形状にパターニングする。次いで、例えばCVD法又はスパッタ法により、高透磁率の磁性導体材料として例えば膜厚30nmのNiFe層120を堆積する。

10

【0086】

次いで、フォトリソグラフィ及びドライエッチングにより、NiFe層120を異方性エッチングし、形成しようとするビット線121の形状にパターニングする。これにより、Ti層117、NiFe層118、Al層119及びNiFe層120よりなるビット線121が形成される。ビット線121は、低抵抗の非磁性導体材料よりなる主配線部分であるAl層119の周囲が高透磁率の磁性導体材料であるNiFe層118、120に囲まれたシールド構造となる。

20

【0087】

図12Bに示すように、次いで、全面に、例えばCVD法により、例えばシリコン酸化膜を堆積し、シリコン酸化膜よりなる層間絶縁膜122を形成する。この後、必要に応じて更に上層に絶縁層や配線層等を形成し、磁気メモリ装置100を完成する。

【0088】

このように、実施例6によれば、STT効果を用いたMTJ素子を有する磁気メモリ装置100において、MTJ素子40の近傍に設けられた配線115、121をシールド配線構造とするので、これら配線115、121からの漏洩磁界による誤動作を防止することができる。また、MTJ素子40に電氣的に接続される配線115、121については、シールド配線構造にするとともに、MTJ素子と配線との間に非磁性導体材料よりなる下部電極層20、および、図6の接続層51を設ける。そのため、MTJ素子40と配線115、121との間の磁氣的な結合を切断することができる。これにより、配線115、121からの漏洩磁界の影響を効果的に防止することができる。

30

【実施例7】

【0089】

図13は、実施例7による磁気メモリ装置の構造を示す概略断面図である。実施例7による磁気メモリ装置150は、アクティブマトリクス型の磁気メモリ装置である。メモリセルとしては、実施例1から実施例4のいずれかのMTJ素子を用いるものである。200は素子分離膜、201はゲート電極、202、203はソース／ドレイン領域、204は層間絶縁層、205はコンタクトプラグ、206はグラウンド線、207は層間絶縁層、208はコンタクトプラグ、209、210は層間絶縁層、211はコンタクトホール、212はコンタクトホールである。

40

【0090】

図7～図12に示す実施例6による磁気メモリ装置100及びその製造方法と同様の構成要素には同一の符号を付し、説明を省略し或いは簡潔にする。

【0091】

シリコン基板10には、その表面に活性領域を画定する素子分離膜200が形成されている。素子分離膜200により画定されたシリコン基板10の活性領域には、ゲート電極201と、その両側のシリコン基板10内に形成されたソース／ドレイン領域202、203とを有する選択トランジスタが形成されている。

50

【0092】

選択トランジスタが形成されたシリコン基板10上には、層間絶縁膜204が形成されている。層間絶縁膜204には、ソース／ドレイン領域202に接続されたコンタクトプラグ205が埋め込まれている。層間絶縁膜204上には、コンタクトプラグ205を介してソース／ドレイン領域202に電氣的に接続されたグラウンド線206が形成されている。

【0093】

グラウンド線206が形成された層間絶縁膜204上には、層間絶縁膜207が形成されている。層間絶縁膜207には、ソース／ドレイン領域203に接続されたコンタクトプラグ208が埋め込まれている。層間絶縁膜207上には、コンタクトプラグ208を介してソース／ドレイン領域203に電氣的に接続された下部電極層20が形成されている。

10

【0094】

下部電極層20上には、図6の第1のバッファ層31、第2のバッファ層32、自由磁化層41、トンネルバリア層42、固定磁化層(4層)43、反強磁性ピンニング層44、上部電極層45、接続層51が積層されてなるMTJ素子40が形成されている。

【0095】

MTJ素子40が形成された領域以外の層間絶縁層207上及び下部電極層20上には、層間絶縁層209が埋め込まれている。MTJ素子40が埋め込まれた層間絶縁層209上には、Ti層117、NiFe層118、Al層119及びNiFe層120よりなり、MTJ素子40の接続層51に電氣的に接続されたビット線121が形成されている。ビット線121上には、層間絶縁膜210が形成されている。

20

【0096】

ゲート電極201は、紙面垂直方向に延在するワード線としても機能する。そして、複数のワード線と複数のビット線121とがマトリクス状に配され、アクティブマトリクス型の磁気メモリ装置150が構成される。

【0097】

ここで、本実施例による磁気メモリ装置150は、ビット線121が、低抵抗の非磁性導体材料が高透磁率の磁性導体材料によって囲まれたシールド配線構造を有していることに主たる特徴がある。

30

【0098】

すなわち、ビット線121は、低抵抗の非磁性導体材料からなる主配線部であるAl層119の底面がNiFe層118により覆われ、Al層119の側面及び上面がNiFe層120により覆われている。

【0099】

このようにして主な電流経路である主配線部の外周部を被覆するように高透磁率の磁性導体材料よりなるシールド層を設けることにより、電流を流すことにより主配線部から生じる磁界は、これを囲むシールド層によって閉じ込められ漏洩磁界を最小にすることができる。これにより、漏洩磁界によるMTJ素子の誤動作を防止することができる。

40

【0100】

また、実施例7による磁気メモリ装置では、MTJ素子40とビット線121とは、非磁性導体材料よりなる図6の接続層51で接続されている。図6の接続層51は、ビット線121とMTJ素子40とを電氣的に低抵抗で接続するための役割を有するほかに、ビット線121とMTJ素子40との間において磁氣的交換結合が生じることを防止する役割をも有している。すなわち、図6の接続層51はMTJ素子40とビット線121との間の磁氣的な結合を切断するものである。

【0101】

実施例7による磁気メモリ装置では、ワード線として機能するゲート電極201をシールド配線構造とはしていない。これは、ワード線がMTJ素子40から離間していることに加え、ワード線を流れる電流は漏洩磁界が問題となるほどには大きくないからである。

50

また、MTJ素子40の下部電極層20へは、コンタクトプラグ208を介して電流が流れるため、電流経路はMTJ素子40の膜面に垂直方向である。したがって、MTJ素子40への漏洩磁界の影響は無視することができる。

【0102】

図14～図16は、実施例7による磁気メモリ装置の製造方法を示す工程断面図である。

【0103】

図14Aに示すように、まず、シリコン基板10に、例えばSTI (Shallow Trench Isolation) 法により、素子分離膜200を形成する。次いで、素子分離膜200により画定された活性領域に、通常のMOSトランジスタの製造方法と同様にして、ゲート電極201及びソース／ドレイン領域202、203を有する選択トランジスタを形成する。

【0104】

図14Bに示すように、次いで、選択トランジスタが形成されたシリコン基板10上に、例えばCVD法によりシリコン酸化膜を堆積後、CMP法によりこの表面を平坦化し、シリコン酸化膜よりなる層間絶縁層204を形成する。次いで、フォトリソグラフィ及びドライエッチングにより、層間絶縁層204に、ソース／ドレイン領域202に達するコンタクトホール211を形成する。次いで、例えばCVD法により、バリアメタルとしての窒化チタン膜及びタングステン膜を堆積後、これら導電膜をエッチバック或いはポリッシュバックし、コンタクトホール211に埋め込まれソース／ドレイン領域202に電氣的に接続されたコンタクトプラグ205を形成する。次いで、コンタクトプラグ205が埋め込まれた層間絶縁層204上に導電膜を堆積してパターンニングし、コンタクトプラグ205を介してソース／ドレイン領域202に電氣的に接続されたグラウンド線206を形成する。

【0105】

図14Cに示すように、次いで、グラウンド線206が形成された層間絶縁層204上に、例えばCVD法によりシリコン酸化膜を堆積後、CMP法によりこの表面を平坦化し、シリコン酸化膜よりなる層間絶縁層207を形成する。次いで、フォトリソグラフィ及びドライエッチングにより、層間絶縁層207に、ソース／ドレイン領域203に達するコンタクトホール212を形成する。次いで、例えばCVD法により、バリアメタルとしての窒化チタン膜及びタングステン膜を堆積後、これら導電膜をエッチバック或いはポリッシュバックし、コンタクトホール212に埋め込まれソース／ドレイン領域203に電氣的に接続されたコンタクトプラグ208を形成する。

【0106】

図15Aに示すように、次いで、コンタクトプラグ208が埋め込まれた層間絶縁層207上に、下部電極層20を形成する。次いで、下部電極層20上に、図6の第1のバッファ層31、第2のバッファ層32、TMR積層構造体40A、接続層51を形成する。

【0107】

実施例1または実施例2で示したように、図6の第1のバッファ層31、第2のバッファ層32、TMR積層構造体40Aを、パターン形状の接続層51をマスクとして、フォトリソグラフィおよびエッチングにより、MTJ素子40を形成する。TMR積層構造体40Aから第1のバッファ層31までを異方性エッチングし、例えば200×400nmのサイズを有するMTJ素子40を形成する。

【0108】

図15Bに示したMTJ素子40には、図6の第1のバッファ層31、第2のバッファ層32が積層されているため、このエッチングにより、パターンニングされたMTJ素子40の側面に沿って下部電極層20が膨張しても、図6のトンネルバリア層42側壁とは接触しない。次いで、フォトリソグラフィ及びドライエッチングにより、下部電極層20を所定の形状にパターンニングする。次いで、MTJ素子40が形成された層間絶縁層207上に、例えばCVD法によりシリコン酸化膜を堆積後、このシリコン酸化膜をCMP法に

よりMTJ素子40が露出するまで平坦化し、表面が平坦化されたシリコン酸化膜よりなる層間絶縁層209を形成する。

【0109】

図16Aに示すように、次いで、例えばCVD法又はスパッタ法により、下地導体材料として例えば膜厚10nmのTi層117を、高透磁率の磁性導体材料として例えば膜厚30nmのNiFe層118を、低抵抗の非磁性導体材料として例えば膜厚600nmのAl層119を、順次堆積する。次いで、フォトリソグラフィ及びドライエッチングにより、Al層119、NiFe層118及びTi層117を異方性エッチングし、形成しようとするビット線の形状にパターンニングする。

【0110】

図16Bに示すように、次いで、例えばCVD法又はスパッタ法により、高透磁率の磁性導体材料として例えば膜厚30nmのNiFe層120を堆積する。次いで、フォトリソグラフィ及びドライエッチングにより、NiFe層120を異方性エッチングし、形成しようとするビット線の形状にパターンニングする。これにより、Ti層117、NiFe層118、Al層119及びNiFe層120よりなるビット線121が形成される。ビット線121は、低抵抗の非磁性導体材料よりなる主配線部分であるAl層119の周囲が高透磁率の磁性導体材料であるNiFe層118、120に囲まれたシールド構造となる。次いで、全面に、例えばCVD法により、例えばシリコン酸化膜を堆積し、シリコン酸化膜よりなる層間絶縁層210を形成する。この後、必要に応じて更に上層に絶縁層や配線層等を形成し、磁気メモリ装置150を完成する。

【0111】

このように、実施例7によれば、STT効果を用いたMTJ素子を有する磁気メモリ装置150において、MTJ素子40の近傍に設けられた配線をシールド配線構造とするので、これら配線からの漏洩磁界による誤動作を防止することができる。また、MTJ素子40に電氣的に接続される配線については、シールド配線構造にするとともに、MTJ素子と配線との間に非磁性導体材料よりなる図6の接続層51を設ける。そのため、MTJ素子40と配線との間の磁氣的な結合を切断することができる。これにより、配線からの漏洩磁界の影響を効果的に防止することができる。

(付記1)

下部電極層上に形成されたバッファ層と、

前記バッファ層とトンネルバリア層を含むトンネル磁気抵抗効果積層構造体とからなる磁気トンネル接合素子と、

前記磁気トンネル接合素子周辺に形成された金属酸化膜とを有し、

前記トンネルバリア層の下面の位置が前記金属酸化膜の上面の位置よりも高いことを特徴とする磁気ランダムアクセスメモリ。(1)

(付記2)

前記バッファ層は、第1のバッファ層と第2のバッファ層との積層膜からなり、

前記第1のバッファ層はRu、Pt、Zrのいずれかであり、

前記第2のバッファ層はTa、Pt、Hfのいずれかである

ことを特徴とする付記1に記載の磁気ランダムアクセスメモリ。(2)

(付記3)

前記第1のバッファ層は、順に下層からRu層、アモルファス層、Ru層の3層構造からなり、

前記アモルファス層は、CoFeBまたはCoFeBTaのいずれかであることを特徴とする付記2に記載の磁気ランダムアクセスメモリ。(3)

(付記4)

前記第1のバッファ層は、2nmから10nmの範囲の膜厚であり、

前記第2のバッファ層は、前記第1のバッファ層との合計膜厚が5nm以上となるように調整されて形成される

10

20

30

40

50

ことを特徴とする付記 2 または 3 のいずれか 1 項に記載の磁気ランダムアクセスメモリ。

(4)

(付記 5)

前記磁気トンネル接合素子が自由磁化層と固定磁化層とを有しており、スピントランスファートルクにより前記自由磁化層の磁化を反転させ、トンネル磁気抵抗効果により前記固定磁化層の磁化方向に対する前記自由磁化層の磁化方向を検知する

ことを特徴とする付記 1 ～ 4 のいずれか 1 項に記載の磁気ランダムアクセスメモリ。(5)

(付記 6)

下部電極層上にバッファ層を形成する工程と、

前記バッファ層上に、トンネルバリア層を含むトンネル磁気抵抗効果積層構造体を形成する工程と、

前記トンネル磁気抵抗効果積層構造体上にマスクを形成する工程と、

前記バッファ層と前記トンネル磁気抵抗効果積層構造体とを前記マスクを用いてエッチングすることにより、磁気トンネル接合素子を形成する工程と、
を有し、

前記磁気トンネル接合素子を形成する工程で、前記磁気トンネル接合素子周辺に形成された金属酸化膜において、

前記トンネルバリア層の下面の位置が前記金属酸化膜の上面の位置よりも高い
ことを特徴とする磁気ランダムアクセスメモリの製造方法。(6)

(付記 7)

前記トンネルバリア層下面の位置は、前記バッファ層の成膜膜厚に基づいて決定される
ことを特徴とする付記 6 に記載の磁気ランダムアクセスメモリの製造方法。(7)

(付記 8)

バッファ層の膜厚と、

トンネルバリア層下面位置と

磁気トンネル接合素子周辺に形成された下部電極層上の金属酸化膜上面位置との
関係をあらかじめ求めておき、当該関係に基づいて、
前記バッファ層を形成する工程を行う

ことを特徴とする付記 6 または 7 のいずれかに記載の磁気ランダムアクセスメモリの製造
方法。(8)

(付記 9)

前記バッファ層は、第 1 のバッファ層と第 2 のバッファ層との積層膜からなり、

前記第 1 のバッファ層は R u、P t、Z r のいずれかであり、

前記第 2 のバッファ層は T a、P t、H f のいずれかである

ことを特徴とする付記 6 ～ 8 のいずれか 1 項に記載の磁気ランダムアクセスメモリの製造
方法。

(付記 10)

前記第 1 のバッファ層は、順に下層から R u 層、アモルファス層、R u 層の 3 層構造か
らなり、

前記アモルファス層は、C o F e B または C o F e B T a のいずれかである
ことを特徴とする付記 9 に記載の磁気ランダムアクセスメモリの製造方法。

(付記 11)

前記第 1 のバッファ層は、2 n m から 1 0 n m の範囲の膜厚であり、

前記第 2 のバッファ層は、前記第 1 のバッファ層との合計膜厚が 5 n m 以上となるよう
に調整して形成する

ことを特徴とする付記 9 または 1 0 のいずれか 1 項に記載の磁気ランダムアクセスメモ
リの製造方法。

【符号の説明】

【0 1 1 2】

10

20

30

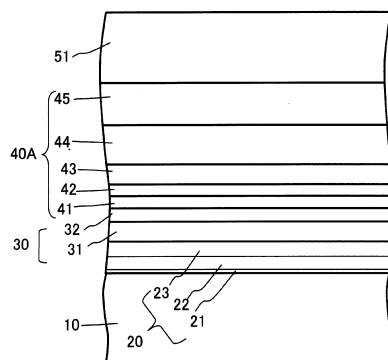
40

50

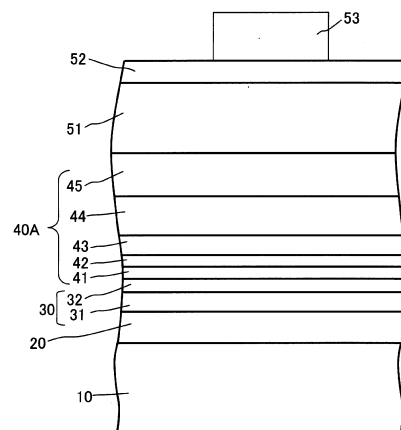
1 0	基板	
2 0	下部電極層	
2 0 U	下部電極層の上面の位置、	
2 1	下部電極下層	
2 2	下部電極中間層	
2 3	下部電極上層	
3 0	バッファ層	
3 1	第 1 のバッファ層	
3 2	第 2 のバッファ層	
4 0 A	T M R 積層構造体	10
4 0	開示の M T J 素子	
4 1	自由磁化層	
4 2	トンネルバリア層	
4 2 L	トンネルバリア層の下面の位置	
4 3	固定磁化層	
4 4	反強磁性ピンニング層	
4 5	上部電極層、	
5 1	接続層	
5 2	酸化膜	
5 3	レジストパターン	20
6 0	T a O 層	
6 0 U	T a O 層の上面の位置	
1 0 0	単純マトリクス型の磁気メモリ装置	
1 1 0	層間絶縁層	
1 1 1	T a 層	
1 1 2	N i F e 層	
1 1 3	C u 層	
1 1 4	N i F e 層	
1 1 5	ワード線	
1 1 6	層間絶縁層	30
1 1 7	T i 層	
1 1 8	N i F e 層	
1 1 9	A l 層	
1 2 0	N i F e 層	
1 2 1	ビット線	
1 2 2	層間絶縁層	
1 2 3	配線溝	
1 2 4	フォトレジスト	
1 2 5	コンタクトホール	40
1 5 0	アクティブマトリクス型の磁気メモリ装置	
2 0 0	素子分離膜	
2 0 1	ゲート電極	
2 0 2、2 0 3	ソース／ドレイン領域	
2 0 4	層間絶縁層	
2 0 5	コンタクトプラグ	
2 0 6	グラウンド線	
2 0 7	層間絶縁層	
2 0 8	コンタクトプラグ	
2 0 9	層間絶縁層	50

- 2 1 0 層間絶縁層
- 2 1 1 コンタクトホール
- 2 1 2 コンタクトホール

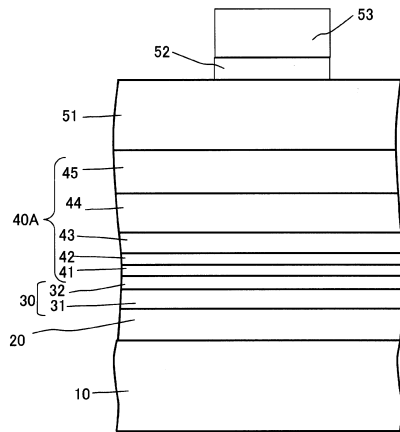
【図 1】



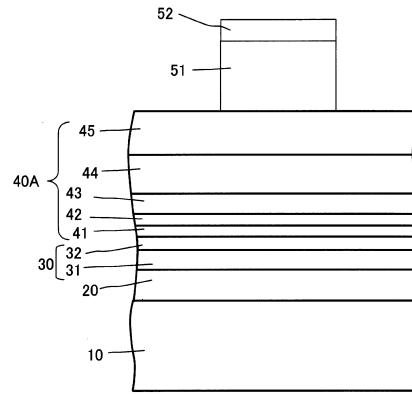
【図 2】



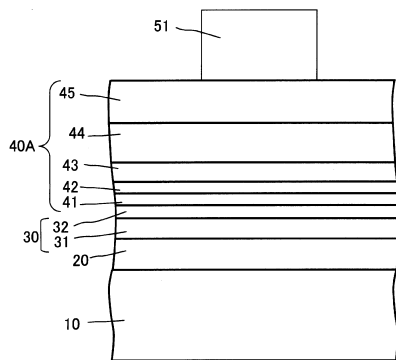
【図 3】



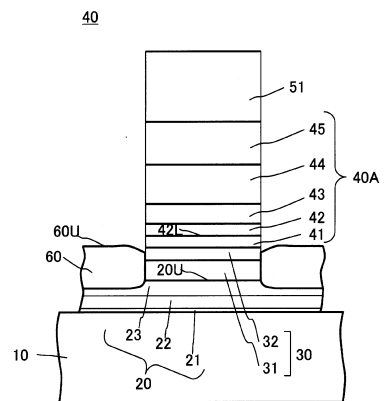
【図 4】



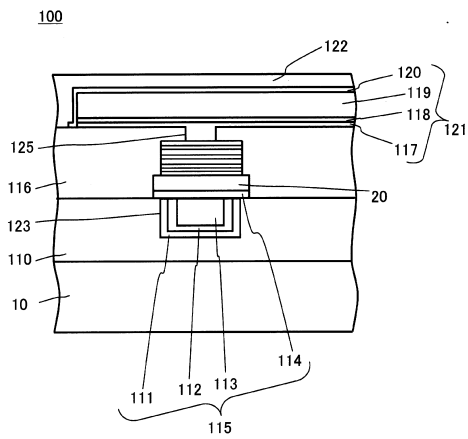
【図 5】



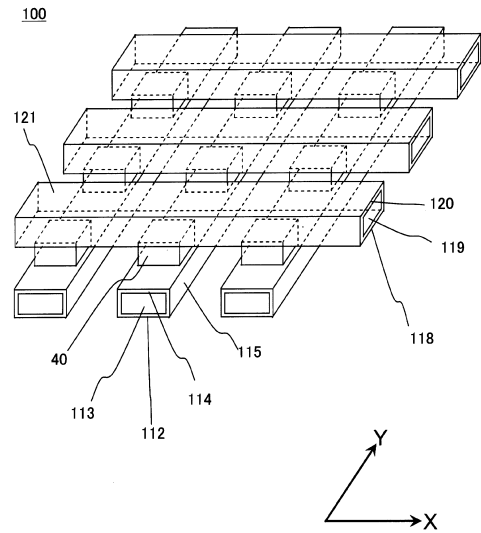
【図 6】



【図 7】



【図 8】



【図 9】

図9A

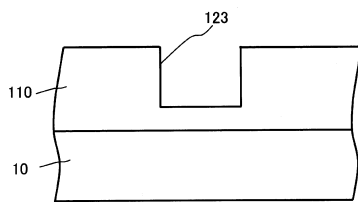


図9B

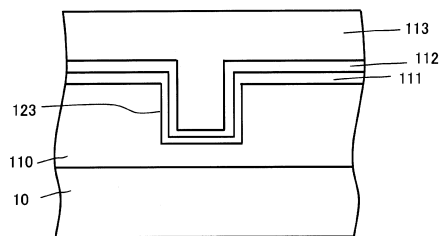
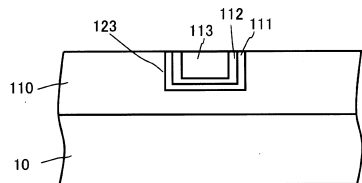


図9C



【図 10】

図10A

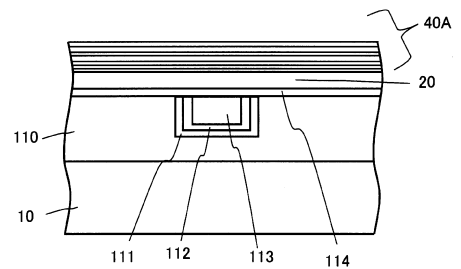


図10B

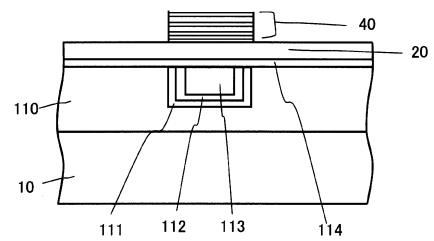
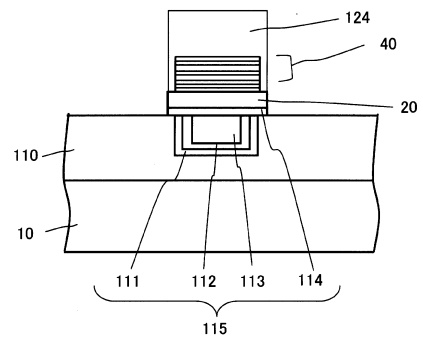


図10C



【図 1 1】

図11A

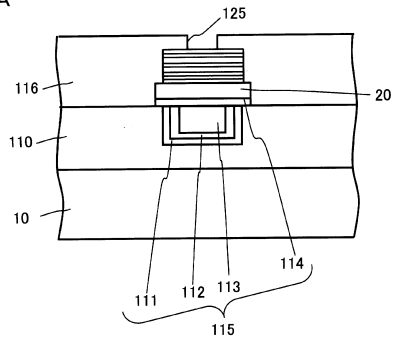
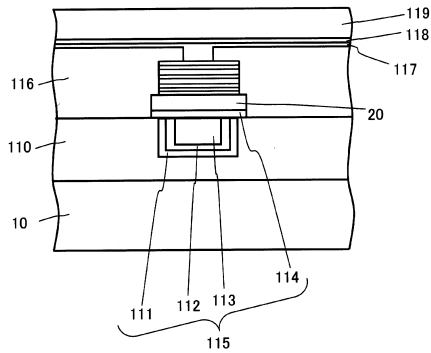


図11B



【図 1 2】

図12A

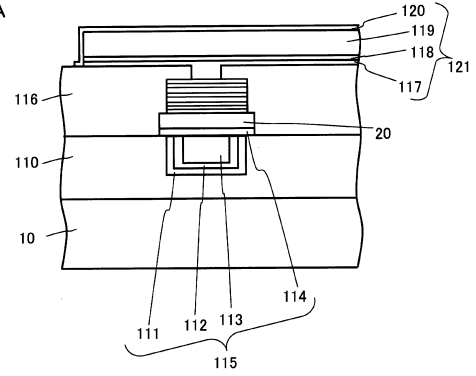
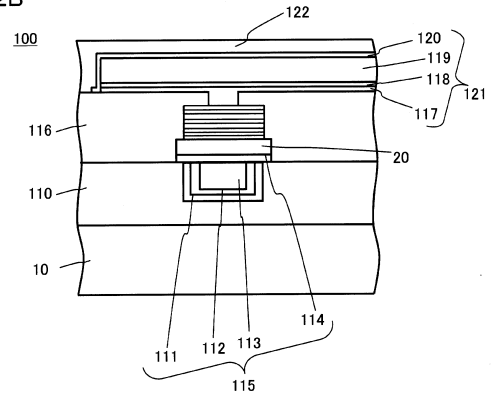
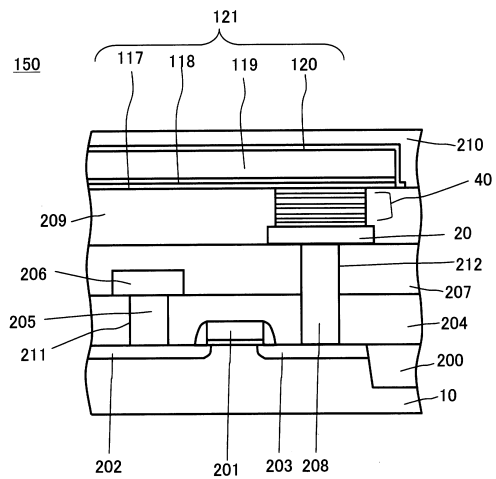


図12B



【図 1 3】



【図 1 4】

図14A

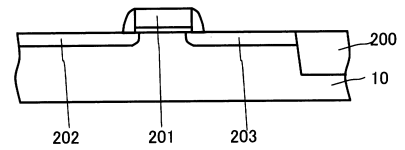


図14B

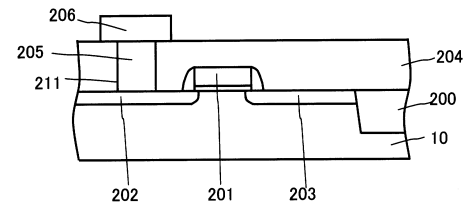
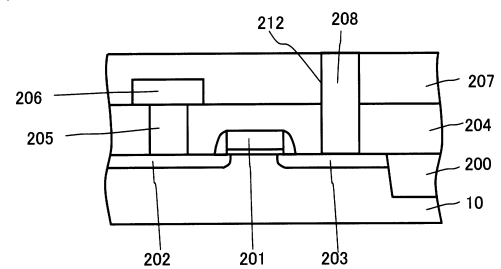
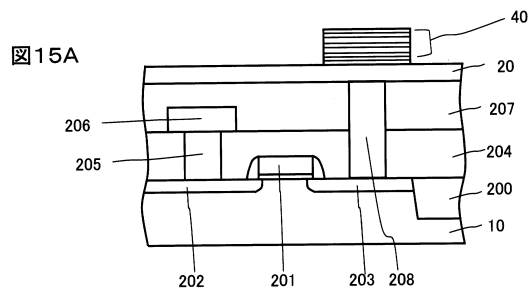


図14C



【図 15】



【図 16】

図16A

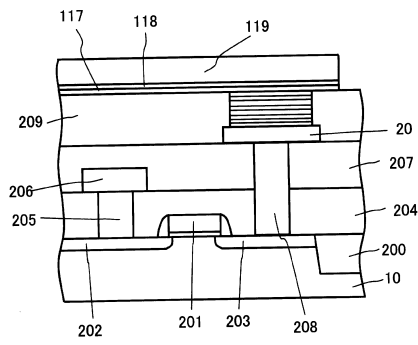


図15B

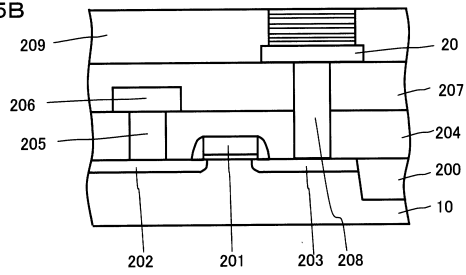
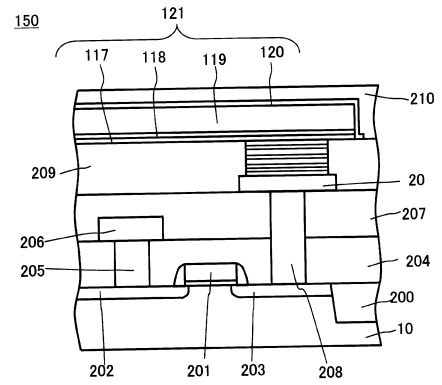


図16B



フロントページの続き

(58)調査した分野(Int.Cl., DB名)

H01L 21/8246
27/105、27/22
29/82
43/00-43/14