



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0046830
(43) 공개일자 2009년05월11일

(51) Int. Cl.

H01L 21/336 (2006.01) H01L 29/78 (2006.01)

(21) 출원번호 10-2009-7002857

(22) 출원일자 2009년02월12일

심사청구일자 없음

번역문제출일자 2009년02월12일

(86) 국제출원번호 PCT/IB2007/053211

국제출원일자 2007년08월13일

(87) 국제공개번호 WO 2008/020394

국제공개일자 2008년02월21일

(30) 우선권주장

06118967.6 2006년08월16일

유럽특허청(EPO)(EP)

(71) 출원인

코닌클리케 필립스 일렉트로닉스 엔.브이.

네덜란드왕국, 아인트호펜, 그로네보르스베그 1

(72) 발명자

마다카시라 비자야라가반

네덜란드 아인트호벤 에이이 엔엘-5656 씨/오 하
이 테크 캠퍼스 44

탈리-보그스트롬 라스 엠.

네덜란드 아인트호벤 에이이 엔엘-5656 씨/오 하
이 테크 캠퍼스 44

(뒷면에 계속)

(74) 대리인

문경진

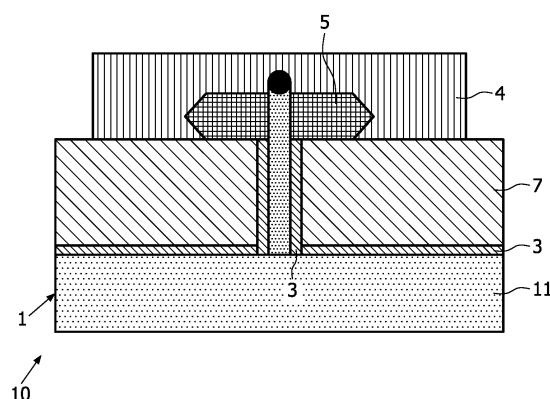
전체 청구항 수 : 총 16 항

(54) 반도체 디바이스를 제조하는 방법 그리고 이러한 방법으로 얻어진 반도체 디바이스

(57) 요약

본 발명은 적어도 하나의 반도체 요소가 구비된 반도체 몸체(1)를 가진 반도체 디바이스(10)를 제조하는 방법에 관한 것이며, 여기서 반도체 몸체(1)의 표면에 메이서(mesa)-형태 반도체 지역(2)이 형성되며, 마스크층 레이어(3)가 메이서-형태 지역(2) 위에 증착되고, 그 최상부(top) 근처에서 메이서-형태 반도체 지역(2)의 측면 표면과 경계를 이루는 마스크층 레이어(3)의 한 부분(3a)이 제거되고 전기적으로 전도성있는 연결 지역(4)이 결과적 구조상에 형성되어 메이서-형태 반도체 지역(2)을 위한 접촉부를 형성하게 된다. 본 발명에 따라 마스크층 레이어(3)의 상기 부분의 제거 후에 그러나 전기적 전도성 연결 지역(4)의 형성 이전에 메이서-형태 반도체 지역(2)은 마스크층 레이어(3)의 상기 부분(3a)의 제거에 의해서 비워진 메이서-형태 반도체 지역(2)의 측면 표면에서 부가 반도체 지역(5)에 의해서 확장된다. 이런 방식으로 매우 낮은 접촉 저항을 가지는 디바이스(10)가 단순한 방식으로 얻어질 수 있다. 바람직하게 메이서-형태 반도체 지역(2)은 VLS와 같은 추가 에피택셜(epitaxial) 성장 프로세스에 의해서 나노-와이어로 형성된다. 부가 지역(5)은 예를 들어 MOVPE에 의해서 얻어질 수 있다.

대표도 - 도8



(72) 발명자

마커스 에릭 피. 에이. 엠.

네덜란드 아인트호벤 에이이 엔엘-5656 씨/오 하이
테크 캠퍼스 44

반 덴 아인든 빌헬름스 티. 에이. 제이.

네덜란드 아인트호벤 에이이 엔엘-5656 씨/오 하이
테크 캠퍼스 44

뷔니커 올라프

네덜란드 아인트호벤 에이이 엔엘-5656 씨/오 하이
테크 캠퍼스 44

특허청구의 범위

청구항 1

적어도 하나의 반도체 요소를 구비한 반도체 몸체(1)를 가진 반도체 디바이스(10)를 제조하는 방법으로서, 반도체 몸체(1)의 표면 상에 메이서(mesa)-형태 반도체 지역(2)이 형성되고, 매스팅 레이어(3)이 메이서-형태 반도체 지역(2)위에 증착되고, 최상부(top) 근처에서 메이서(mesa)-형태 반도체의 측면 표면과 경계를 이루는 매스킹 레이어(3)의 부분(3a)이 제거되며, 전기 전도성 연결 지역(4)이 메이서-형태 반도체 지역(2)을 위한 접촉부를 형성하는 결과적인 구조 상에 형성되는, 적어도 하나의 반도체 요소를 구비한 반도체 몸체(1)를 가진 반도체 디바이스(10)를 제조하는 방법에 있어서,

매스킹 레이어(3)의 상기 부분(3A)의 제거 후 그러나 전기 전도성 연결 지역(4)의 형성 이전에 메이서-형태 반도체 지역(2)이 매스킹 레이어(3)의 상기 부분(3A)의 제거에 의해서 비워진 메이서-형태 반도체 지역(2)의 측면 표면에서 부가(additional) 반도체 지역(5)에 의해서 확장되는(widened) 것을 특징으로 하는, 반도체 디바이스를 제조하는 방법.

청구항 2

제 1항에 있어서, 메이서-형태 반도체 지역(2)이 추가 에피택셜 성장(epitaxial growth) 프로세스에 의해서 형성되는 것을 특징으로 하는, 반도체 디바이스를 제조하는 방법.

청구항 3

제 2항에 있어서, 에피택셜 성장 프로세스가 추가 에피택셜 성장 프로세스보다 더 높은 온도에서 수행되는 것을 특징으로 하는, 반도체 디바이스를 제조하는 방법.

청구항 4

제 2항 또는 제 3항에 있어서, 에피택셜 성장 프로세스와 추가 에피택셜 성장 프로세스가 동일한 성장 장치에서 수행되는 것을 특징으로 하는, 반도체 디바이스를 제조하는 방법.

청구항 5

제 1항 내지 제 4항중 어느 한 항에 있어서, 부가 반도체 지역(5)이 고도로 도핑되는(highly doped), 바람직하게 메이서-형태 반도체 지역(2)보다 더 높게 도핑되는 것을 특징으로 하는, 반도체 디바이스를 제조하는 방법.

청구항 6

제 1항 내지 5항 중 어느 한 항에 있어서, 부가 반도체 지역(5)과 메이서-형태 반도체 지역(2)에 대해서 상이한 반도체 물질들이 선택되는 것을 특징으로 하는, 반도체 디바이스를 제조하는 방법.

청구항 7

제 6항에 있어서, 메이서-형태 반도체 지역(2)에 대해서, 고-밴드갭(high-bandgap) III-V 반도체 물질이 선택되고, 부가 반도체 지역(5)에 대해서 저-밴드갭(low-bandgap) III-V 반도체 물질이 선택되는 것을 특징으로 하는, 반도체 디바이스를 제조하는 방법.

청구항 8

제 1항 내지 7항 중 어느 한 항에 있어서, 전기 전도성 연결 지역(4)이 형성되어 부가 반도체 지역(5)과 접촉하는 것을 특징으로 하는, 반도체 디바이스를 제조하는 방법.

청구항 9

제 1항 내지 제 8항 중 어느 한 항에 있어서, 매스킹 레이어(3)에 대해서 절연 레이어가 선택되는 것을 특징으로 하는, 반도체 디바이스를 제조하는 방법.

청구항 10

제 1항 내지 제 9항 중 어느 한 항에 있어서, 매스킹 레이어(3)에 메이서-형태 반도체 지역(2)의 높이보다 훨씬

작은 두께가 제공되며, 마스크 레이어(3)의 최상부 상에 포토 레지스트(photo resist) 레이어(6)가 증착되고, 상기 포토 레지스트 레이어(6)로 메이서-형태 반도체 지역(2)의 높이보다 더 작으나 그 높이에 근접하는 두께를 가지며, 그 이후 포토 레지스트 레이어(6)에 의해서 커버되지 않은 마스크 레이어(3)의 부분(3A)이 제거되고, 뒤이어 포토 레지스트 레이어(6)가 제거되는 것을 특징으로 하는, 반도체 디바이스를 제조하는 방법.

청구항 11

제 1항 내지 제 10항 중 어느 한 항에 있어서, 부가 반도체 지역(5)의 형성 이후 두꺼운 고립 지역(7)이 증착되고, 구조(structure)가 적어도 부가 반도체 지역 아래 레벨로 평면화 되는 것을 특징으로 하는, 반도체 디바이스를 제조하는 방법.

청구항 12

제 1항 내지 제 11항에 있어서, 메이서-형태 반도체 지역(2)에 대해서 나노-와이어가 선택되는 것을 특징으로 하는, 반도체 디바이스를 제조하는 방법.

청구항 13

제 1항 내지 제 12항 중 어느 한 항에 있어서, 반도체 몸체(1)의 시작 지점으로서 실리콘 기판(substrate)(11)이 선택되는 것을 특징으로 하는, 반도체 디바이스를 제조하는 방법.

청구항 14

제 1항 내지 제 13항 중 어느 한 항에 있어서, 반도체 요소에 대해서 트랜지스터가 선택되는 것을 특징으로 하는, 반도체 디바이스를 제조하는 방법.

청구항 15

제 14항에 있어서, 메이서-형태 반도체 지역(2)이 바이폴라 트랜지스터의 이미터 또는 컬렉터(collector)를 형성하거나 또는 전계 효과 트랜지스터(field effect transistor)의 소스 또는 드레인으로의 접촉부를 형성하는 것을 특징으로 하는, 반도체 디바이스를 제조하는 방법.

청구항 16

제 1항 내지 제 15항 중 어느 한 항에 따른 방법에 의해서 얻어지는 반도체 디바이스.

명세서

기술 분야

<1> 본 발명은 기판과 적어도 하나의 반도체 요소를 구비한 반도체 몸체를 가진 반도체 디바이스를 제조하는 방법과 관련한 것이며, 여기서 반도체 몸체의 표면 상에 메이서-형태(mesa-shaped) 반도체 지역이 형성되며, 마스크 레이어가 메이서-형태의 반도체 지역 위에 증착되고, 그 최상부 근처에서 메이서-형태 반도체 지역의 측면 표면과 경계를 이루는 마스크 레이어의 부분이 제거되며, 전기적 전도성 연결 지역이 메이서-형태 반도체 지역을 위한 접촉부를 형성하는 결과하는 구조 상에 형성된다. 본 발명은 또한 이러한 방법으로 얻어지는 반도체 디바이스에 관련한 것이다.

배경 기술

<2> 이러한 방법은 IC(Integrated Circuit) 또는 메이서-형태 반도체 지역과 같은 나노-와이어 요소를 포함하는 이산(discrete) 디바이스와 같은 다른 디바이스들과 같은 반도체 디바이스를 제조하는데 매우 적합하다. 이 명세서에서 나노 와이어는 0.5에서 100nm 사이 그리고 보다 특정적으로 1에서 50nm 사이의 적어도 한 측면(lateral)상 크기를 가지는 몸체를 의미한다. 바람직하게 나노-와이어는 상기 범위에 놓이는 두 개의 측면 방향들에서의 크기들을 가진다. 나노-와이어의 길이는 보통, 예를 들어, 약 1-10 μm 일 것이다. 반도체에서 극히 작은 크기들을 접촉시키는 것은 반도체 프로세싱에서 도전적인 기술이라는 것이 또한 여기서 주의된다. 그러나, 메이서-형태 반도체 지역이 특히 나노 와이어를 포함하는 것으로 의도된다하더라도, 본 발명은 또한 다른 크기들을 가지거나 나노-와이어들이 보통 형성되는 방식들과 다른 방식으로 형성되는 다른 메이서 형태 반도체 지역들에도 적용 가능하다. 지역이 메이서-형태를 이룬다는 것은, 지역이 반도체 몸체의 표면 상에서 돌출부를 형성

한다는 것을 의미한다.

<3> 도입부 단락에서 언급된 바와 같은 방법은 2005년 7월에 WO 2005/064664로 공개된 PCT(Patent Cooperation Treaty) 특허 출원으로부터 알려진다. 이 문서에, 디바이스가 헤테로접선(heterojunction)을 가지도록 제조되는 방법이 기술되어 있다. 예를 들어 III-V 물질의 나노 와이어는 실리콘과 같은 IV 물질의 기판위 표면 상에 형성된다. 나노-와이어는 트랜지스터 디바이스 주위의 게이트로서 형성된다. 드레인 기판에 의해서 형성되며, 나노-와이어는 채널 지역을 형성하고, 채널 지역은 나노-와이어와 격리된(isolated) 게이트 지역에 의해서 둘러싸이게 된다. 나노-와이어는 전기적 절연 레이어에 묻히게 되며, 연마(polishing)에 의해서 나노-와이어의 상부 표면이 비워지게 된다. 다음으로, 절연 레이어의 부가(additional) 부분이 선택적 에칭에 의해서 제거되며, 이런 방식으로 최상부 근처의 나노-와이어의 측면 표면의 상부 부분이 비워지게 된다. 다음으로 전도성 레이어가 결과하는 구조 상에 증착되어 나노-와이어를 위한 전기적 전도성 연결 지역을 형성하게 된다.

<4> 이러한 방법의 단점은 나노-와이어와 전기 전도 연결 지역 사이의 저-옴(low-ohmic) 접촉을 얻기가 항상 용이하지는 않다는 것이다. 이는 특히 나노-와이어가, 실리콘과 다른 물질, 예를 들어, III-V 물질을 포함하는 경우 성립한다.

발명의 상세한 설명

<5> 따라서 본 발명의 목적은, 위의 단점을 회피하면서, 나노-와이어와 연결 지역 사이에 매우 낮은 옴 접촉을 허용해주는 나노-와이어와 같은 메이서-형태 반도체 지역을 포함하는 반도체 디바이스들의 제조에 적합한, 방법을 제공하는 것이다.

<6> 이를 성취하기 위해, 도입 단락에서 기술된 타입의 방법은, 마스크 레이어의 상기 부분의 제거 이후 그러나 전기적 전도성 연결 지역의 형성 이전에, 메이서-형태 반도체 지역이 마스크 레이어의 상기 부분의 제거에 의해서 비워진 메이서-형태 반도체 지역의 측면 표면에 부가 반도체 지역에 의해서 확장되는 것을 특징으로 하게 된다. 본 발명은 다음의 인식들에 근거한다. 첫 번째로, 부가적인 반도체 지역에 의한 메이서-형태 반도체 지역을 확장시킴에 의해서, 연결 지역과 상기 메이서-형태 반도체 지역 사이의 접촉 지역이 증가된다. 이미 이런 방식으로 접촉 저항이 감소 될 수 있다. 또한, 반도체 지역, 즉, 부가 반도체 지역의 확장을 위해, 메이서-형태 반도체 지역을 위해 선택된 것과 다른 반도체 물질이 선택될 수 있다. 이런 방식으로, 상기 물질의 적합한 선택에 의해서, 접촉 저항이 더 감소될 수 있다. 게다가, 확장이 에피택셜(epitaxial) 프로세스로 수행되므로, 프로세스 조건들 및 에피택셜 프로세스의 타입이 원하는 저 접촉 저항의 관점에서 최적의 선택을 형성하는 부가 지역(확장된 지역)에서의 물질에 대해 최적이 되도록 선택될 수 있다.

<7> 본 발명에 따른 방법의 바람직한 실시예에서 메이서-형태 반도체 지역은 추가 에피택셜 성장 프로세스에 의해서 형성된다. 이런 방식으로, 본 발명에 따른 방법은 메이서 형태 반도체 지역으로서 나노-와이어를 사용하는 것에 최적일 수 있다. 이러한 나노-와이어는 이점적으로 소위 VLS(Vapor Liquid Solid) 에피택셜 프로세스에 의해서 형성될 수 있다.

<8> 바람직하게 에피택셜 성장 프로세스는 추가 에피택셜 성장 프로세스 보다 더 높은 온도에서 수행된다. 추가 에피택셜 프로세스, 특히 이전에 언급된 VLS 프로세스는 최적의 결과들을 위해 상대적으로 보통의 온도들을 요구한다. 한편, 추가 반도체 지역, 즉, 확장된 지역은 확장된 지역을 위한 반도체 물질의 선택을 위한 원하는 선택의 자유도를 얻기 위해 보다 높은 성장 온도를 요구한다. 이러한 '고' 성장 온도 에피택셜 프로세스는 VPE(=Vapor Phase Epitaxy), MBE(=Molecular Beam Epitaxy), MOVPE(=Metal Organic Vapor Phase Epitaxy), MOMBE(=Metal Organic Molecular Beam Epitaxy), LPE(=Liquid Phase Epitaxy) 또는 ALE(=Atomic Layer Epitaxy)일 수 있다. 이들 프로세스들은 섭씨 200에서 900, 그리고 바람직하게 예를 들어 550에서 700 도에서 기능할 수 있는 반면, 이전에 언급된 VLS 프로세스는 섭씨 350에서 450도 범위의 온도에서 기능한다. 또한 보다 고온이 성장되는 물질에 따라서 사용될 수 있다. 질소화물 나노-와이어에 대해서 보통의 성장 온도는 섭씨 700에서 800의 범위에 있다.

<9> 이점적 변형예에서, 에피택셜 성장 프로세스와 추가 에피택셜 성장 프로세스는 동일한 성장 장치에서 수행된다. 이는 효율적이며 디바이스를 청결하게 유지하는 이점들을 제공한다. 두 성장 프로세스들 모두 부가 지역의 형태를 수정하기 위해 때때로 사용될 수 있다. 또 다른 가능성은 부가 지역에 의해서 와이어가 확장된 후 나노 와이어 성장을 계속하는 것이다. 후자의 변형예에 대해서 두 성장 프로세스들 모두를 동일한 장비에서 수행할 필요는 없다.

<10> 추가 실시예에서 부가 반도체 지역은 고도로, 바람직하게 메이서-형태 반도체 지역 보다 더 높게, 도핑된다.

이는 또한 쇼트키(Shottkey) 배리어(의 두께)의 감소를, 따라서 저 접촉 저항을 허용한다. 또한, 부가 지역의 물질은 이의 매우 높은 도핑을 허용하도록 선택될 수 있다. 또한, 이러한 높은 도핑은 밖으로의 확산(out diffusion)을 사용하여, 나노-와이어, 또는 그 적어도 상부 부분의 도핑을 위해서 사용될 수 있다.

<11> 바람직하게 부가 반도체 지역과 메이서-형태 반도체 지역에 대해 상이한 반도체 물질들이 선택된다. 이것의 장점은 위에서 이미 설명되었다. 다양한 물질들 사이의 래티스(lattice) 부정합으로 인한 구조에서의 가능한 변형력(strain)을 감소시키기 위해, 조성(composition)의 그레이딩(grading)이 사용될 수 있다. 또한 부가 지역의 두께는 적은 변형력을 허용하기에 충분히 적게 선택될 수 있다. 만일 나노-와이어의 최상부가 에피택셜 성장 프로세스를 위해 사용가능하지 못할 경우, 성장은 단순히 측면적(lateral) 수 있으며, 부가 지역의 두께는 매스킹 레이어로부터 돌출하는 나노-와이어 부분의 매우 한정된 높이를 선택함에 의해서 원하는 만큼 낮게 만들어질 수 있다. 만일 성장이 또한 나노-와이어의 최상부 상에 허용될 경우, 부가 지역의 두께는 추가 에칭 단계에 의해서 감소될 수 있다.

<12> 메이서-형태 반도체 지역의 또 다른 실시예에서, 고 밴드갭(bandgap) III-V 반도체 물질이 선택되며 부가 반도체 지역에 대해서 저-밴드갭 III-V 반도체 물질이 선택된다. 이런 방식으로 나노-와이어는 트랜지스터의 부분으로서 기능하기 위한 최적의 성질들을 가질 수 있는 반면, 부가 지역은 저 접촉 저항에 최적화된다.

<13> 바람직하게 전기 전도성 연결 지역이 형성되어 부가 반도체 지역과 접촉하게 된다. 그러나, 연결 지역은 또한 나노-와이어의 상부 표면과 접촉한다. 매스킹 레이어에 대해서, 바람직하게 절연 레이어가 선택된다. 이러한 레이어들은 이들에 의해서 커버되지 않은 반도체 지역들 상의 선택적 에피택시(epitaxy)를 얻는데 매우 잘 기능한다. 적합한 물질은 실리콘 이산화물 또는 실리콘 질소화물일 수 있다. 바람직하게 매스킹 레이어에는 메이서-형태 반도체 지역의 높이 보다 훨씬 더 작은 두께가 제공되며, 매스킹 레이어의 최상부 상에, 포토 레지스트(photo resist) 레이어가 증착되어 반도체 지역의 높이 보다 더 작은 그러나 이에 근접하는 두께를 가지게 되고, 이후 포토 레지스트 레이어에 의해서 커버되지 않은 매스킹 레이어의 부분이 제거되고, 뒤이어 포토 레지스트 레이어가 제거된다. 이러한 방법은, 관여된 프로세스가 빠르며 사용되는 물질의 양이 적거나 저렴하므로 빠르고 저렴하다. 정규(regular) 포토 레지스트 대신에, PMMA(=Poly Methyl Meta Acrylate) 물질이 이 시점에서 사용될 수 있다. 이러한 PMMA 물질의 장점은 자기-평면화 되는 방식으로 구조들을 커버한다는 것이다. 단순하고 짧은 건조 또는 습윤(wet) PMMA 에칭이 나노-와이어(의 더 많은 부분을) 노출시키기 위해 증착 후에 상기 레이어의 두께를 감소시키는데 사용될 수 있다.

<14> 부가 반도체 지역의 형성 후에, 바람직하게 두꺼운 고립 지역이 증착되며 구조는 적어도 부가 반도체 지역 아래 레벨에서 평면화된다.

<15> 이전에 이미 언급된 바와 같이, 바람직하게 나노-와이어가 메이서-형태 반도체 지역에 대해서 선택된다. 반도체 몸체의 시작 지점으로서, 바람직하게 실리콘 기판이 선택된다. 실리콘 기판으로 반도체 몸체의 형성은 표준 실리콘 기술에서 다른 디바이스들 또는 컴포넌트들의 집적을 허용해준다. 실리콘은 또한 나노-와이어들을 형성하기 위한 VLS 기술의 응용에 매우 적합하다.

<16> 반도체 요소에 대해서 바람직하게 트랜지스터가 선택된다. 메이서-형태 반도체 지역(나노-와이어)은 바이폴라 트랜지스터의 이미터(emitter) 또는 컬렉터(collector) 또는 전계 효과 트랜지스터의 소스 또는 드레인으로서의 접촉부를 형성한다.

<17> 마지막으로, 본 발명은 또한 본 발명에 따른 방법에 의해 얻어지는 반도체 디바이스를 포함한다.

<18> 본 발명의 이러한 그리고 다른 양상들은, 도면들과 함께 읽혀질, 이 명세서에서 이후 기술되는 실시예들로부터 명확해 지며 이들을 참조하여 설명될 것이다.

실시예

<20> 도면들은 개략적이며 축척이 지켜지지 않았고, 두께 방향으로의 크기가 특히 보다 나은 명확성을 위해 과장된다. 상응하는 부분들은 다양한 도면들에서 일반적으로 동일한 참조 번호들과 동일한 음영(hatching)이 주어진다.

<21> 도 1 내지 8은 본 발명에 따른 방법을 사용하는 제조의 다양한 관련 단계들에서 반도체 디바이스의 단면도들이다. 제조될 반도체 디바이스는 이미 도 1 이전의 단계에서 통상의 방법으로 제조될 수 있는 반도체 요소를 - 또는 다수의 이러한 요소들을 - 포함한다. 요소는, 예를 들어, 전계 효과 트랜지스터 또한 바이폴라 트랜지스터일 수 있다. 이 예시의 방법으로 형성되는 메이서-형태 지역은 예를 들어 전계 효과 트랜지스터 소스/드레

인 지역 또는 바이폴라 트랜지스터의 이미터 또는 역(inverted) 바이폴라 트랜지스터에서 컬렉터 지역을 위한 접촉 구조일 수 있다. 이러한 트랜지스터의 특징들은 단순성의 목적으로 도면에 도시되지 않았다.

- <22> 디바이스(10)의 제조의 제 1 관련 단계에서(도 1 참조), 반도체 요소, 예를 들어 필드 효과 또는 양극 트랜지스터가 이미 (대부분) 형성되어 있는, 실리콘 반도체 몸체(1)를 형성하는 실리콘 기관(11)이 메이서-형태 반도체 지역(2)을 구비하며, 여기서 나노-와이어(들)(2)가 예를 들어, GaN과 같은 고-밴드갭 III-V 물질을 포함한다. 이들 와이어들(2)은 예를 들어 균일하게 증착된 레이어의 포토리소그래피 및 에칭에 의해서 뿐만 아니라, 예를 들어, Applied Physics Letters, vol. 4, no. 5, 1 march 1964, pp. 89-90에 출간된 R.S. Wagner와 W.C. Ellis의 "Vapor-liquid-solid mechanism of single crystal growth"에 기술된 선택적 증착 기술에 의해서 형성될 수 있다. 이 예시에서 필러(pillar)(2)의 높이는 약 500nm 이며, 그 직경은 약 50nm이다. 와이어(2)의 최상부 상의 지역(9)은 예를 들어 상기 VLS 성장 기술에 사용되는 Gold 방울(drop)에 의해서 형성된다. 이와 관련하여 촉매로서 Au의 사용 없이 성장하는 자체-결정화 GaN 나노 와이어가 제시된 바가 있다는 사실이 주지된다.
- <23> 이후에(도 2 참조) 실리콘 이산화물의 얇은 레이어(3)가 소스 물질로 CVD(=Chemical Vapor Deposition) 및 TEOS(=Tetra Ethyl Ortho Silicate)를 사용하여 증착된다. 이 예시에서 레이어(3)는 두께가 10nm 이며 그 두께는 모든 위치에서 실질적으로 동일하다. 이 레이어(3)의 기능은 뒤따르는 에피택셜 증착 프로세스에서 에피택셜 성장에 대한 얇은 필러(1)를 위한 앵커(anchor)와 마스크 레이어를 형성하는 것이다.
- <24> 다음으로 (도 3 참조) 두꺼운 포토 레지스트 레이어(6)가, 예를 들어 스피닝(spinning)에 의해서, 구조 위에 증착된다. 상기 레지스트 레이어(6)의 두께는 약 475nm이도록 선택된다. 따라서 마스크 레이어(3)의 부분(3A)에 의해서 커버되는 나노-와이어(2)의 부분은 레지스트 레이어(6)로부터 돌출하며 약 25nm(=500nm - 475nm)의 높이를 가진다. 이전에 언급된 바와 같이, (PMMA) 레지스트 레이어(6)의 증착 및 뒤따르는 상기 레이어를 다시 에칭하는 조합이 최상부 근처에서 원하는 길이에 걸친 나노-와이어(2) 팁(tip)의 노출을 얻는데 사용될 수 있다. 상기 길이의 조정은 동일한 방식으로 수행될 수 있다. 이런 방식으로, 레지스트 두께와 관련하여 어떠한 결정적인 프로세스 명세도 요구되지 않는다.
- <25> 이후(도 4 참조) 절연 레이어(3)의 부분(3A)이 선택적 에칭에 의해서, 예를 들어 완충된 수성 HF 용액에 의해서 제거된다. 에칭은 알려진 에칭 속도를 사용하여 시간에 근거하여(on time base) 행해진다.
- <26> 다음으로 (도 5 참조) 포토 레지스트 레이어(6)가 예를 들어 적합한 유기 용액에 의해서 제거된다. 구조는 이제 다양한 방식으로 세척될 수 있으며, HF 수성 용액으로의 담금이 자유롭게 접근 가능한 반도체 지역(2)의 표면 상의 어떠한 산화물도 제거하도록 사용될 수 있다.
- <27> 결과적인 구조(도 6 참조)는 다음으로 MOVPE 장치와 같은 에피택셜 성장 장치에 놓여진다. 예를 들어, 섭씨 550에서 700도 범위의 성장(growth) 온도로 가열 후에, 부가 반도체 지역(5)이 나노-와이어(2)의 비워진(freed) 측면 상에 성장된다. 이 예시에서, Gold 방울(9)이 여전히 나노-와이어(2)의 최상부 상에 존재하여 나노-와이어(2)의 최상부 상에 에피택셜 성장을 방지하며, 따라서, 에피택셜 성장은 실질적으로 측면상에 이뤄지게 된다. 여기서 부가 지역(5)에는 고도로 도핑된 GaAs 또는 GaInAs가 제공된다. 성장은 부가 지역(5)의 측면 크기이, 예를 들어, 100에서 1000nm 의 범위 안에 있게 되는 즉시 종료된다.
- <28> 다음으로(도 7 참조) 디바이스 구조(10)가 두꺼운 유전체(7)의 증착에 의해서 평면화 된다. 이는 예를 들어 유럽 출원 번호 05110790.2에 기술된 방식을 사용하여 행해질 수 있다. 유전체(7)는 실리콘 이산화물을 포함할 수 있다.
- <29> 이제 (도 8 참조), 금속 레이어, 여기서, 예를 들어 0.1에서 1μm 사이의 범위의 두께를 가지는 티타늄-금 이중 레이어가, 예를 들어 스퍼터링 또는 진공 증착 기술을 사용하여, 구조 위에 증착된다. 금속 레이어는 포토 리소그래피와 같은 패터닝 단계와 뒤따르는 금속 레이어의 에칭을 통해 연결 지역(4)으로 변형될 수 있으며, 다음으로 구조는 원하는 경우 뒤따르는 가열 처리아래 놓일 수 있다. 결과적인 구조는 나노-와이어를 포함하며, 이는 매우 저-옴 접촉 저항을 가지는 연결 지역을 구비하게 된다.
- <30> 다음으로, - 다음 단계들은 도면에 도시되지 않음 - PMD(=Pre Metal Dielectric) 레이어가 예를 들어 1000nm의 두께를 가지는 실리콘 이산화물을 포함하며 CVD를 사용하여 증착된다. 이 단계 후에 접촉 구멍들이 포토리소그래피와 에칭을 사용하여 PMD 레이어에 형성된다. 마지막으로 금속 레이어, 예를 들어 알루미늄 레이어가 보다 큰 크기의 연결 지역(4)을 접촉하기 위해 증착되고 패터닝된다. 장작에 적합한 개개의 디바이스들(10)은 에칭 또는 소잉(sawing)과 같은 분리 기술의 적용 후에 얻어질 수 있다.

- <31> 본 발명이 이 명세서에 기술된 예시들에 한정되지 않으며, 본 발명의 범위 내에서 많은 변형과 수정들이 가능하다는 것이 당업자들에게 자명할 것이다.
- <32> 예를 들어 본 발명이 트랜지스터와 같은 이산 디바이스의 제조 뿐만 아니라 (C)MOS 또는 BI(C)MOS IC와 같은 IC의 그리고 바이폴라 IC의 제조에도 적합하다는 것이 주지될 것이다. 각 나노 와이어 지역은 단일 디바이스(의 부분)를 위한 것일 수 있으나, 또한 단일 디바이스 또는 디바이스의 단일 지역의 부분을 형성하는 다수의 나노 와이어들을 사용하는 것도 가능하다.
- <33> 또한 다양한 수정들이 각 단계들과 관련하여 가능하다는 것이 주지된다. 예를 들어 다른 증착 기술들이 예시에서 사용된 것들에 대신하여 선택될 수 있다. 이는 선택되는 물질들에 대해서도 동일하게 적용된다. 따라서, (추가) 절연 레이어가 예를 들어 실리콘 탄소화물로 만들어 질 수 있다.
- <34> 마지막으로 본 발명은 한편으로 큰 도핑 레벨을 포함하며 한편 다른 한편으로 큰 접촉 패드가 제공 될 수 있는 나노 와이어의 경우에서와 같이 매우 작은 측면 크기를 가지는 메이서-형태 지역을 가지는 디바이스를 만들게 해준다는 것이 다시 강조되어야 한다.

산업상 이용 가능성

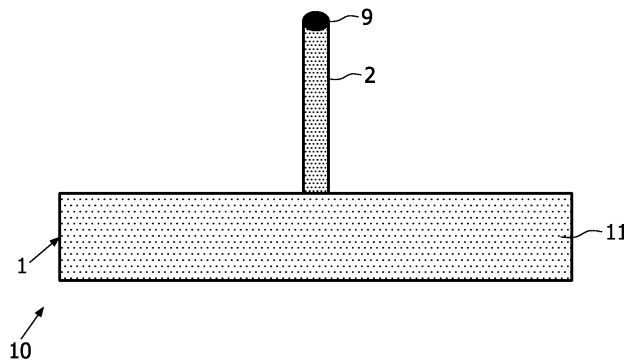
- <35> 본 발명은 기관과 적어도 하나의 반도체 요소를 구비한 반도체 몸체를 가진 반도체 디바이스를 제조하는 방법에 관련한 것이며, 여기서 반도체 몸체의 표면 상에 메이서-형태 반도체 지역이 형성되며, 마스크 레이어가 메이서-형태 지역 위에 증착되고, 그 최상부 근처에서 메이서-형태 반도체 지역의 측면 표면과 경계를 이루는 마스크 레이어의 부분이 제거되며, 전기적 전도성 연결 지역이 결과하는 구조 상에 형성되어 메이서-형태 반도체 지역을 위한 접촉부를 형성하게 함으로써 산업상 이용 가능하다.

도면의 간단한 설명

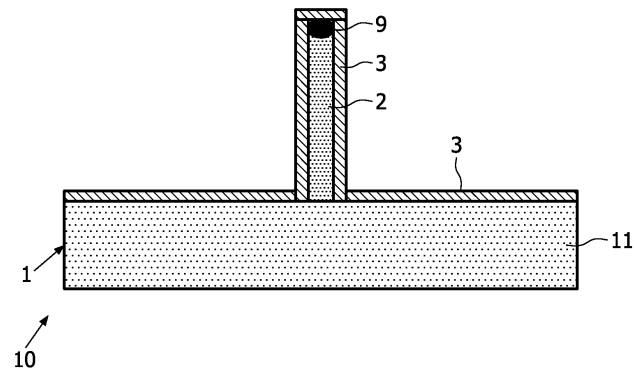
- <19> 도 1 내지 8은 본 발명에 따른 방법을 사용하는 제조의 다양한 단계들에서 반도체 디바이스의 단면도들.

도면

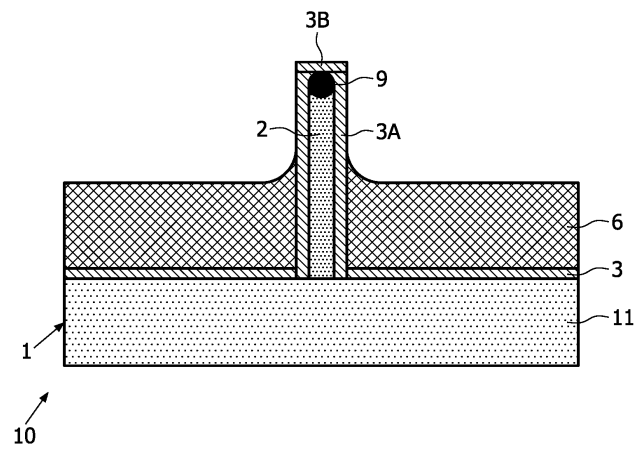
도면1



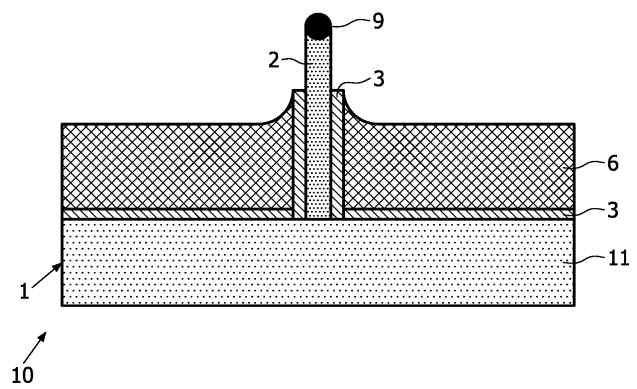
도면2



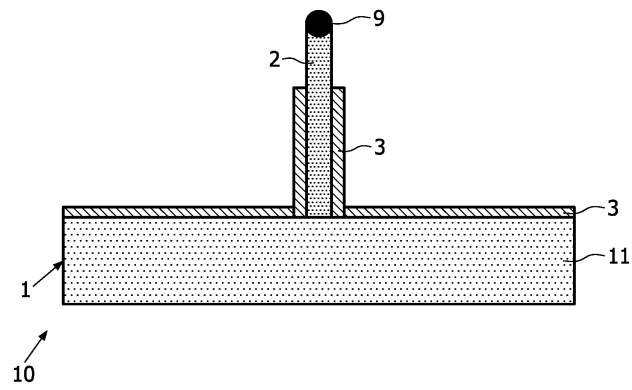
도면3



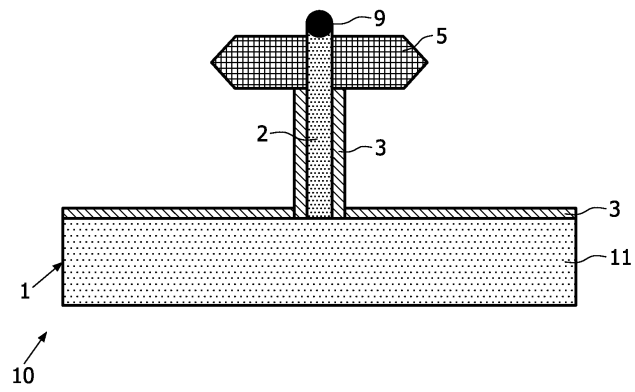
도면4



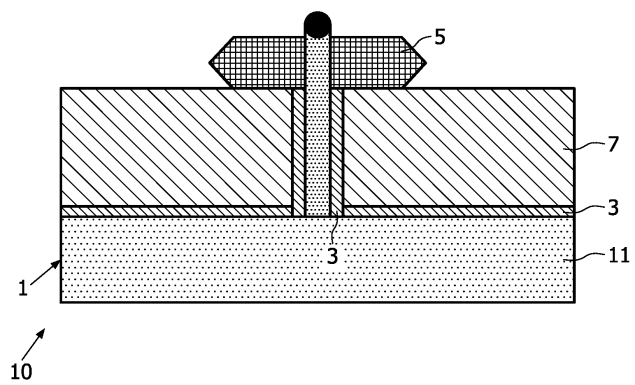
도면5



도면6



도면7



도면8

