

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-283073

(P2008-283073A)

(43) 公開日 平成20年11月20日(2008.11.20)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/66 (2006.01)	HO 1 L 21/66 B	2 G 1 3 2
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 T	4 M 1 0 6
HO 1 L 27/04 (2006.01)	HO 1 L 21/66 Z	4 M 1 1 2
HO 1 L 29/84 (2006.01)	HO 1 L 29/84 Z	5 F 0 3 8
GO 1 R 31/28 (2006.01)	GO 1 R 31/28 U	

審査請求 未請求 請求項の数 13 O L (全 18 頁) 最終頁に続く

(21) 出願番号 特願2007-127161 (P2007-127161)  
 (22) 出願日 平成19年5月11日 (2007.5.11)

(71) 出願人 000005108  
 株式会社日立製作所  
 東京都千代田区丸の内一丁目6番6号  
 (74) 代理人 100080001  
 弁理士 筒井 大和  
 (72) 発明者 町田 俊太郎  
 東京都国分寺市東恋ヶ窪一丁目280番地  
 株式会社日立製作所中央研究所内  
 (72) 発明者 小林 孝  
 東京都国分寺市東恋ヶ窪一丁目280番地  
 株式会社日立製作所中央研究所内  
 Fターム(参考) 2G132 AA00 AB01 AF01 AK02 AL09  
 4M106 AA01 BA01 DD10

最終頁に続く

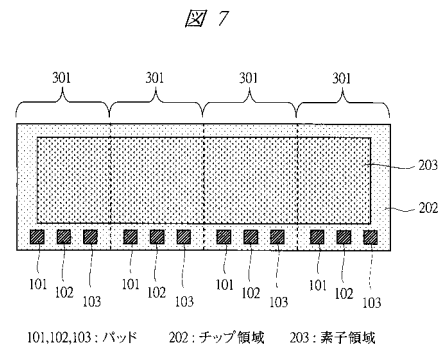
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 大面積チップの場合でも、通常のLSIチップと共通の検査装置でプローブ検査ができる製造技術を提供する。

【解決手段】 チップ領域202で分割される複数の検査領域301を有し、素子領域203に半導体プロセスによって形成された素子を有するチップを準備する。次いで、素子と電気的に接続されるパッド101、102、103を、複数の検査領域301のそれぞれに対応する位置に形成する。次いで、複数のパッド101、102、103を介して、複数の検査領域301のそれぞれを同一のプローブカードによって検査する。

【選択図】 図7



**【特許請求の範囲】****【請求項 1】**

基板の主面に形成された素子と電氣的に接続された複数の第 1 パッドおよび複数の第 2 パッドを有するチップを備え、

前記複数の第 1 パッドおよび前記複数の第 2 パッドが、前記チップの主面を同じ大きさで分割された複数の領域のそれぞれの対応する位置にレイアウトされていることを特徴とする半導体装置。

**【請求項 2】**

請求項 1 記載の半導体装置において、

前記チップは、更に、前記第 1 パッドと電氣的に接続された第 3 パッドを有し、

前記第 3 パッドが、前記複数の領域外にレイアウトされ、

前記第 1 パッドには、ワイヤボンディングされておらず、

前記第 2 パッドおよび前記第 3 パッドには、ワイヤボンディングされていることを特徴とする半導体装置。

**【請求項 3】**

請求項 1 記載の半導体装置において、

前記チップは、更に、前記素子とは電氣的に接続されていない複数の第 4 パッドを有し

、前記複数の第 4 パッドが、前記複数の領域のそれぞれの対応する位置にレイアウトされていることを特徴とする半導体装置。

**【請求項 4】**

請求項 1 記載の半導体装置において、

前記複数の第 1 パッドおよび前記複数の第 2 パッドのレイアウトが、前記チップを平行移動させたときに、前記複数の領域のそれぞれで同じであることを特徴とする半導体装置

。

**【請求項 5】**

請求項 1 記載の半導体装置において、

前記複数の第 1 パッドおよび前記複数の第 2 パッドのレイアウトが、前記チップを 90°回転移動、または 180°回転させたときに、前記複数の領域のそれぞれで同じであることを特徴とする半導体装置。

**【請求項 6】**

請求項 1 記載の半導体装置において、

前記チップは、矩形状であり、一辺が 3 cm 以上であることを特徴とする半導体装置。

**【請求項 7】**

請求項 1 記載の半導体装置において、

前記素子は、

前記基板の上に設けられた第 1 電極と、

前記第 1 電極上に設けられた空洞部と、

前記空洞部上に設けられた第 2 電極と、

から構成され、

前記第 1 パッドが、前記第 1 電極と電氣的に接続されており、

前記第 2 パッドが、前記第 2 電極と電氣的に接続されていることを特徴とする半導体装置。

**【請求項 8】**

以下の工程を含む半導体装置の製造方法：

(a) 複数の第 1 領域、および前記複数の第 1 領域のそれぞれで分割される複数の第 2 領域を有し、前記第 1 領域に半導体プロセスによって形成された素子を有する基板を準備する工程、

(b) 前記工程 (a) の後、前記素子と電氣的に接続される複数の第 1 パッドおよび複数の第 2 パッドを、前記複数の第 2 領域のそれぞれに対応する位置に形成する工程、

(c) 前記工程 (b) の後、前記複数の第 1 パッドおよび前記複数の第 2 パッドを介して、前記複数の第 2 領域のそれぞれを同一のプローブカードによって検査する工程、  
 (d) 前記工程 (c) の後、前記基板をダイシングして、前記複数の第 1 領域から複数のチップを取り出す工程。

【請求項 9】

請求項 8 記載の半導体装置の製造方法において、  
 前記工程 (b) では、前記複数の第 1 パッドおよび前記複数の第 2 パッドを、前記チップを平行移動させたときに、前記複数の第 2 領域のそれぞれで同じとなるようにレイアウトすることを特徴とする半導体装置の製造方法。

【請求項 10】

請求項 8 記載の半導体装置の製造方法において、  
 前記工程 (b) では、前記複数の第 1 パッドおよび前記複数の第 2 パッドを、前記チップを 90° 回転移動、または 180° 回転させたときに、前記複数の第 2 領域のそれぞれで同じとなるようにレイアウトすることを特徴とする半導体装置の製造方法。

【請求項 11】

請求項 8 記載の半導体装置の製造方法は、更に以下の工程を含む：  
 (e) 前記工程 (b) と同時に、前記第 1 パッドと電氣的に接続される第 3 パッドを、前記複数の第 2 領域外にレイアウトする工程、  
 (f) 前記工程 (d) の後、前記第 2 パッドおよび前記第 3 パッドにワイヤボンディングする工程。

【請求項 12】

請求項 11 記載の半導体装置の製造方法は、更に以下の工程を含む：  
 (g) 前記工程 (c) の後、前記工程 (f) の前に、互いに電氣的に接続されている前記第 1 パッドと前記第 3 パッドとの間を、前記第 3 パッドとの近傍で前記第 1 パッドと前記第 3 パッドの電氣的接続を切断する工程。

【請求項 13】

請求項 8 記載の半導体装置の製造方法において、  
 前記工程 (b) と同時に、複数の第 4 パッドを、前記複数の第 2 領域のそれぞれに対応する位置に形成し、  
 前記複数の第 2 領域うちの少なくとも一つの領域の前記第 4 パッドは、前記素子と電氣的に接続し、  
 前記複数の第 2 領域の他の領域の前記第 4 パッドは、前記素子と電氣的に接続しないことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造技術に関し、特に、半導体プロセスを用いて形成したマイクロエレクトロメカニカルシステム (MEMS; Micro Electro Mechanical Systems) のプローブ検査に適用して有効な技術に関するものである。

【背景技術】

【0002】

近年の MEMS 技術により、センサやアクチュエータなどを LSI 製造プロセス (半導体プロセス) により作製したデバイスが開発され始めている。

【0003】

これらのデバイスが搭載されたチップの大きさは、搭載されるセンサやアクチュエータの大きさに依存して様々であり、通常の LSI チップが 1 ~ 2 cm 角、あるいはそれ以下のサイズであるのに対して、より大面積のチップとなることもある。

【0004】

通常の LSI チップの場合、プローバやテスターといった検査装置とプローブカードを用いて、ウェハ状態で全素子のプローブ検査を行い、デバイスの歩留り解析や、引き続く

10

20

30

40

50

ウェハのダイシング工程、パッケージング工程等の実装工程の前で、不良チップをウェハ段階で選別する。

【0005】

プローブ検査は、外部からの電源や信号をチップに供給する全てのパッドにプローブカードを用いて針当てし、チップ上の素子の電気的特性や不良、さらにはパッド自体の不良を検出する。

【0006】

プローブ検査を行うためには、それぞれのチップのパッド配置に一致した針配置を持つプローブカードと、プローブカードをプローバやテスターに装着するマザーボードや、それらを固定するホルダーが必要となる。

10

【0007】

チップが通常のLSIチップのサイズである場合は、マザーボードやホルダーは共通、共用化されており、各チップに対応するプローブカードを用意すればプローブ検査ができるようになっている。つまり、プローバやテスターで、複数の品種のチップのプローブ検査を行う場合は、装置の変更はプローブカードの交換のみでよく、各品種に対応する測定プログラムによりプローブ検査が可能であり、検査のスループットの低下を防いでいる。

【0008】

例えば、特開2002-303653号公報(特許文献1)では、プローブ検査で使用するパッドの配置をチップ外周4辺の2辺にのみに集めることによって、プローブカードの針当てがし易いように、また、隣接する複数のチップを同時に検査できることが開示されている。

20

【0009】

また、特開平8-64648号公報(特許文献2)では、隣接する複数のチップで共通のプローブ検査用パッドを設けて、検査を行うチップをデコード回路を用いて選択することにより、複数チップを1回の針当てで検査できることが開示されている。

【0010】

また、特開平7-176577号公報(特許文献3)では、1つのチップを複数の領域に分割して、個々の領域を同時にプローブ検査することにより、検査時間を短縮できることが開示されている。

30

【特許文献1】特開2002-303653号公報

【特許文献2】特開平8-64648号公報

【特許文献3】特開平7-176577号公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

ところで、MEMS技術により作製したセンサやアクチュエータを搭載したチップも通常のLSIチップと同様にプローブ検査を行う必要があるが、大面積チップとなった場合には、プローブカードも大面積のカードが必要となり、通常のLSIのプローブ検査で使用するマザーボードやホルダーを使用できなくなる。さらには、プローバやテスターといった検査装置が、大面積チップに対応していない場合は、装置自体を改造する必要が生じる。

40

【0012】

センサやアクチュエータは少量多品種生産の場合が多く、それぞれの品種毎にプローブカードホルダーなどを交換、変更すると、そのための工数が検査コストに加算され、さらにはプローバやテスターに改造を行う必要がある場合には、品種毎に専用の検査装置を用意する必要が生じる等、検査コストが一層高くなってしまいうという問題が生じる。

【0013】

特許文献1、2では、通常のLSIチップに対して、複数のチップを同時にプローブ検査することで、特許文献3では、通常のLSIチップに対して、チップを複数の領域に分割し、個々の領域を同時にプローブ検査することで、検査時間の短縮を図るものである。

50

すなわち、通常のサイズのLSIチップに対するものであり、チップの面積が通常のLSIサイズよりも大きな場合に適用できるものではない。

【0014】

本発明の目的は、大面積チップの場合でも、通常のLSIチップと共通の検査装置でプローブ検査ができる製造技術を提供することにある。

【0015】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0016】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0017】

本発明による半導体装置は、半導体基板の主面に形成された素子と電気的に接続された複数の第1パッドおよび複数の第2パッドを有する半導体チップを備え、前記半導体チップの主面を同じ大きさの複数の領域に分割し、前記複数の第1パッドおよび前記複数の第2パッドが、前記複数の領域のそれぞれの対応する位置にレイアウトされている。

【0018】

また、本発明による半導体装置の製造方法は、まず、(a)複数の第1領域、および前記複数の第1領域のそれぞれで分割されてなる複数の第2領域を有し、前記第1領域に半導体プロセスによって形成された素子を有する半導体ウェハを準備する。次いで、(b)前記素子と電気的に接続される複数の第1パッドおよび複数の第2パッドを、前記複数の第2領域のそれぞれに対応する位置に形成する。次いで、(c)前記複数の第1パッドおよび前記複数の第2パッドを介して、前記複数の第2領域のそれぞれを同一のプローブカードによって検査する。次いで、(d)前記半導体ウェハをダイシングして、前記複数の第1領域から複数の半導体チップを取り出す。

【発明の効果】

【0019】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0020】

本発明によれば、半導体ウェハ上のチップにおいて複数の領域に分割してプローブ検査を行い、さらに、プローブ検査の際に用いるパッドのレイアウトを、チップを平行移動あるいは回転させても各領域で同じにすることで、1枚のプローブカードで大面積のチップのプローブ検査でき、検査のスループットの向上ならびに検査コストを低減することができる。

【発明を実施するための最良の形態】

【0021】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。また、平面図であっても図面を見易くするためにハッチングを付す場合もある。

【0022】

(実施の形態1)

本発明の実施の形態1におけるMEMSの平面図を図1、図7に、断面図を図2～図5に示す。また、本実施の形態1におけるMEMSの拡大平面図を図6に示す。

【0023】

図1に本発明の実施の形態1におけるMEMSを模式的に示すウェハ平面図を示す。複数のチップ領域202(第1領域)、および複数のチップ領域202のそれぞれで分割さ

10

20

30

40

50

れてなる複数の検査領域 301 (第2領域)を有する。チップ領域 202 は後のダイシング工程で切り出されるチップが形成される単位領域であり、図 1 には 16 の領域が示されている。また、検査領域 301 は後の検査工程で検査される単位領域であり、チップ領域 202 内で 4 つの領域が示されている。

#### 【0024】

図 2、3、4、5 は製造工程中の MEMS を模式的に示す断面図である。図 2 に示すように、基板 1 の主面 (素子形成面) 上に絶縁膜 2、導電膜 3 の順で形成した後、導電膜 3 をパターニングする。基板 1 は、例えば p 型の単結晶シリコン基板である。また、絶縁膜 2 は、例えば CVD (Chemical Vapor Deposition) 法によって形成された酸化シリコン膜である。また、導電膜 3 は、例えばスパッタによって形成されたアルミニウム膜である。導電膜 3 のパターニングは、例えばフォトリソグラフィおよびエッチングによって絶縁膜 2 をストッパ膜として行う。なお、パターニングされた導電膜 3 は MEMS を構成する素子の下部電極となる。

10

#### 【0025】

続いて、図 3 に示すように、導電膜 3 を覆うように絶縁膜 2 上に絶縁膜 4 と、その後の工程で空洞部になる犠牲層 5 を形成する。絶縁膜 4 は、例えば TEOS (tetra ethyl ortho silicate) を用いた CVD 法によって形成された酸化シリコン膜である。また、犠牲層 5 は例えばアモルファスシリコン膜とする。その後、犠牲層 5 を覆うように絶縁膜 6 を形成し、絶縁膜 6 上に導電膜 7 を形成する。絶縁膜 6 は例えば TEOS を用いた CVD 法による酸化シリコン膜であり、導電膜 7 はアルミニウム膜である。犠牲層 5、導電膜 7 のパターニングは、例えばフォトリソグラフィおよびエッチングによって行う。なお、パターニングされた導電膜 7 は MEMS を構成する素子の上部電極となる。

20

#### 【0026】

続いて、図 4 に示すように、導電膜 7 上に絶縁膜 8 を形成した後、絶縁膜 6、8 をパターニングする。絶縁膜 6、8 のパターニングは、例えばフォトリソグラフィおよびエッチングによって犠牲層 5 をストッパ膜として行う。

#### 【0027】

続いて、図 5 に示すように、犠牲層 5 をエッチングし、絶縁膜 6 と絶縁膜 4 との間に空洞部 10 を形成する。空洞部 10 は、例えば KOH (水酸化カリウム) を用いて絶縁膜 6、8 の孔 9 から KOH を侵入させてアモルファスシリコン膜から構成される犠牲層 5 をエッチングすることによって形成される。これにより、本実施の形態 1 における MEMS 素子が完成する。この MEMS 素子は、例えば、圧力の変化を下部電極 3 と上部電極 7 との間の静電容量の変化として読み取るセンサの動作をするものである。

30

#### 【0028】

続いて、孔 9 を絶縁膜で埋め込み、空洞部 10 を密閉した後、例えば、下部電極 3 および上部電極 7 とプラグを介して電氣的に接続された配線および配線間を絶縁分離する層間絶縁膜を形成する。これまでの工程により、チップ領域 202 (図 1 参照) に半導体プロセスによって形成された複数の MEMS 素子から構成される MEMS を有するウェハ 201 が準備される。

#### 【0029】

続いて、図 7 に示すように、1 つのチップ領域 202 に設けられた複数の検査領域 301 のそれぞれに対応する位置にパッド 101、パッド 102、パッド 103 を形成する。具体的には、複数のパッド 101、複数のパッド 102 および複数のパッド 103 を、チップを平行移動 (図の左右方向に移動) させたときに、複数の検査領域 301 のそれぞれで同じとなるようにレイアウトする。

40

#### 【0030】

パッド 101、102、103 は例えばスパッタによって形成されたアルミニウム膜である。また、パッド 101 は MEMS 素子の下部電極 3 と配線などを介して電氣的に接続されている。また、パッド 102 は、MEMS 素子の上部電極 7 と配線などを介して電氣的に接続されている。また、パッド 103 は、電源供給用の配線などと電氣的に接続され

50

ている。すなわち、パッド101、102、103は、素子領域203に形成されている複数のMEMS素子と電氣的に接続されている。なお、後の工程で、パッド101、102、103は、プローブ検査の際に使用するパッドであり、またワイヤボンディングの際、電源や信号を供給するボンディングパッドでもある。

#### 【0031】

続いて、複数のパッド101、102、103を介して、複数の検査領域301のそれぞれを同一のプローブカードによって検査する。具体的に、以下に説明する。

#### 【0032】

本実施の形態1の特徴は、図7に示すように、各検査領域301の大きさが通常のLSIチップと同程度の大きさになるように、1つのチップ(チップ領域202)を4つの領域に分割し、各検査領域301のパッド配置を同一のレイアウトにした点にある。

10

#### 【0033】

このような構成にすることにより、各検査領域301をプローブ検査するためのプローブカードが、通常のLSIチップの検査で使用しているプローブカードと同程度の大きさとなり、専用のマザーボードやプローブカードホルダーを使用しなくてよい。また、パッド101、102、103の配置を各検査領域301で同じにすることで、各検査領域301それぞれに対応するプローブカードを使用する必要なく、それぞれの検査領域301を同一のプローブカードを用いてプローブ検査することができる。

#### 【0034】

図1のチップ領域202内に示した数字は、プローブ検査を行う領域に番号付けを行ったものであり、最初の数字はチップ番号を表し、2番目の数字は各チップの領域番号を表している。プローブ検査の方法は、図8に示すように、まずチップ1の1-1、1-2、1-3、1-4のそれぞれの領域のプローブ検査を、チップ内位置を平行移動しながら行い、次にチップを移動して、2-1、2-2、2-3、2-4の領域をチップ2のチップ内を移動しながらプローブ検査を行うというように、順次チップ内移動とチップ間移動を繰り返すことで、ウェハ上の全チップのプローブ検査を行うことができる。あるいは、図9に示すようにチップ1の1-1の測定を行い、次にチップ2の2-1の測定を行うというように、同一の領域毎にプローブ検査を行ってもよい。

20

#### 【0035】

続いて、ウェハ201(図1参照)をダイシングして、複数のチップ領域202から複数のチップ202(図7参照)を取り出す。これにより、本実施の形態1におけるMEMSは、基板1の主面に形成されたMEMS素子と電氣的に接続された複数のパッド101および複数のパッド102を有するチップを備え、チップの主面を同じ大きさの複数の検査領域301に分割し、複数のパッド101および複数のパッド102が、複数の検査領域301のそれぞれの対応する位置にレイアウトされている。更に、複数のパッド101および複数のパッド102のレイアウトは、チップを平行移動(図7では左右方向に移動)させたときに、複数の検査領域301のそれぞれで同じである。

30

#### 【0036】

例えば、大型のセンサを構成するMEMSの場合、MEMS素子の搭載数も多数となり、チップ(チップ領域202)の大きさも大きくなる。本実施の形態1におけるチップ1Cの大きさは、例えば1cm×4cm、2cm×8cmである。

40

#### 【0037】

このため、本実施の形態1では、通常のLSIチップよりも大面積のチップの場合でも、チップを通常のLSIチップと同程度の大きさの領域に分割している。これにより、通常のLSIチップのプローブ検査に使用するプローブカードを同程度の大きさのプローブカードを使用することができるので、プローブ検査も、大面積チップに限定されたマザーボードやプローブカードホルダーは不要となり、検査のスループットの向上ならびに検査コストを低減することができる。

#### 【0038】

また、プローブ検査に使用するパッド配置を各検査領域301で同一としているので、

50

1枚のプロブカードでチップ内の全素子の検査を行うことができる。このため、プロブカード作製費用やカード交換に必要な時間を削減でき、検査コストをさらに低減できる。

#### 【0039】

本実施の形態1では、図7で示したように、チップは4つの領域に分割した形態であるが、分割された領域の大きさが、通常のLSIチップと同程度の大きさになればよく、2分割、3分割、あるいは4分割以上の分割数でもよいことは自明である。例えば、チップ形状が矩形であれば、一辺が3cm以上である場合に、本発明は有効である。

#### 【0040】

また、図8、図9において示したウェハ上のチップのプロブ検査のフローについても、ウェハ上のチップの配置や分割数により、検査時間が最短になるようなフローで行えばよいことも自明である。

#### 【0041】

(実施の形態2)

図10は本発明の実施の形態2におけるMEMSを模式的に示すチップ平面図であり、図11は図10のパッドの接続を示す説明図である。パッド101、102、103は外部から素子領域203の各素子へ電源や信号を供給するボンディング用パッドであると同時に、プロブ検査の際に使用するパッドでもある。検査領域301は、チップ202を分割した領域を示しており、4つの領域に分割している。すなわち、チップ202のプロブ検査を4つの領域に分割して行う。パッド111、112は外部から素子領域203の各素子へ電源や信号を供給するためにのみ使用するボンディング用パッドであり、パッド121、122はプロブ検査のみで使用するパッドである。図6に示すようにボンディング用パッド111はチップ上の配線211により各検査領域301のプロブ検査用パッド121に接続されている。同様に、ボンディング用パッド112はチップ上の引き回し配線212により各検査領域301のプロブ検査用パッド122に接続されている。

#### 【0042】

本実施の形態2の特徴は、図10、図11に示すように、各検査領域301の大きさが通常のLSIチップと同程度の大きさになるように、チップ202を4つの領域に分割し、ボンディング用パッド111、112を配線によって引き回して、プロブ検査用パッド121、122を各領域に設け、さらに各検査領域301のパッド配置を同一のレイアウトにした点にある。

#### 【0043】

パッド101～103、111、112、121、122の形成においては、それらは同時に形成され、パッド101～103、121、122を、各検査領域301のそれぞれに対応する位置にレイアウトされ、パッド111、112を、各検査領域301外にレイアウトする。

#### 【0044】

このような構成にすることにより、プロブ検査に必要なボンディング用パッドが分割した各検査領域301に存在しない場合でも、各検査領域301でのプロブ検査が可能となる。

#### 【0045】

また、前記実施の形態1の場合と同様に、各検査領域301をプロブ検査するためのプロブカードが、通常のLSIチップの検査で使用しているプロブカードと同程度の大きさとなり、専用のマザーボードやプロブカードホルダーを使用しなくてよい。

#### 【0046】

また、パッド101、102、103、121、122の配置を各検査領域301で同じにすることで、各検査領域301それぞれに対応するプロブカードを使用する必要なく、それぞれの検査領域301を同一のプロブカードを用いてプロブ検査することができる。

10

20

30

40

50



## 【 0 0 4 7 】

プローブ検査の方法も前記実施の形態 1 と同様に、あるチップのそれぞれの検査領域 3 0 1 のプローブ検査を、チップ内位置を平行移動しながら行い、次にチップを移動して、次のチップの各検査領域 3 0 1 を、チップ内を移動しながらプローブ検査を行うというように、順次チップ内移動とチップ間移動を繰り返すことで、ウェハ上の全チップのプローブ検査を行うことができる。あるいは、あるチップ内の 1 つの検査領域 3 0 1 の測定を行ない、次にチップ内の同一の検査領域 3 0 1 の測定を行うというように、同一の検査領域 3 0 1 毎にプローブ検査を行ってもよい。

## 【 0 0 4 8 】

プローブ検査後は、パッド 1 0 1 ~ 1 0 3、1 1 1、1 1 2 にワイヤボンディングする。その一方で、パッド 1 2 1、1 2 2 は、各検査領域 3 0 1 のパッド配置を同じくし、プローブ検査のために形成されたものであり、ワイヤボンディングされない。

10

## 【 0 0 4 9 】

以上説明したように、本実施の形態 2 によれば、通常の L S I チップよりも大面積のチップであり、分割した領域にプローブ検査のために必要なボンディングパッドが存在しない場合でも、チップを通常の L S I チップと同程度の大きさの領域に分割し、プローブ検査に必要なボンディングパッドと各領域に設けたプローブ検査に用いるパッドとを配線により接続することにより、分割した各領域それぞれでのプローブ検査が可能となる。したがって、通常の L S I チップのプローブ検査に使用するプローブカードを同程度の大きさのプローブカードを使用することができ、プローブ検査も、大面積チップに限定されたマザーボードやプローブカードホルダーは不要となり、検査のスループットの向上ならびに検査コストを低減することができる。また、プローブ検査用パッドの配置を各領域で同一としているので、1 枚のプローブカードでチップ内の全素子の検査を行うことができ、プローブカード作製費用やカード交換に必要な時間を削減でき、検査コストをさらに低減できる。

20

## 【 0 0 5 0 】

パッド 1 1 1、1 1 2 と 1 2 1、1 2 2 を結ぶ引き回し配線 2 1 1、2 1 2 や、プローブ検査のために設けたパッド 1 2 1、1 2 2 は、プローブ検査が終了後にそのままチップ内に残しておいてもよく、残しておく寄生容量などのデバイスの特性に問題が生じる場合は、プローブ検査終了後にパッドと配線をエッチングにより取り去る、あるいは、配線をレーザにより切断すればよい。互いに電氣的に接続されているパッド 1 2 1、1 2 2 とパッド 1 1 1、1 1 2 との間を、パッド 1 1 1、1 1 2 との近傍でパッド 1 2 1、1 2 2 とパッド 1 1 1、1 1 2 の電氣的接続を切断することによって、より寄生容量を抑制することができる。

30

## 【 0 0 5 1 】

図 1 0 において示したチップ 2 0 2 は 4 つの領域に分割した形態であるが、分割された領域の大きさが、通常の L S I チップと同程度の大きさになればよく、2 分割、3 分割、あるいは 4 分割以上の分割数でもよいことは自明である。

## 【 0 0 5 2 】

( 実施の形態 3 )

図 1 2 は本発明の実施の形態 3 における M E M S を模式的に示すチップ平面図である。2 0 2 はチップ、2 0 3 はセンサやアクチュエータが形成された素子領域である。1 0 1、1 0 2、1 0 3、1 0 4 は外部から素子領域 2 0 3 の各素子へ電源や信号を供給するボンディング用パッドであると同時に、プローブ検査の際に使用するパッドでもある。3 0 1、3 0 2、3 0 3、3 0 4 は、チップ 2 0 2 を分割した検査領域を示しており、4 つの領域に分割している。すなわち、チップ 2 0 2 のプローブ検査を 4 つの領域に分割して行う。

40

## 【 0 0 5 3 】

本実施の形態 3 の特徴は、図 1 2 に示すように、検査領域 3 0 1、3 0 2、3 0 3、3 0 4 の大きさが通常の L S I チップと同程度の大きさになるように、チップ 2 0 2 を 4 つ

50

の領域に分割し、チップを90°あるいは180°回転させることにより、各領域のパッド配置が同一になるようなレイアウトにした点にある。

【0054】

このような構成にすることにより、各領域をプローブ検査するためのプローブカードが、通常のLSIチップの検査で使用しているプローブカードと同程度の大きさとなり、専用のマザーボードやプローブカードホルダーを使用しなくてよい。また、チップを90°、180°回転することで、検査領域301、302、303、304でのパッド101、102、103、104が同じ配置となるレイアウトになり、各検査領域それぞれに対応するプローブカードを使用する必要なく、それぞれの検査領域を同一のプローブカードを用いてプローブ検査することができる。

10

【0055】

図13は、図12で示したチップ202が8チップ形成されたSiウェハを示している。図中の201はSiウェハである。チップ202内に示した数字は、プローブ検査を行う領域に番号付けを行ったものであり、最初の数字はチップ番号を表し、2番目の数字は各チップの領域番号を表している。

【0056】

図13のように配置されたチップのプローブ検査の方法を図14に示す。まずチップ1の1-1(図12の301に対応)のプローブ検査を行い、次にSiウェハ201を90°回転させて1-2(図12の302に対応)のプローブ検査を行う。次に、さらにSiウェハ201を90°回転させて1-4(図12の304に対応)のプローブ検査を行い、引き続き、Siウェハ201をさらに90°回転させて1-3(図12の303に対応)のプローブ検査を行うことでチップ1の全素子のプローブ検査ができることになる。引き続き、チップを移動させてチップ2以降でも同様の処理を繰り返すことでウェハ上の全チップのプローブ検査が可能である。

20

【0057】

また、ウェハを回転させる回数を減らすためには、図15に示すように、各チップの1番目の領域を全チップに対して測定を行い、引き続き各チップの2番目の領域を全チップに対して測定を行うというように、各チップの同じ領域を全チップに対して測定し、続いてSiウェハ201を回転させて、他の領域を測定すればよい。

【0058】

以上説明したように、本実施の形態3によれば、通常のLSIチップよりも大面積のチップの場合でも、チップを通常のLSIチップと同程度の大きさの領域に分割している。したがって、通常のLSIチップのプローブ検査に使用するプローブカードを同程度の大きさのプローブカードを使用することができるので、プローブ検査も、大面積チップに限定されたマザーボードやプローブカードホルダーは不要となり、検査のスループットの向上ならびに検査コストを低減することができる。

30

【0059】

また、プローブ検査に使用するパッド配置を、ウェハを回転することにより各検査領域で同一となるレイアウトになっているので、1枚のプローブカードでチップ内の全素子の検査を行うことができる。また、プローブカード作製費用やカード交換に必要な時間を削減でき、検査コストをさらに低減できる。

40

【0060】

図12において示したチップは4つの検査領域に分割した形態であるが、分割された検査領域の大きさが、通常のLSIチップと同程度の大きさになればよく、2分割、3分割、あるいは4分割以上の分割数でもよいことは自明である。

【0061】

また、図14、図15において示したウェハ上のチップのプローブ検査のフローについても、ウェハ上のチップの配置や分割数により、検査時間が最短になるようなフローで行えばよいことも自明である。

【0062】

50

(実施の形態4)

図16は本発明の実施の形態4におけるMEMSを模式的に示すチップ平面図である。202はチップ、203はセンサやアクチュエータが形成された素子領域である。パッド101、102、103、104、105は外部から素子領域203の各素子へ電源や信号を供給するボンディング用パッドであると同時に、プローブ検査の際に使用するパッドでもある。検査領域301、302、303、304は、チップ202を分割した検査領域を示しており、4つの領域に分割している。すなわち、チップ202のプローブ検査を4つの検査領域に分割して行う。401は各検査領域のパッド配置を同じにするために設けたダミーパッドである。

【0063】

このダミーパッド401は、パッド101～105と同時に形成される。複数の検査領域のそれぞれに対応する位置に、パッド101～105およびダミーパッド401がレイアウトされ、パッド101～105はMEMS素子と電氣的に接続され、ダミーパッド401はMEMS素子と電氣的に接続されない。

【0064】

本実施の形態4の特徴は、図16に示すように、検査領域301、302、303、304の大きさが通常のLSIチップと同程度の大きさになるように、チップ202を4つの検査領域に分割し、分割した各検査領域でのパッド数が異なる場合でも、各検査領域でパッド配置を同一にするために、ダミーパッド401を設けた点にある。このような構成にすることにより、各検査領域をプローブ検査するためのプローブカードが、通常のLSIチップの検査で使用しているプローブカードと同程度の大きさとなり、専用のマザーボードやプローブカードホルダーを使用しなくてよい。また、チップを90°、180°回転することで、検査領域301のパッド101、102、103、104、105と検査領域302、303、304でのパッド101、102、103、104、401が同じレイアウトになり、各検査領域それぞれに対応するプローブカードを使用する必要なく、それぞれの検査領域を同一のプローブカードを用いてプローブ検査することができる。

【0065】

以上説明したように、本実施の形態4によれば、通常のLSIチップよりも大面積のチップの場合でも、チップを通常のLSIチップと同程度の大きさの領域に分割し、したがって、通常のLSIチップのプローブ検査に使用するプローブカードを同程度の大きさのプローブカードを使用することができるので、プローブ検査も、大面積チップに限定されたマザーボードやプローブカードホルダーは不要となり、検査のスループットの向上ならびに検査コストを低減することができる。また、プローブ検査に使用するパッド配置を、分割した各検査領域のパッド配置が同一になるようにダミーパッドを設けることで同一にして、ウェハを回転することにより各領域で同一となるレイアウトになっているので、1枚のプローブカードでチップ内の全素子の検査を行うことができるので、プローブカード作製費用やカード交換に必要な時間を削減でき、検査コストをさらに低減できる。

【0066】

図16において示したチップは4つの検査領域に分割した形態であるが、分割された検査領域の大きさが、通常のLSIチップと同程度の大きさになればよく、2分割、3分割、あるいは4分割以上の分割数でもよいことは自明である。

【0067】

また、ダミーパッドの数、位置は、分割した各検査領域に配置されたプローブ検査用パッドの配置が同一になればよく、ダミーパッドが2つでも、それ以上でもよい。

【0068】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0069】

例えば、前記実施の形態では、基板としてシリコン基板を適用した場合について説明し

10

20

30

40

50

たが、ガリウム砒素基板などの半導体基板、絶縁基板、ガラス基板などにも適用することができる。

【産業上の利用可能性】

【0070】

本発明のプローブ検査のためのパッドレイアウトおよび検査方法は、センサやアクチュエータを搭載した半導体チップの製造する製造業に幅広く利用することができる。

【図面の簡単な説明】

【0071】

【図1】本発明の実施の形態1におけるMEMSを模式的に示すウェハ平面図である。

【図2】本発明の実施の形態1における製造工程中のMEMSを模式的に示す断面図である。

10

【図3】図2に続く製造工程中のMEMSを模式的に示す断面図である。

【図4】図3に続く製造工程中のMEMSを模式的に示す断面図である。

【図5】図4に続く製造工程中のMEMSを模式的に示す断面図である。

【図6】本発明の実施の形態1におけるMEMSを模式的に示す要部平面図である。

【図7】図5に続く製造工程中のMEMSを模式的に示すチップ平面図である。

【図8】本実施の形態1におけるプローブ検査の一例を示すフローである。

【図9】本実施の形態1におけるプローブ検査の他の一例を示すフローである。

【図10】本発明の実施の形態2におけるMEMSを模式的に示すチップ平面図である。

【図11】図10のパッドの接続を示す説明図である。

20

【図12】本発明の実施の形態3におけるMEMSを模式的に示すチップ平面図である。

【図13】本発明の実施の形態3におけるMEMSを模式的に示すウェハ平面図である。

【図14】本実施の形態3におけるプローブ検査の一例を示すフローである。

【図15】本実施の形態3におけるプローブ検査の他の一例を示すフローである。

【図16】本発明の実施の形態4におけるMEMSを模式的に示す平面図である。

【符号の説明】

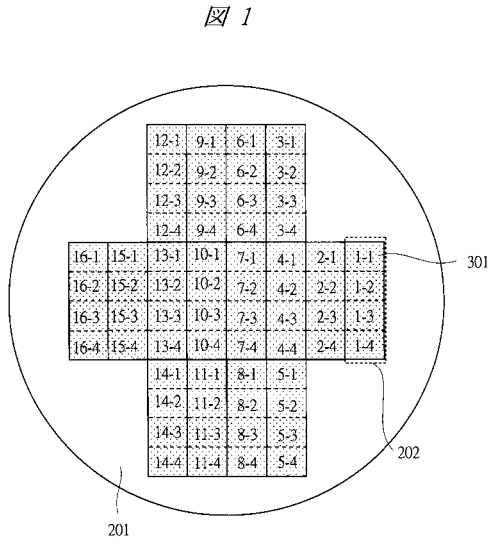
【0072】

- 1 基板
- 2 絶縁膜
- 3 導電膜（下部電極）
- 4 絶縁膜
- 5 犠牲層
- 6 絶縁膜
- 7 導電膜（上部電極）
- 8 絶縁膜
- 9 孔
- 10 空洞部
- 101、102、103、104、105 パッド（ボンディング兼プローブ検査用）
- 111、112 パッド（ボンディング用）
- 121、122 パッド（プローブ検査用）
- 201 ウェハ
- 202 チップ領域（チップ）
- 203 素子領域
- 211、212 引き回し配線
- 301、302、303、304 検査領域
- 401 ダミーパッド

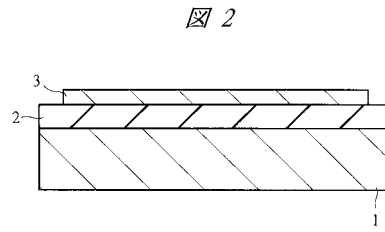
30

40

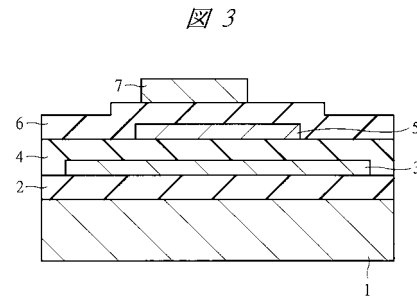
【 図 1 】



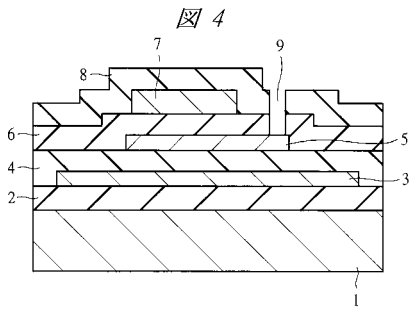
【 図 2 】



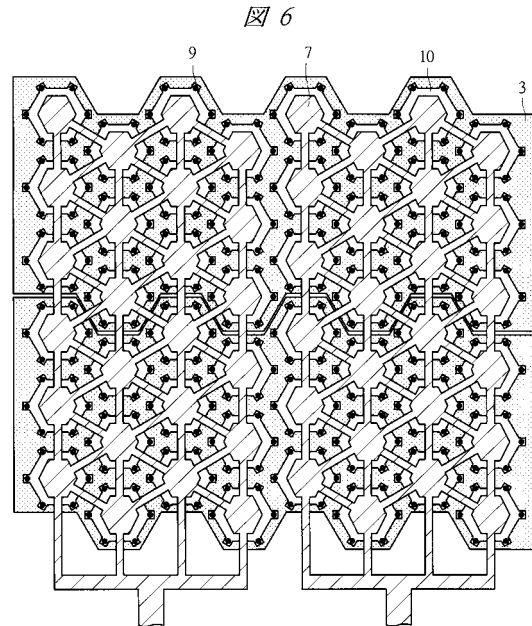
【 図 3 】



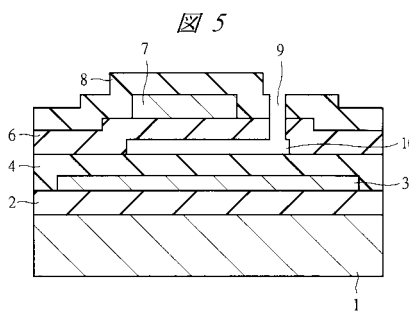
【 図 4 】



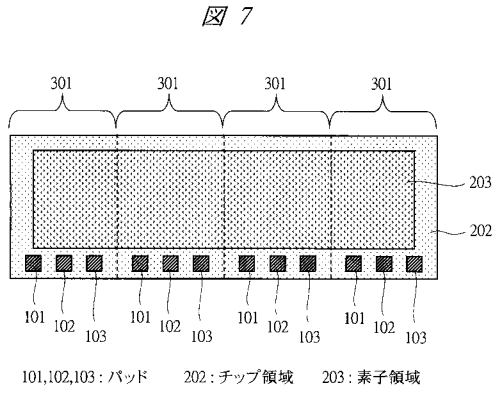
【 図 6 】



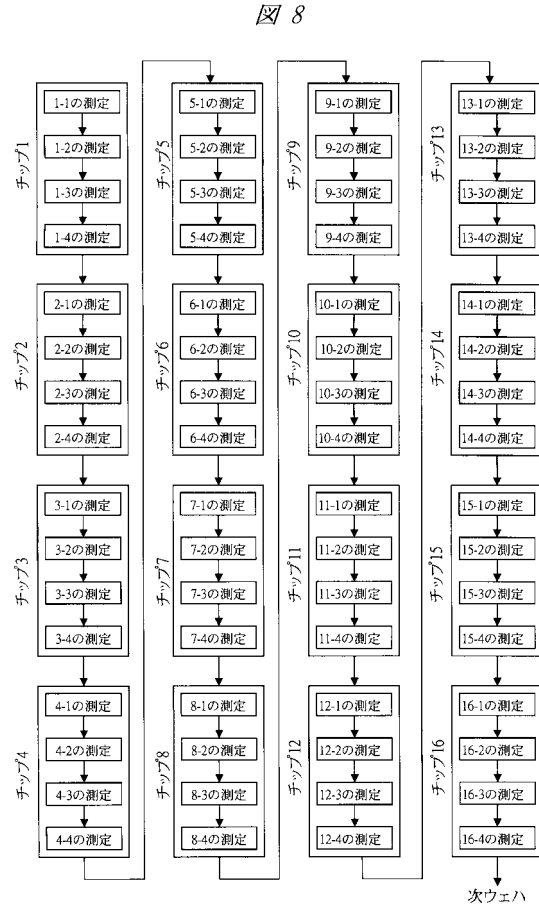
【 図 5 】



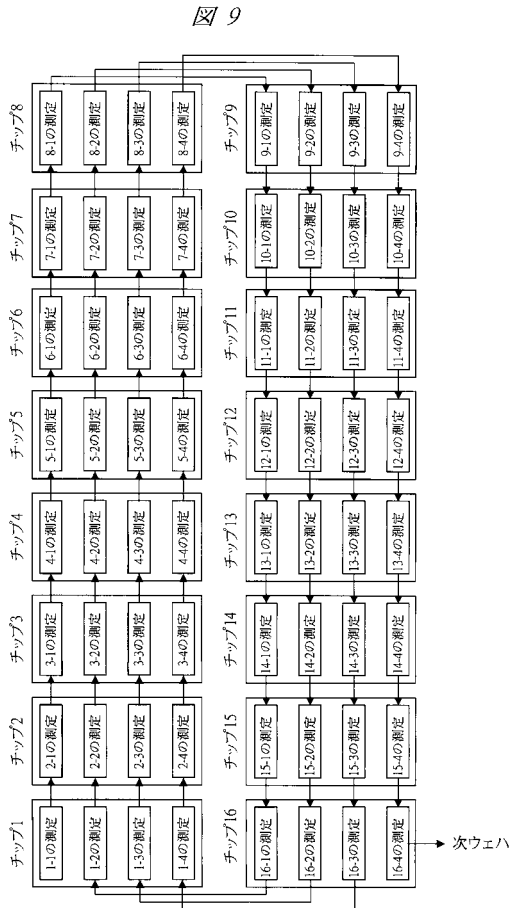
【 図 7 】



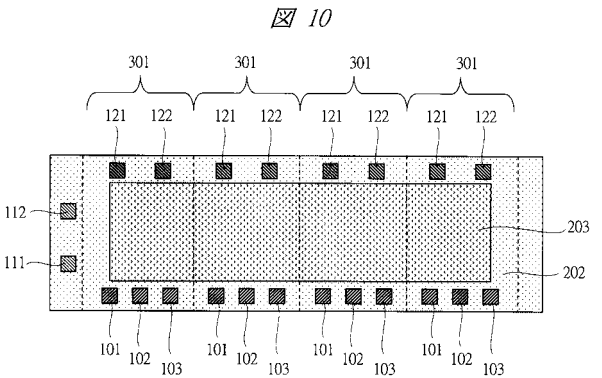
【 図 8 】



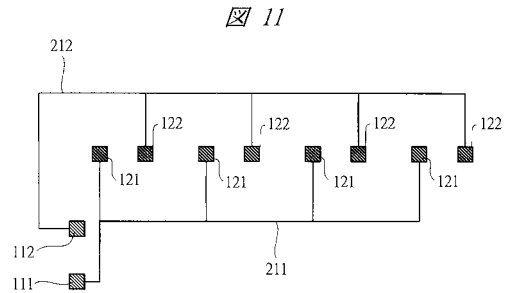
【 図 9 】



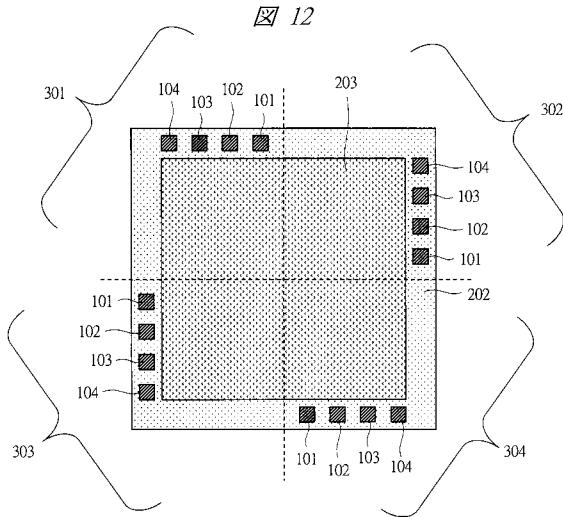
【 図 10 】



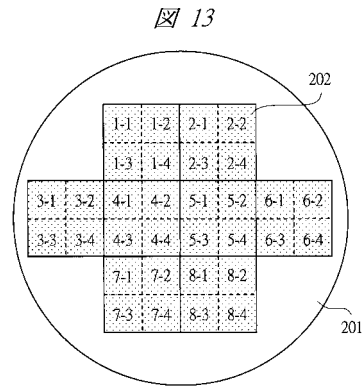
【 図 11 】



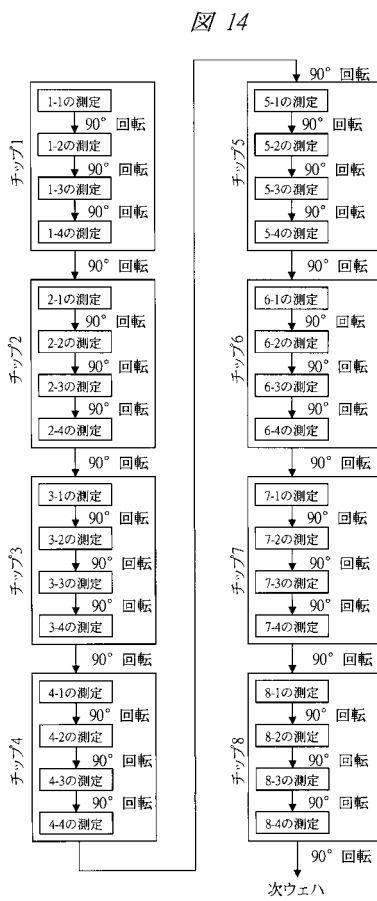
【 図 1 2 】



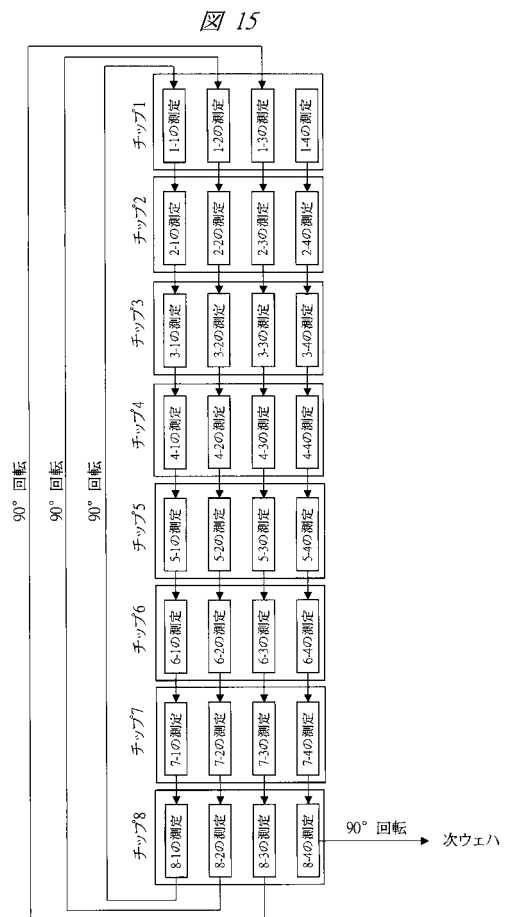
【 図 1 3 】



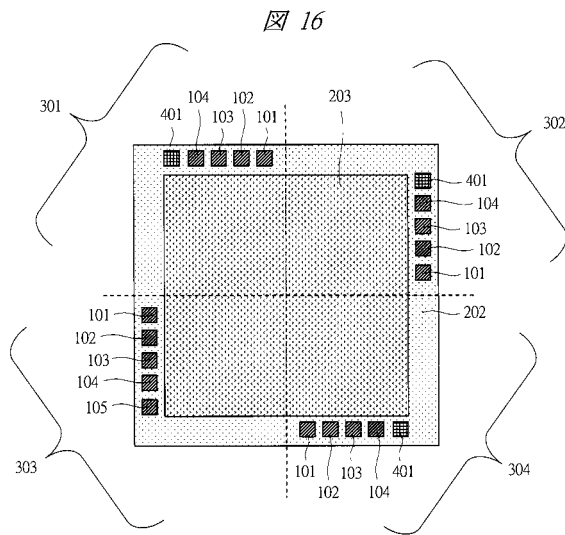
【 図 1 4 】



【 図 1 5 】



【図 16】



## 【手続補正書】

【提出日】平成20年4月25日(2008.4.25)

## 【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0056

【補正方法】変更

【補正の内容】

## 【0056】

図13のように配置されたチップのプローブ検査の方法を図14に示す。まずチップ1の1-1(図12の301に対応)のプローブ検査を行い、次にSiウェハ201を90°回転させて1-2(図12の302に対応)のプローブ検査を行う。次に、さらにSiウェハ201を90°回転させて1-4(図12の304に対応)のプローブ検査を行い、引き続き、Siウェハ201をさらに90°回転させて1-3(図12の303に対応)のプローブ検査を行うことでチップ1の全素子のプローブ検査ができることになる。引き続き、チップを移動させてチップ2以降でも同様の処理を繰り返すことでウェハ上の全チップのプローブ検査が可能である。

## 【手続補正 2】

【補正対象書類名】図面

【補正対象項目名】図15

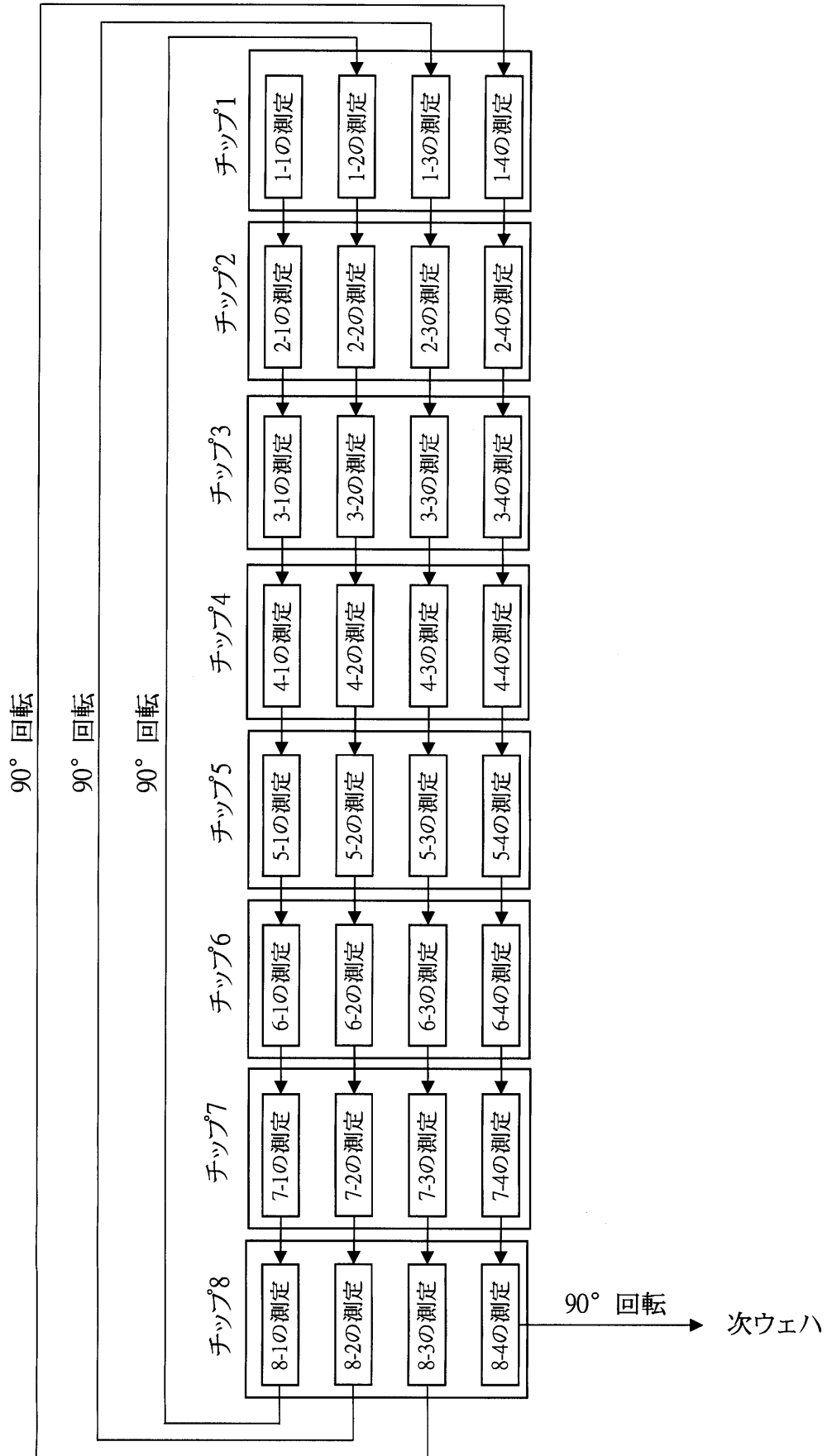
【補正方法】変更

【補正の内容】



【 図 1 5 】

図 15



---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 27/04

E

Fターム(参考) 4M112 AA01 BA07 CA01 CA04 CA11 DA04 DA06 DA09 DA17 EA05  
EA06 EA11 EA18 FA20  
5F038 AZ07 BE07 BE09 CA05 CA06 CA10 DT04 DT10 DT11 DT15  
EZ20