

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4267095号
(P4267095)

(45) 発行日 平成21年5月27日 (2009.5.27)

(24) 登録日 平成21年2月27日 (2009.2.27)

(51) Int.Cl.

F I

H O 1 L 27/146 (2006.01)

H O 1 L 27/14

A

H O 4 N 5/335 (2006.01)

H O 4 N 5/335

U

請求項の数 3 (全 8 頁)

(21) 出願番号 特願平10-228795
 (22) 出願日 平成10年8月13日 (1998.8.13)
 (65) 公開番号 特開平11-126895
 (43) 公開日 平成11年5月11日 (1999.5.11)
 審査請求日 平成17年8月15日 (2005.8.15)
 (31) 優先権主張番号 08/911, 235
 (32) 優先日 平成9年8月15日 (1997.8.15)
 (33) 優先権主張国 米国 (US)

前置審査

(73) 特許権者 590000846
 イーストマン コダック カンパニー
 アメリカ合衆国 ニューヨーク州 ロチェ
 スター ステート ストリート 343
 (74) 代理人 100075258
 弁理士 吉田 研二
 (74) 代理人 100096976
 弁理士 石田 純
 (72) 発明者 ロバート ミッシェル ガイダッシュ
 アメリカ合衆国 ニューヨーク州 ラッシ
 ュ サンダー リッジ ドライブ 55

審査官 恩田 春香

(56) 参考文献 特開昭63-261744 (JP, A)
 最終頁に続く

(54) 【発明の名称】 共有された増幅器読出しを有する能動画素画像センサ

(57) 【特許請求の範囲】

【請求項 1】

複数の行と列に配置された複数の画素を有する画像センサであって、

基板内に形成された少なくとも4つの画素であって、一の行に少なくとも2つの画素が設けられ隣接する他の行に少なくとも2つの画素が設けられており、当該隣接する2行に設けられた画素が隣接する2つの画素列を構成している少なくとも4つの画素と、

前記4つの隣接画素内に集積され当該4つの隣接画素間で共有される少なくとも1種類の電氣的機能であって、当該4つの隣接画素に対して作動する1個の列出力バスを少なくとも含む少なくとも1種類の電氣的機能と、

を備えることを特徴とする画像センサ。

【請求項 2】

行と列に配置された複数の画素を有する画像センサであって、

一の行に設けられた2つの画素および隣接する他の行に設けられた2つの画素からなる4つの画素からの信号を列出力バスに出力するか否かを選択するための選択手段と、

選択手段によって選択されたときに、隣接する2列に配置され、一の行に設けられた2つの画素および隣接する他の行に設けられた2つの画素の合計4つの画素に対して作動する1個の列出力バスと、

前記画素の各々に設けられた別個の伝達ゲートと、

各行で前記別個の伝達ゲートを行方向に沿って1画素おきに接続する2つの伝達ゲート電線路であって、一方の伝達ゲート電線路が同一行内の偶数列の画素の伝達ゲートを接続

し、他方の伝達ゲート電線路が同一行内の奇数列の画素の伝達ゲートを接続する2つの伝達ゲート電線路と、

を備えることを特徴とする画像センサ。

【請求項3】

複数の行と列に配置された複数の画素を有する画像センサであって、

基板内に形成された少なくとも2つの列隣接画素と、

前記少なくとも2つの列隣接画素の各々に設けられた別個の伝達ゲートと、

前記少なくとも2つの列隣接画素を含む行で前記別個の伝達ゲートを行方向に沿って1画素おきに接続する2つの伝達ゲート電線路であって、一方の伝達ゲート電線路が同一行内の偶数列の画素の伝達ゲートを接続し、他方の伝達ゲート電線路が同一行内の奇数列の画素の伝達ゲートを接続する2つの伝達ゲート電線路と、

10

前記少なくとも2つの列隣接画素内に集積され、前記少なくとも2つの列隣接画素間で共有される少なくとも1種類の電氣的機能と、

を備えることを特徴とする画像センサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は固体光センサと撮像素子に関するものであり、もっと具体的に言うと能動画素センサ（APS）として参照される撮像素子を基礎とする半導体に関するものである。

【0002】

20

【従来の技術】

本出願は、「画素間で機能を共有した能動画素センサ」の名称でRobert M. Guidashにより1997年2月28日に出願された米国特許出願第08/808,444号に関連するものである。

【0003】

能動画素センサ（APS）は固体撮像素子であり、各画素は能動回路素子と接続された1個の光検知手段を有している。これらの回路素子は、一般に、画素のリセット機能を実行する手段、すなわち電荷を転送する手段であるか、または、電圧の変換を実行する手段、すなわち増幅に使用される回路素子である。APS装置は、その撮像素子の各線、すなわち行が選択され、その後、列選択信号（記憶装置のワードとビットの線に、それぞれ類似している）を用いて読み出される方法で動作させられる。完全に単一の画素の境界内に、これらの構成部品の全てが配置されている従来技術の装置は、開示されている。

30

【0004】

これらの能動回路素子の構成部品が各画素内に含まれていることは、その画素に対するフィルファクタを低下させる。なぜなら、もし各画素内に能動回路素子の構成部品を含まないならば光検出器のために使用できた筈の面積を、構成部品が占有するからである。このことは、そのセンサの感度と飽和信号を低下させ、ひいては良好な画質を得るのに重要なそのセンサの写真スピードやダイナミックレンジ、性能に影響する因子に悪影響を及ぼす。さらに、これらの能動回路素子が画素内部に含まれていることは、その画素の最小寸法を制限することになり、画像センサの寸法とコストに悪影響を与えることになる。

40

【0005】

高い解像度の小形の画素APS装置を製作するためには、行選択トランジスタに割り当てられた画素および画素内部の増幅器のその他の部分の面積を最小にする目的でサブミクロンCMOSプロセスを使用する必要がある。本質的には、標準的な電荷結合素子（CCD）センサと比較した場合、同じ解像度と感度のAPS装置を実現するには、さらに高度な技術と、さらに高コストのプロセスを必要とする。しかしながら、APS装置は、CCDセンサに比較すれば、単一5V電源作動、低消費電力、x-yアドレス指定能力、画像ウインド処理およびチップ上の信号処理エレクトロニクスを効果的に集積する能力などの長所を持つ。

【0006】

50

図 1 には、代表的な従来技術の A P S 画素が示されている。この画素は、フォトダイオードまたはフォトゲート技術のいずれかによって製作できる光検出器 1 4、伝達ゲート 1 5、浮動拡散部 1 6、リセットゲート 1 9 を有するリセットトランジスタ 1 8、行選択ゲート 9 を有する行選択トランジスタ 8、ソースフォロア増幅器である信号トランジスタ 7 を含む。これらの構成部品の全てを単一の画素内部に包含するので、画素のフィルファクタ、感度の低下および最小寸法の増加を招くことになる。

【 0 0 0 7 】

図 3 と共に図 2 を参照すれば、C C D の感度と A P S 装置の長所を有する画像センサを提供するための一つの方法は、画素アーキテクチャの所望の特徴と機能を維持しながら、単一の画素内で構成部品に割り当てられる領域の大きさを減少させることによって、A P S 装置のフィルファクタと感度を改善させることである。

【 0 0 0 8 】

図 3 と共に図 2 を参照すれば、米国特許出願「画素間で機能を共有した能動画素センサ」の名称で、G u i d a s h により出願された米国特許出願第 0 8 / 8 0 8 , 4 4 4 号が、A P S 装置に対するフィルファクタを増大させる方法を開示している。G u i d a s h のこの従来技術は、能動画素センサ内に、一般的に使用されている各種の部品を共有することを示唆している。画素アーキテクチャのフィルファクタを増大させるために、浮動拡散部、ソースフォロア増幅器、行選択トランジスタ、および 2 個の隣接した光検出器と伝達ゲート間のリセットトランジスタを共有することが、ここには開示されている。フィルファクタを増大させるために G u i d a s h によって用いられた基本的な考えは、センサの作動中、一度に 1 行ずつだけ読み出すということである。この考えに基づいて、G u i d a s h は、図 1 の A P S 装置のように各画素に 1 個ずつではなく、隣接した 2 行内に配置されている画素に対して、単一の浮動拡散部 2 6 と単一の増幅器である信号トランジスタ 2 7 を提供することにした。一度に 1 行だけが読み出されるので、単一の浮動拡散部 2 6、リセットトランジスタ 2 8、行選択トランジスタ 2 9 および信号トランジスタ 2 7 (一般にソースフォロワ増幅器) を、別の行の 2 個の隣接した画素に使用することができる。

【 0 0 0 9 】

【 発明が解決しようとする課題 】

しかしながら、図 2 および図 3 に示されている装置では、構成部品の共有と能動画素センサ内のフィルファクタの増大とを考慮しているけれども、行と列両方の間の機能の結合とこのようなアーキテクチャから生じるフィルファクタの増大を考慮に入れていない。

【 0 0 1 0 】

前述の考察から、従来技術では、行方向の画素と同様に列方向の画素間での電氣的機能の結合と、それによって派生するフィルファクタの増大を考慮するような A P S アーキテクチャに対する必要性が残っていることが明らかとなるであろう。

【 0 0 1 1 】

【 課題を解決するための手段 】

本発明は、従来技術の能動画素センサ (A P S) における前述の問題を取り扱っている。それは、画素と列回路アーキテクチャの新技術を含むものであり、さらに高いフィルファクタの画素、または、さらに小形の画素を提供するものである。隣接する列と隣接する行との間で構成部品が共有されることによって、構成部品は、2 個ではなく 4 個の別個の光検出器と伝達ゲートによって共有されることになる。本発明は、その A P S 装置の特定の画素を選択的にアドレス指定する能力を保持しつつ、前述の構成部品が 4 個の別個の光検出器と伝達ゲートによって共有されるように、これらの構成部品をさらに 2 列の隣接した光検出器と伝達ゲート間で共有することによって、フィルファクタをさらに改善し、最小画素寸法をさらに減少させる手段を提供する。

【 0 0 1 2 】

簡単に要約すれば、本発明の一つの態様によれば、本発明は複数の行と列に配置された複数の画素を有する画像センサであって、基板内に形成された少なくとも 4 つの画素であって、一の行に少なくとも 2 つの画素が設けられ隣接する他の行に少なくとも 2 つの画素

10

20

30

40

50

が設けられており、当該隣接する 2 行に設けられた画素が隣接する 2 つの画素列を構成している少なくとも 4 つの画素と、前記 4 つの隣接画素内に集積され当該 4 つの隣接画素間で共用される少なくとも 1 種類の電氣的機能であって、当該 4 つの隣接画素に対して作動する 1 個の列出力バスを少なくとも含む少なくとも 1 種類の電氣的機能とを備えることを特徴とする画像センサである。

【 0 0 1 3 】

本発明のこれらの、およびその他の態様、目的、特色および効果は、好適な実施形態と添付された特許請求の範囲に対する下記の詳細な記述を再吟味し、かつ、添付の図面を参照することによって、なお一層明確に理解、認識されるであろう。

【 0 0 1 4 】

【発明の実施の形態】

発明者は、隣接する画素間で機能を共有することによって、大形のセンサと同様なフィルファクタを依然として保持しながら、全体寸法が小さいセンサ装置になるような、小さな画素寸法を達成できる画素アーキテクチャを見出した。これによって、既存の従来技術の装置と同程度の大きさの画素寸法を有し、かつ増大した感度と飽和信号を持つ高いフィルファクタを有する低コストの装置が達成される。

【 0 0 1 5 】

図 5 と関連して理解される図 4 を参照すれば、新しい画素アーキテクチャの一つの物理的態様を現す本発明の好適な実施形態を理解することができる。その他の特定の物理的態様も実現可能であり、当業者であれば容易に明らかとなるに違いない。図 4 および図 5 において、新しい画素アーキテクチャ 3 0 は、画素 1 1、1 2、2 1、および 2 2 の間での電氣的機能を共有していることを表現しており、画素 1 1、1 2、2 1 および 2 2 は行隣接画素（行方向において隣接する画素）が画素 1 1 と 1 2 及び画素 2 1 と 2 2 であり列隣接画素（列方向において隣接する画素）が画素 1 1 と 2 1 及び画素 1 2 と 2 2 として配置されている。図 4 は画素アーキテクチャ 3 0 の平面図を示し、図 5 は、図 4 の装置の概略図である。図からわかるように、画素アーキテクチャ 3 0 は、行 1 において隣接する画素 1 1、1 2 間に共有の浮動拡散部 4 1 を有し、行 2 において隣接する画素 2 1、2 2 間に共有の浮動拡散部 4 2 を有している。増幅器 3 2 は、好適にはソースフォロワトランジスタ構成であって、選択トランジスタ 3 4 やリセットトランジスタ 3 6 のように、共有されている画素 1 1、1 2、2 1、2 2 の 4 個の全てに共有される。

【 0 0 1 6 】

図 4 と図 5 に示されているように、行 1、2 の両方に対する選択ゲート 3 5 は同一のゲートであり、列 a、b の両方に対する列出力バス 8 7 も、実際には、同一のバスである。なお、読み出し動作は撮像素子の各線、すなわち行が選択され、列選択信号（記憶装置のワードとビットの線に、それぞれ類似している）を用いて行われるため、上記選択ゲート 3 5 には上記線、すなわち行選択線が接続されている。画像信号の分離は、隣接画素 1 1、1 2、2 1、および 2 2 のそれぞれが別個の伝達ゲート 5 1、5 2、6 1、および 6 2 を有することによって達成される。別個の伝達ゲート電線路が、1 行内の 1 個おきの画素に対して走っており、2 列に一本の列出力バスは、列の各組に対して多重化されている。

【 0 0 1 7 】

さて、図 4 および図 5 と関連した新しいアーキテクチャの動作の一形態を詳細に示すタイミング図である図 6 を参照すれば、リセット状態では、リセットゲート 3 7 と共に伝達ゲート T G 1 b 5 1、T G 1 a 5 2、T G 2 b 6 1 および T G 2 a 6 2 がオン状態にされ、イメージセンサ 3 0 に電力が供給される。行 1 への電荷の蓄積は T G 1 a 5 2 をオフにすることによって開始され、まず、画素 1 2 を含む行 1 内の奇数列の画素への電荷の蓄積が開始される。所定の時間が経過した後、伝達ゲート T G 1 b 5 1 がオフにされ、図示されているように、画素 1 1 を含む行 1 内の偶数列の画素の電荷の蓄積が開始される。行 1 が所定の期間選択ゲート 3 5 に電荷を蓄積すると、列 a トランジスタ 8 1 はオンになる（列 b トランジスタ 9 1 はオフである）。その後、リセットゲート 3 7 をオフにしかつ S H R 8 2 をストローブすることによって、浮動拡散部 4 1 のリセットレベルが読出される。

伝達ゲートTG1a52は、その後、パルス状にオンにされ、光検出器PD1a72からの信号電荷は浮動拡散部41上に転送される。SHS83をストローブすることによって、その後、行1内の奇数番目の行光検出器の信号レベルが読出される。画素12に対する蓄積電荷が転送されていた間に、画素11は、依然として光検出器PD1b71に電荷を蓄積させている。画素11内の蓄積電荷の転送は、列aトランジスタ81がオフにされ、列bトランジスタ91がオンにされると開始される。リセットゲート37は再びオンにされ、浮動拡散部41をリセットする。その後、そのリセットレベルは、SHR92をストローブすることによって読出される。次に伝達ゲートTG1b51は、適切な時間にパルス状にオンされる。適当な時間は、光検出器PD1a72とPD1b71が同一の電荷の蓄積時間を持つような時間長に決定される。画素11の光検出器PD1b内の信号電荷は、その後、浮動拡散部41上に伝達される（これは行1内の偶数番目の行光検出器の全てに対してあてはまる）。この信号レベルは、その後、SHS93をストローブすることによって読出される。これで、行1内の画素の全てが信号およびリセットキャパシタ内に読出されたことになる。行の読出しは、その後、従来技術のCMOS撮像装置において記述されている標準的方法によって実行される。この手順と同じ手順は第2行上でも行われ、そのとき、伝達ゲートTG2a62とTG2b61以外は全て同じ信号であり、画素22と21にはそれぞれ光検出器PD2a74とPD2b73が使用される。この動作は、1行毎にサンプルとホールドを列方向に飛び越す動作として、概念的に、説明することができる。

10

【0018】

20

このアーキテクチャにおいては、結果として、能動構成部品が4個の光検出器間で共有されるので、高いフィルファクタと、従来技術の装置に比較して極めて小形の画素寸法を得ることができる。必要な全ての伝達ゲートを準備するには、1行につき1本の余分な金属電線路が必要になるけれども、これは、前述した画素1個毎に1個の増幅器を配置する構成および画素2個毎に1個の増幅器を配置する構成の両者において能動構成部品によって占有される面積よりもはるかに少ない面積を占めるに過ぎない。タイミングと制御のために、3個の余分な信号が必要になり、また、1列当たり2個の余分なトランジスタが必要になる。しかし、これらは、画像アレーの外部にあるCMOS論理素子に組み入れられているので、画素または画像アレーの面積には大きな影響を与えない。各行をベース上として画像捕捉を一時的に置換えることに加えて、このアーキテクチャでは、与えられた行内の奇数列と偶数列の画素の一時的な置換えもまた行われる。しかし、この時間は極めて短く（特に行から行への置換えに比較して）、せいぜい200ns程度であるので、いかなる画像捕捉アーチファクトも生じないであろう。サンプルとホールドに対する余分な過程（SHRおよびSHSストロービング）があるので、この新形のアーキテクチャに対しては最小行処理時間は僅かに長くなり、これはビデオ用に対しては最大フレーム速度をそれに対応する分だけ減少させる。

30

【0019】

【発明の効果】

本発明は、同じ画素寸法で比較すれば、高いフィルファクタ、感度および飽和信号を有するという長所を備える。

40

【0020】

また、本発明は同じフィルファクタで比較すれば、画素および装置の寸法が小形になり、低コストの装置を提供するという長所を備える。

【図面の簡単な説明】

【図1】 従来技術の画素の平面図である。

【図2】 機能を共有した従来技術の画素の平面図である。

【図3】 図2に示された機能を共有した従来技術の画素の概略図である。

【図4】 本発明によって実現される機能を共有した画素アーキテクチャの平面図である。

。

【図5】 図4に示された画素アーキテクチャの概略図である。

50

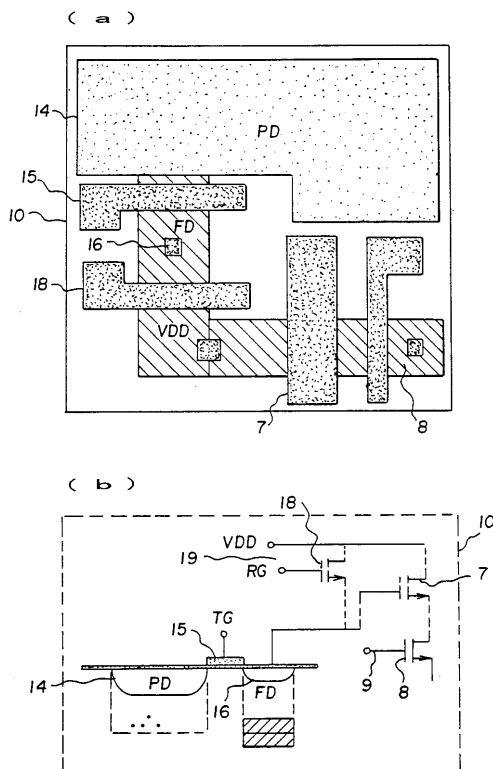
【図 6】 本発明の動作を示すタイミング図である。

【符号の説明】

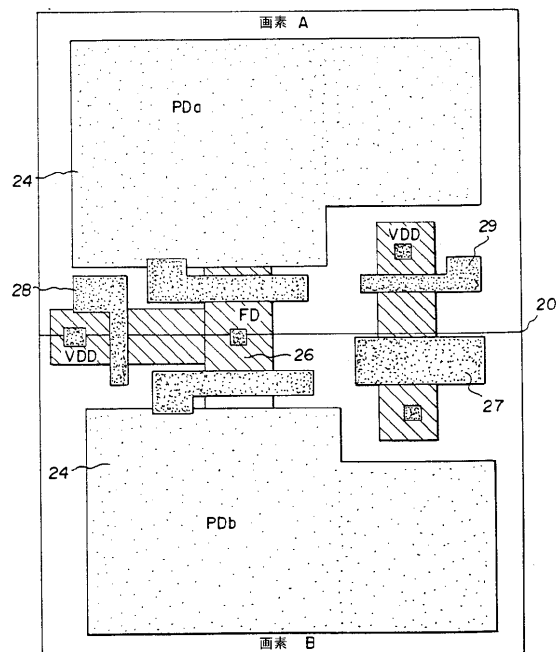
1 行 1、2 行 2、3 列 a、4 列 b、7 信号トランジスタ、8 行選択トランジスタ、9 行選択ゲート、10、30 画素アーキテクチャ(イメージセンサ)、11、12、20、21、22 画素、14、24 光検出器、15 伝達ゲート、16 浮動拡散部、18 リセットトランジスタ、19 リセットゲート、26 浮動拡散部、27 信号トランジスタ、28 リセットトランジスタ、29 行選択トランジスタ、32 増幅器、34 選択トランジスタ、35 選択ゲート、36 リセットトランジスタ、37 リセットゲート、41、42 浮動拡散部、51 伝達ゲート(TG1b)、52 伝達ゲート(TG1a)、61 伝達ゲート(TG2b)、62 伝達ゲート(TG2a)、71 光検出器(PD1b)、72 光検出器(PD1a)、80 列サンプルホールド、81 列 a トランジスタ、82、92 サンプルとホールドのリセット(SHR)、83、93 サンプルとホールドの信号(SHS)、87 列出力バス、90 列サンプルホールド、91 列 b トランジスタ、74 光検出器(PD2a)、73 光検出器(PD2b)。

10

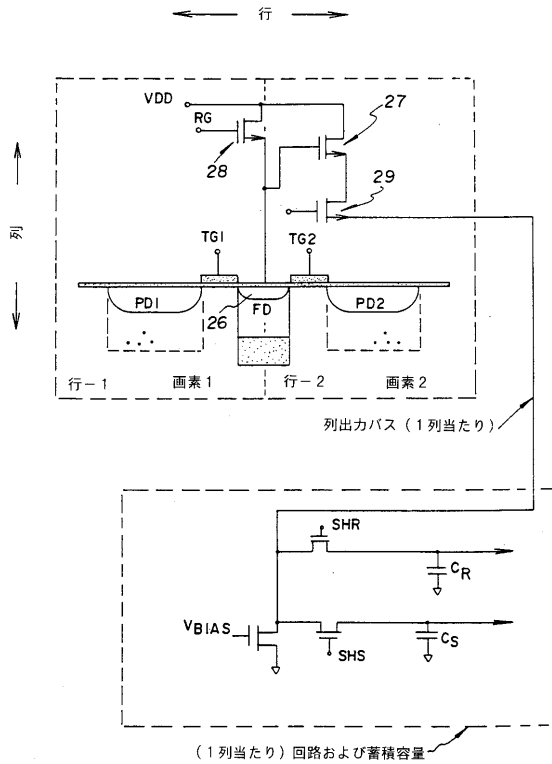
【図 1】



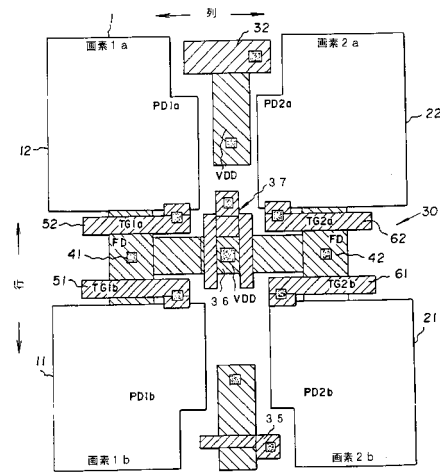
【図 2】



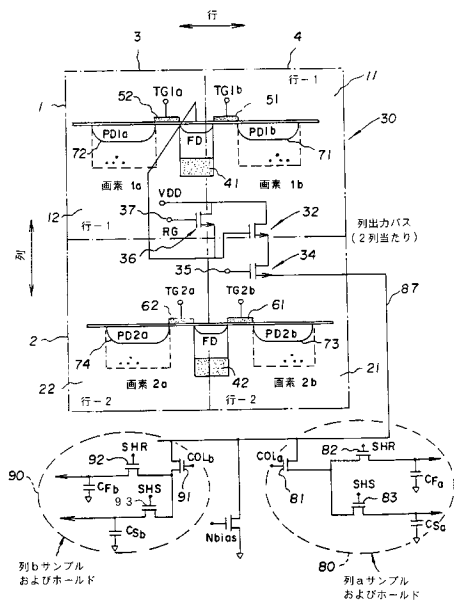
【図 3】



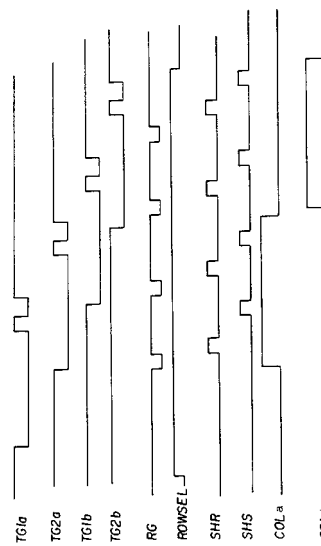
【図 4】



【図 5】



【図 6】



フロントページの続き

(58)調査した分野(Int.Cl. , D B 名)

H01L 27/14-27/148