

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/78

H01L 21/336 H01L 21/8234



[12] 发明专利申请公开说明书

[21] 申请号 200310103815.4

[43] 公开日 2004年9月8日

[11] 公开号 CN 1527379A

[22] 申请日 2003.11.6

[21] 申请号 200310103815.4

[30] 优先权

[32] 2003.3.4 [33] US [31] 10/379,033

[71] 申请人 台湾积体电路制造股份有限公司

地址 台湾省新竹科学工业园区

[72] 发明人 杨育佳 林俊杰 李文钦 胡正明

[74] 专利代理机构 北京三友知识产权代理有限公司

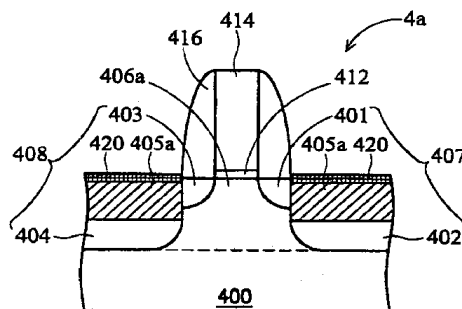
代理人 王一斌

权利要求书5页 说明书18页 附图19页

[54] 发明名称 具有晶格不相称区的变形沟道晶体管结构及其制造方法

[57] 摘要

本发明提供一种具有晶格不相称区的变形沟道晶体管结构及其制造方法。此晶体管结构包括一具有变形沟道区的基底，该基底包含第一自然晶格常数的第一半导体材料，于一表面，一栅极介电层覆盖此变形沟道区，一栅极电极覆盖此栅极介电层，且一源极区与漏极区位于此变形沟道区的相对邻近处，此源极区与/或漏极区包含一晶格不相称区，该晶格不相称区包含第二自然晶格常数的第二半导体材料，此第二自然晶格常数与第一自然晶格常数相异。



ISSN 1008-4274

1. 一种具有晶格不相称区的变形沟道晶体管结构，其特征在于所述变形沟道晶体管结构包括：
- 一变形沟道区，包括具有第一自然晶格常数的第一半导体材料；
 - 5 一覆盖该变形沟道区的栅极介电质层；
 - 一覆盖该栅极介电质层的栅极电极；以及
 - 一源极区与漏极区位于该变形沟道区相对相邻处，该源极与/或漏极包含一晶格不相称区，该晶格不相称区包括具有第二自然晶格常数的第二半导体材料，该第二自然晶格常数与该第一自然晶格常数相异。
- 10 2. 根据权利要求1所述的具有晶格不相称区的变形沟道晶体管结构，其特征在于：该晶格不相称区域的厚度为10至1000埃。
3. 根据权利要求1所述的具有晶格不相称区的变形沟道晶体管结构，其特征在于：该第一半导体材料包括硅。
4. 根据权利要求1所述的具有晶格不相称区的变形沟道晶体管结
15 构，其特征在于：该第二半导体材料包括硅与锗。
5. 根据权利要求1所述的具有晶格不相称区的变形沟道晶体管结构，其特征在于：该第二半导体材料包括硅与碳。
6. 根据权利要求4所述的具有晶格不相称区的变形沟道晶体管结构，其特征在于：锗在该第二半导体材料中所占的莫耳比为0.1至0.9。
- 20 7. 根据权利要求5所述的具有晶格不相称区的变形沟道晶体管结构，其特征在于：碳在该第二半导体材料中所占的莫耳比为0.01至0.04。
8. 根据权利要求5所述的具有晶格不相称区的变形沟道晶体管结构，其特征在于：该第二半导体材料尚包括锗，且在该第二半导体中，锗的莫耳比小于十倍的碳。
- 25 9. 根据权利要求1所述的具有晶格不相称区的变形沟道晶体管结

构，其特征在于：该变形沟道区受一源极至漏极方向的拉伸应力与一垂直方向的压缩应力作用。

10. 根据权利要求 9 所述的具有晶格不相称区的变形沟道晶体管结构，其特征在于：该拉伸应力为 0.1% 至 4% 且压缩应力为 0.1% 至 4%。

5 11. 根据权利要求 1 所述的具有晶格不相称区的变形沟道晶体管结构，其特征在于：该变形沟道区受源极至漏极方向的压缩应力与垂直方向的拉伸应力作用。

12. 根据权利要求 11 所述的具有晶格不相称区的变形沟道晶体管结构，其特征在于：该压缩应力为 0.1% 至 4% 且拉伸应力为 0.1% 至 4
10 %。

13. 根据权利要求 1 所述的具有晶格不相称区的变形沟道晶体管结构，其特征在于：尚包含一位于该晶格不相称区的覆盖层。

14. 根据权利要求 13 所述的具有晶格不相称区的变形沟道晶体管结构，其特征在于：该覆盖层包含该第一半导体材料。

15 15. 根据权利要求 1 所述的具有晶格不相称区的变形沟道晶体管结构，其特征在于：该源极区包含一源极延伸区与一深源极区，且漏极区包含一漏极延伸区与一深漏极区。

16. 根据权利要求 15 所述的具有晶格不相称区的变形沟道晶体管结构，其特征在于：该晶格不相称区域横向延伸至源极延伸区与/或漏极
20 延伸区。

17. 根据权利要求 1 所述的具有晶格不相称区的变形沟道晶体管结构，其特征在于：该晶格不相称区域进一步延伸超过该源极延伸区与/或漏极延伸区。

18. 根据权利要求 1 所述的具有晶格不相称区的变形沟道晶体管结
25 构，其特征在于：该栅极介电质层的相对介电常数大于 5。

19. 根据权利要求 1 所述的具有晶格不相称区的变形沟道晶体管结

构，其特征在于：该栅极介电质层的厚度为 3 至 100 埃。

20. 根据权利要求 1 所述的具有晶格不相称区的变形沟道晶体管结构，其特征在于：该栅极电极包括多晶硅或多晶硅锗。

21. 根据权利要求 1 所述的具有晶格不相称区的变形沟道晶体管结构，其特征在于：该源极区与漏极区表面尚包括一层导电物质。

22. 一种具有晶格不相称区的变形沟道晶体管的制造方法，包括：
提供一基底，该基底具有第一自然晶格常数的第一半导体材料、一栅极介电层位于该基底上、一栅极电极位于该栅极介电层上、一源极区与漏极区位于该栅极介电层相对相邻处以及一间隙壁位于该栅极电极侧壁；

凹蚀该源极区与/或漏极区，形成一凹蚀处；以及

以一具有第二自然晶格常数的第二半导体材料填充该凹蚀处，形成一晶格不相称区，该第二自然晶格常数与该第一自然晶格常数相异。

23. 根据权利要求 22 所述的具有晶格不相称区的变形沟道晶体管的制造方法，其中该源极区包括源极延伸区与/或深源极区。

24. 根据权利要求 22 所述的具有晶格不相称区的变形沟道晶体管的制造方法，其中该漏极区包括漏极延伸区与/或深漏极区。

25. 根据权利要求 22 所述的具有晶格不相称区的变形沟道晶体管的制造方法，其中该晶格不相称区位于深源极区与/或深漏极区。

26. 根据权利要求 22 所述的具有晶格不相称区的变形沟道晶体管的制造方法，其中该间隙壁包括一间隙壁，或一第一间隙壁与一第二间隙壁。

27. 根据权利要求 22 所述的具有晶格不相称区的变形沟道晶体管的制造方法，其中该第一半导体材料包括硅。

28. 根据权利要求 22 所述的具有晶格不相称区的变形沟道晶体管的制造方法，其中该第二半导体材料包括硅与锗。

29. 根据权利要求 22 所述的具有晶格不相称区的变形沟道晶体管的制造方法，其中该第二半导体材料包括硅与碳。
30. 根据权利要求 28 所述的具有晶格不相称区的变形沟道晶体管的制造方法，其中锗在该第二半导体材料中所占的莫耳比为 0.1 至 0.9。
- 5 31. 根据权利要求 29 所述的具有晶格不相称区的变形沟道晶体管的制造方法，其中碳在该第二半导体材料中所占的莫耳比为 0.01 至 0.4。
32. 根据权利要求 29 所述的具有晶格不相称区的变形沟道晶体管的制造方法，其中该第二半导体材料尚包括锗；且在该第二半导体中，锗的莫耳比小于十倍的碳。
- 10 33. 根据权利要求 22 所述的具有晶格不相称区的变形沟道晶体管的制造方法，其中该凹蚀处是由电浆蚀刻所形成。
34. 根据权利要求 22 所述的具有晶格不相称区的变形沟道晶体管的制造方法，其中该凹蚀处的深度为 50 至 1000 埃。
35. 根据权利要求 22 所述的具有晶格不相称区的变形沟道晶体管的制造方法，其中更包括在凹蚀后对该基底做回火处理。
- 15 36. 根据权利要求 22 所述的具有晶格不相称区的变形沟道晶体管的制造方法，其中更包括形成覆盖层于该第二半导体材料。
37. 根据权利要求 36 所述的具有晶格不相称区的变形沟道晶体管的制造方法，其中该覆盖层包括第一半导体材料。
- 20 38. 根据权利要求 22 所述的具有晶格不相称区的变形沟道晶体管的制造方法，其中该栅极介电层的相对介电常数大于 5。
39. 根据权利要求 22 所述的具有晶格不相称区的变形沟道晶体管的制造方法，其中该栅极介电质层的厚度为 3 至 100 埃。
40. 根据权利要求 22 所述的具有晶格不相称区的变形沟道晶体管的制造方法，其中该栅极电极包括多晶硅或多晶硅锗。
- 25 41. 根据权利要求 22 所述的具有晶格不相称区的变形沟道晶体管的制造方法，其中该栅极电极包括多晶硅或多晶硅锗。

的制造方法，尚包括在该源极区与漏极区表面形成一层导电物质。

42. 一种具有晶格不相称区的变形沟道晶体管的制造方法，包括：
提供一基底，该基底包括一半导体材料、一栅极介电层位于该基底上、
一栅极电极位于该栅极介电层上、且一源极区与漏极区位于该栅极介电
5 层相对相邻处；以及

植入一元素于该源极区与/或漏极区，形成一晶格不相称区，该元素
具有与该半导体材料相异的原子半径。

43. 根据权利要求 42 所述的具有晶格不相称区的变形沟道晶体管的
的制造方法，该基底在植入该元素后尚包括回火步骤。

10 44. 根据权利要求 42 所述的具有晶格不相称区的变形沟道晶体管的
的制造方法，其中该第一半导体材料包括硅。

45. 根据权利要求 42 所述的具有晶格不相称区的变形沟道晶体管的
的制造方法，其中该元素为锗。

15 46. 根据权利要求 42 所述的具有晶格不相称区的变形沟道晶体管的
的制造方法，其中该元素为碳。

47. 根据权利要求 42 所述的具有晶格不相称区的变形沟道晶体管的
的制造方法，其中锗在该晶格不相称区中所占的莫耳比为 0.1 至 0.9。

48. 根据权利要求 46 所述的具有晶格不相称区的变形沟道晶体管的
的制造方法，其中碳在该晶格不相称区中所占的莫耳比为 0.01 至 0.4。

20 49. 根据权利要求 42 所述的具有晶格不相称区的变形沟道晶体管的
的制造方法，其中该栅极介电层的相对介电常数大于 5。

50. 根据权利要求 42 所述的具有晶格不相称区的变形沟道晶体管的
的制造方法，其中该栅极介电质层的厚度为 3 至 100 埃。

25 51. 根据权利要求 42 所述的具有晶格不相称区的变形沟道晶体管的
的制造方法，尚包括在该源极区与漏极区表面形成一层导电物质。

具有晶格不相称区的变形沟道晶体管结构及其制造方法

5 技术领域

本发明是有关于一种具有晶格不相称区的半导体组件及其制造方法，特别关于一种变形沟道晶体管结构及其制造方法。

10 背景技术

近十几年来，随着金氧半场效晶体管 (metal-oxide-semiconductor field effect transistor, MOSFET) 尺寸的缩小，包括栅极长度与栅极氧化层厚度的缩小，已使得持续改善速度效能、密度与每单位
15 IC (integrated circuits) 成本成为可能。

为了更进一步提升晶体管的效能，可利用在晶体管沟道的应变 (strain) 来改善载子迁移率，以达到提升晶体管效能的目的，进而使组件比例缩小。以下介绍几个使沟道区应变的既有方法：

在一常见方法，如于 1992 年 12 月在加州旧金山 International
20 Electron Devices Meeting 所出版的 J. Welser *et al.* 中 1000-1002 页的 “NMOS and PMOS transistors fabricated in strained silicon/relaxed silicon-germanium structures” 所述，一松散硅锗 (SiGe) 缓冲层 110 用来做下方的沟道区 126，如图 1A 所示；在图 1B 与图 1C 中，利用一相异晶格常数的简单区块来表示在缓冲层 110 里的松散硅
25 锗层 114 与应变硅层 130 的横截面；在图 1B 中，区块 135 表示硅的自然晶格常数，该晶格常数比区块 115 硅锗的自然晶格常数小；在图 1C 中，当一磊晶硅薄膜 (区块 135) 长在松散硅锗层 114 (区块 115) 上时，区块 135

中硅的单位晶格 136 会横向延伸，产生一二维拉伸应力，使该磊晶硅薄膜变成应变硅层 130，如图 1A 所示。在图 1A 中，一晶体管长在该应变磊晶硅层 130 上，使沟道区 126 处于此二维拉伸应力中，此自然晶格常数为此半导体于常压室温下的晶格常数。此法中，松散硅锗层 114 是一位于沟道区 126 下的应力区 (stressor)，该应力区使沟道区 126 产生应变，受一二维拉伸应力的硅沟道对整个晶体管中电子与电洞迁移率有很大提升。在上述方法中，磊晶硅层 130 在晶体管形成前就已应变，因此，之后 CMOS 的高温制程所可能产生的应变松散 (strain relaxation) 需特别注意；另外，由于硅锗缓冲层 110 的厚度是以微米的等级在成长，所以此法非常昂贵；此外，松散硅锗层 114 中存在许多脱格 (dislocation) 现象，有些还会增生到应变硅层 130 中，产生高缺陷密度，使晶体管效能受到负面影响。

在其它方法中，沟道区于晶体管形成后才应变。在此方法中，一高应力膜 220 形成于整个晶体管结构 250 上，如图 2 所示；作为应力区的高应力膜 220 对沟道区 206 产生重大影响，它使沟道区 206 晶格间隙 (lattice spacing) 改变且产生应变；在此例中，应力区位于整个晶体管结构 250 上方，详细的描述请参考 A. Shimizu *et al.*, "Local mechanical stress control (LMC): a new technique for CMOS performance enhancement", pp. 433-436 of the *Digest of Technical Papers of the 2001 International Electron Device Meeting*; 高应力膜 220 所产生的应变本质上被认为是与源极到漏极平行的一维方向，然而，在源极到漏极的一维拉伸应力应变减低了电洞迁移率，且一维压缩应力减低了电子迁移率；锗的离子植入被用来选择性地减轻该应变，使电洞或电子迁移率不会降低，但由于 N 与 P 沟道晶体管很靠近，所以此植入有困难。

25

发明内容

本发明的主要目的为提供一种具有变形沟道区的晶体管结构。

本发明的另一目的就是提供一种变形沟道晶体管结构,该结构靠近变形沟道区的部分源极区与/或漏极区为晶格不相称区,该晶格不相称区受
5 沟道区影响。

本发明的另一目的就是提供一种变形沟道晶体管的制造方法。

为达上述目的,本发明提供一变形沟道晶体管极结构,包括一变形沟道区、一栅极介电层、一栅极电极与一源极区与漏极区;该基底包含一
10 第一自然晶格常数的第一半导体材料、该栅极介电层位于变形沟道区上、
栅极电极位于栅极介电层上、源极区与漏极区位于变形沟道区的相对邻近处,且源极区与/或漏极区包含一晶格不相称区,此区包含一第二自然晶格常数的第二半导体材料,此第二自然晶格常数与第一自然晶格常数相异。

本发明进一步提供一制造变形沟道晶体管的方法:首先一基底具有一
15 沟道区,此基底包含一第一自然晶格常数的第一半导体材料;在一表面,栅极介电层位于此沟道区上,且一栅极电极位于此栅极介电层上,然后一第一源极区与漏极区形成于沟道区相对邻近处,接着一间隙壁形成于栅极电极侧壁,此间隙壁覆盖一部分基底表面,接着凹蚀掉未被间隙壁与栅极电极覆盖的基底表面,再将此凹蚀处以具有第二自然晶格常数的
20 第二半导体材料填充,此第二自然晶格常数与第一自然晶格常数相异,形成一晶格不相称区,该区会使沟道区应变。最后,一第二源极区形成于第一源极区邻近处、一第二漏极区形成于第一漏极区邻近处,第二源极区与/或第二漏极区包含晶格不相称区。

本发明进一步提供另一种制造变形沟道晶体管的方法:首先一基底具
25 有一沟道区,此基底包含一第一自然晶格常数的第一半导体材料;在一表面,栅极介电层位于此沟道区上、一栅极电极位于此栅极介电层上、

一源极区与漏极区位于沟道区相对邻近处，且一间隙壁位于栅极电极侧壁，此间隙壁覆盖一部分基底表面，然后凹蚀源极区与/或漏极区，最后，以具第二自然晶格常数的第二半导体材料填充此凹蚀处，此第二自然晶格常数与第一自然晶格常数相异，形成一晶格不相称区，该区会使沟道区应变。

5 本发明进一步再提供另一种制造变形沟道晶体管的方法：首先一基底具有一沟道区，此基底包含一第一自然晶格常数的第一半导体材料；在一表面，栅极介电层位于此沟道区上、一栅极电极位于该栅极介电层上，且一间隙壁位于栅极电极侧壁，此间隙壁覆盖一部分基底表面，然后凹蚀未被间隙壁与栅极电极覆盖的基底表面，形成一凹蚀处，最后，一源极区与漏极区形成于沟道区相对邻近处，源极区与/或漏极区包含晶格不相称区。

10 本发明最后再进一步提供另一种制造变形沟道晶体管的方法：首先一基底具有一沟道区，此基底包含一半导体材料，在一表面，一栅极介电层位于该沟道区上、一栅极电极位于栅极介电层上、一源极区与漏极区位于沟道区相对邻近处，且一间隙壁位于栅极电极侧壁，该间隙壁覆盖一部分基底表面。最后，于源极区与/或漏极区植入一元素，该元素具有与此半导体材料相异的原子尺寸，形成一晶格不相称区，该区会使沟道应变。

15 20 本发明利用一种非常简单的结构与制造方法来增进在晶体管中沟道区的变形，进而增进晶体管中载子的迁移率；如此可增进晶体管的驱动电流，进而改进电路速度。

附图说明

25

图 1A 至图 1C 为一系列常见的应变硅晶体管剖面图，该晶体管具有一

松弛硅锗层作为应力区，使磊晶硅层上方产生应变；

图 2 为另一常见的应变硅晶体管剖面图，用以说明利用一高应力膜的应力区使沟道应变；

图 3A 与图 3B 为一系列使用本发明实施例一的变形沟道晶体管结构的剖面图；

图 4A 至图 4D 为一系列使用本发明实施例二的变形沟道晶体管结构的剖面图；

图 5 为本发明变形沟道晶体管结构实施例三的详细流程图；

图 6A 至图 6F 为一系列使用本发明实施例三的变形沟道晶体管结构的制程步骤剖面图；

图 7 为本发明变形沟道晶体管结构实施例四的详细流程图；

图 8A 至图 8D 为一系列使用本发明实施例四的变形沟道晶体管结构的制程步骤剖面图；

图 9 为本发明变形沟道晶体管结构实施例五的详细流程图；

图 10A 至图 10G 为一系列使用本发明实施例五的变形沟道晶体管结构的制程步骤剖面图；

图 11A 至图 11D 为一系列使用本发明实施例六的变形沟道晶体管结构的制程步骤剖面图。

符号说明：

- 20 100、200、300a、300b、400、500、600、700、800：基底
- 110：硅化锗缓冲层
- 112：硅化锗缓冲层下方
- 114：硅化锗缓冲层上方
- 115：硅化锗区块
- 25 122、202：漏极
- 124、204：源极

- 126、206、506、606、706、806: 沟道区
- 130: 应变硅层
- 135: 硅区块
- 136: 硅的单位晶格
- 5 142、214、314a、314b、414、514、614、714、814: 栅极电极
- T: 张力
- 212、312a、312b、412、512、612、712、812: 栅极介电层
- 216、316a、316b、416、516、616、715、716、816: 间隙壁
- 220: 高应力膜
- 10 250: 晶体管结构
- 3a、3b、4a、4b、4c、4d、5、6、7、8: 变形沟道晶体管结构
- 301a、301b、401、501、601、701、801: 漏极延伸区
- 302a、302b、402、502、602、702、802: 深漏极区
- 303a、303b、403、503、603、703、803: 源极延伸区
- 15 304a、304b、404、504、604、704、804: 深源极区
- 305a、305b、405a、405b、405c、405d、505、605、705、805: 晶格不相称区
- 306a、306b、406a、406b、406c、406d、506'、606'、706'、806': 变形沟道区
- 20 307a、307b、407、507、607、707、807: 漏极区
- 308a、308b、408、508、608、708、808: 源极区
- C₁: 源极至漏极方向的压缩应力
- T₁: 垂直方向的拉伸应力
- C₂: 垂直方向的压缩应力
- 25 T₂: 源极至漏极方向的拉伸应力
- 420、520、620、720、820: 传导层

509、609、709: 凹蚀处

d: 凹蚀处的深度

622、722: 硅盖层

830: 植入离子

5

具体实施方式

为了让本发明的上述和其它目的、特征、和优点能更明显易懂，下文特举出较佳实施例，并配合所附图式，作详细说明如下：

10 实施例一：

在本发明的实施例一中，将讨论运用于变形沟道区的两种应力型式。

在图 3A 中，一变形沟道晶体管结构 3a 剖面图表示本发明实施例一：基底 300a 表面有一变形沟道区 306a，该基底包含一半导体材料；栅极介电层 312a 位于变形沟道区 306a 上，此层最好的厚度约为 3 至 100 埃；
15 栅极电极 314a 位于栅极介电层 312a 上；间隙壁 316a 位于栅极电极 314a 侧壁，且覆盖一部分基底 300a 表面；漏极区 307a 包括漏极延伸区 301a 与深漏极区 302a、源极区 308a 包括源极延伸区 303a 与深源极区 304a，漏极区与源极区位于变形沟道区 306a 的相对邻近处；晶格不相称区 305a 包含另一种半导体材料，此半导体材料的自然晶格常数与基底 300a 的自然晶格常数相异，且位于深漏极区 302a 与/或深源极区 304a，因此，
20 变形沟道区 306a 会被不同晶格常数的变形沟道区 306a 与晶格不相称区 305a 所应变。

在本发明实施例一中，在变形沟道晶体管结构 3a 里，基底 300a 最好包含自然晶格常数约为 5.431 埃的硅，且晶格不相称区 305a 最好包含一
25 自然晶格常数最好约在 5.431 至 5.657 埃间的合金半导体材料，如硅锗合金，此常数与锗在硅锗合金中的浓度相关，且大于基底 300a 的自然晶

格常数；在本发明实施例一中，晶格不相称区的锗在硅锗合金中的莫耳比(mole fraction)最好约为 0.1 至 0.9，使晶格不相称区 305a 成为一应力区，于变形沟道区 306a 中产生一源极至漏极方向的压缩应力 C_1 与一垂直方向的拉伸应力 T_1 ，使变形沟道区 306a 处于一源极至漏极方向的压缩应力与垂直方向的拉伸应力中。当此变形沟道晶体管结构 3a 为 P 沟道时，变形沟道区 306a 的电洞迁移率显著增加，而使驱动电流(drive current)提升。

在图 3B 中，3b 为本发明实施例一的变形沟道晶体管结构的剖面图。基底 300b 表面有一变形沟道区 306b，此基底包含一半导体材料；栅极介电层 312b 位于变形沟道区 306b 上，该层厚度最好约为 3 至 100 埃；栅极电极 314b 位于栅极介电层 312b 上；间隙壁 316b 位于栅极电极 314b 侧壁，覆盖一部分基底 300b 表面；漏极区 307b 包含漏极延伸区 301b 与深漏极区 302b、源极区 308b 包含源极延伸区 303b 与深源极区 304b，该漏极区与源极区位于变形沟道区 306b 的相对邻近处；晶格不相称区 305b 位于深漏极区与/或深源极区，此区包括另一种半导体材料，其自然晶格常数与基底 300b 的相异，因此，变形沟道区 306b 会被不同晶格系数的变形沟道区 306b 与晶格不相称区 305b 所应变。

在本发明实施例一的变形沟道晶体管结构 3b 中，基底 300b 最好包含硅与晶格不相称区 305b，该区最好包含一合金半导体材料，如一碳硅合金，且该半导体材料的自然晶格常数比基底 300b 小。在本发明实施例一中，晶格不相称区的碳在硅碳合金中的莫耳比(mole fraction)最好约为 0.01 至 0.04，使晶格不相称区 305b 成为一应力区，于变形沟道区 306b 中产生一源极至漏极方向的拉伸应力 C_2 与一垂直方向的压缩应力 T_2 ，使变形沟道区 306b 处于一源极至漏极方向的拉伸应力与垂直方向的压缩应力中。当此变形沟道晶体管结构 3b 为 N 沟道时，变形沟道区 306b 的电子迁移率显著增加，而使驱动电流提升，再者，晶格不相称区可能包含

锗，成为一硅锗碳合金，其中碳的莫耳比要大于十倍的锗。

另外，在图 3A 的变形沟道区 306a 与图 3B 的变形沟道区 306b 中，其压缩应变与张力应变约为 0.1%至 4%，最好约为 1%至 4%；图 3A 的晶格不相称区 305a 与图 3B 的晶格不相称区 305b 的厚度约为 10 至 1000 埃；在
5 图 3A 的变形沟道区 306a 与图 3B 的变形沟道区 306b 中，其压缩应变与张力应变是与晶格不相称区 306a 与 306b 的晶格常数、厚度及在漏极区 307a 与/或源极区 308a 中的位置，且晶格不相称区 306b 位于漏极区 307b 与/或源极区 308b 中。

实施例二：

10 在本发明实施例二中，将讨论位于漏极区与/或源极区不同位置的晶格不相称区。在图 4A 至图 4D 中，基底 400 上方有变形沟道晶体管结构 4a 至 4d、漏极延伸区 401、深漏极区 402、漏极区 407、源极延伸区 403、深源极区 404、源极区 408、晶格不相称区 405a/405b/405c/405d、变形
15 沟道区 406a/406b/406c/406d、栅极介电层 412、栅极电极 414 与间隙壁 416。若叙述与本发明实施例一相同者则省略。

在图 4A 中，晶格不相称区 405a 位于靠近漏极区 407 与/或源极区 408 表面，并未延伸到漏极延伸区 401 与/或源极延伸区 403；在图 4B 中，晶格不相称区 405b 凸出漏极区 407 与/或源极区 408 表面，形成一凸起的漏极区 407b 与凸起的源极区 408b；在图 4C 中，晶格不相称区 405c 位于
20 靠近漏极区 407 与/或源极区 408 表面，且进一步延伸到漏极延伸区 401 与/或源极延伸区 403；在图 4D 中，晶格不相称区 405d 位于漏极区 407 与/或源极区 408 表面更深处，且更延伸到变形沟道区 406d、漏极延伸区 401 与/或源极延伸区 403 下方。另外，位于漏极区与/或源极区的晶格不相称区的位置与本发明实施例一相符，并非意谓对此限制，熟习此技艺
25 者，可视需要根据本发明进一步调整晶格不相称区的位置。

在图 4A 至图 4D 中，一传导层 420，如硅、金属、金属硅化物或前述

的组合，在变形沟道晶体管结构 4a、4c 与 4d 的漏极区与/或源极区与变形沟道晶体管结构 4b 的凸出漏极区与/或凸出源极区表面随意地形成。

此外在图 4C 中，由于晶格不相称区 405c 更靠近变形沟道区 406c，使晶格不相称区 405c 施加更多应变于变形沟道区 406c，改善了变形沟道
5 结构 4c 中的电子或电洞迁移率。

实施例三：

在本发明实施例三中，将描述一变形沟道晶体管结构的制造方法，图 5 为此实施例的流程图，之后本实施例的描述会依图 5 的顺序进行。

在图 6A 中，一半导体基底如一硅基底 500 被提供，硅基底 500 包括
10 一事先形成的多重隔离区(未表示于图上)，以及事先定义的多重组件区(未表示于图上)。例如，此隔离区可能为浅沟隔离区(shallow trench isolation)。图 6A 至图 6F 提供一系列单一组件区的剖面图，使描述更加容易。硅基底 500 于一主动区表面包含一沟道区 506。当图 6E 中的变形沟道晶体管结构 5 为 P 沟道晶体管结构时，硅基底 500 即为 N 型掺杂；
15 若变形沟道晶体管结构 5 为 N 沟道晶体管结构，硅基底 500 即为 P 型掺杂。

在图 6B 中，一栅极介电层 512 形成于沟道区 506 上，而后一栅极电极 514 形成于此栅极介电层 512 上，栅极介电层是由热氧化法、热氧化法再经氮化处理法、化学气相沉积法、物理气相沉积法如溅镀或其它已知技术所形成；栅极介电层 512 可以是二氧化硅、氮氧化硅(silicon oxynitride)或前述组合物，其厚度约在 3 至 100 埃间，最好约为 10 埃或更少；栅极介电层 512 可能为一高介电常数(high-k)物质，如氧化铝
20 (Al₂O₃)、氧化铪(HfO₂)、氧化锆(ZrO₂)、氮氧化铪(HfON)、硅酸铪(HfSiO₄)、硅酸锆(ZrSiO₄)、氧化镧(La₂O₃)或前述的组合，此栅极介电层的厚度相当于约 3 埃至 100 埃的氧化物。栅极电极 514 为多晶硅、多
25 晶硅锗、耐火金属如钼或钨、化合物如氮化钛、前述的组合物或其它传

导性物质；植入被用以改变栅极电极 514 的功函数，被认为是种功函数的植入；栅极电极 514 是借沉积栅极电极材料层(未表示于图上)于基底 500 上，再沉积一栅极罩(gate mask)(未表示于图上)于栅极电极材料层上，而后按栅极罩来定义栅极电极 514，并蚀刻此栅极电极材料层来形成
5 栅极电极 514 且将栅极罩去除；在电性上，栅极电极 514 与沟道区 506 用栅极介电层 512 区隔；在本发明实施例三中，栅极介电层 512 最好为氮氧化硅、栅极电极 514 最好为多晶硅，则用氯与溴化学法蚀刻可得高蚀刻选择比。

在图 6C 中，于基底 500 的主动区表面，一漏极延伸区 501 与源极延伸区 503 形成于沟道区 506 相对邻近处，且间隙壁 516 形成于栅极电极 514 侧壁，此间隙壁覆盖一部分漏极延伸区 501 与源极延伸区 503，此漏极延伸区 501 与源极延伸区 503 是借由离子植入、电浆浸入式离子植入(PIII)或其它已知的技术所形成；间隙壁 516 的形成，最好是借沉积一间隙壁材料层(未表示于图上)如氮化硅或氧化硅及选择性地蚀刻此间隙
10 壁材料层来形成；在本发明实施例三中，间隙壁材料为氮化硅。

在图 6D 中，在一部分或全部未被栅极介电层 512 与间隙壁 516 覆盖的基底 500 的主动区表面上，借由氯与溴化学法电浆蚀刻凹蚀，使形成一深度至少为 d 的凹蚀处 509，此深度 d 约为 50 埃至 1000 埃。为了一之后的磊晶制程，可利用一非必须的回火步骤来促进硅的迁移率，修补因
20 蚀刻而造成凹蚀处 509 的缺陷，使此凹蚀处 509 平滑，此回火步骤所使用的气体包含氮、氩、氟、氯、氢、氧与上述的组合物。

在图 6E 中，凹蚀处 509 被填充一半导体材料，如硅锗合金或碳硅合金，形成一晶格不相称区 505，而后一深漏极区 502 形成于漏极延伸区 501 的邻近处、一深源极区 504 形成于源极延伸区 503 的邻近处，深漏极
25 区 502 与漏极延伸区 501 结合形成漏极区 507、深源极区 504 与源极延伸区 503 结合形成源极区 508，漏极区 507 与/或源极区 508 包含晶格不相

称区 505; 当晶格不相称区 505 形成时, 沟道区 506 被应变, 形成一变形沟道区 506'; 至此, 本发明实施例三的变形沟道晶体管结构 5 基本上已形成。晶格不相称区 505 是借磊晶制程所形成, 如化学气相沉积、超高真空化学气相沉积或分子束磊晶。当变形沟道晶体管结构 5 为 P 沟道晶体管结构时, 此晶格不相称区 505 为硅锗合金, 其中锗在此合金所占的莫耳比约为 0.1 至 0.9; 当变形沟道晶体管结构 5 为 N 沟道晶体管结构时, 此晶格不相称区 505 为碳硅合金, 其中碳在此合金所占的莫耳比约为 0.01 至 0.04, 且可能更进一步包含锗, 形成碳硅锗合金, 此合金锗的莫耳比小于十倍的碳。利用磊晶制程, 一硅盖层 522 可随意地于晶格不相称区 505 形成, 如化学气相沉积、超高真空化学气相沉积或分子束磊晶; 在此磊晶制程中, 晶格不相称区 505 与非必须的硅盖层 522 可能同时掺杂或未掺杂, 当未掺杂时, 之后它们掺杂可利用快速热回火制程 (rapid thermal annealing process) 来掺杂活化的掺质 (dopants)。深漏极区 502 与深源极区 504 借离子植入、电浆浸入式离子植入、气相或固相源扩散或其它已知技术形成。当形成晶格不相称区 505、硅盖层 522、深漏极区 502 与深源极区 504 时, 一回火步骤可进一步使植入缺陷与非结晶化 (amorphization) 恢复, 此回火步骤所使用的气体包含氮、氩、氟、氦、氫、氧与上述的组合物。

在图 6F 中, 一传导层 520 随意地形成于晶格不相称区 505 与/或漏极区 507/源极区 508 上, 使漏极区 507 与源极区 508 的电阻值降低; 传导层 520 是利用自行对准金属硅化物 (self-aligned silicide) 或其它金属沉积制程所形成。护层 (passivation layers) 和组件接触窗 (contacts) 随后形成, 使本发明实施例三的变形沟道晶体管结构 5 的组件完成。

实施例四:

在本发明实施例四中, 将描述一变形沟道晶体管结构的制造方法, 此晶体管的晶格不相称区不会延伸到漏极延伸区与/或源极延伸区。图 7 为

此实施例的流程图，之后的描述会依图 7 的顺序进行。

在图 8A 中，一半导体基底如一硅基底 600 被提供，硅基底 600 包括一事先形成的多重隔离区(未表示于图上)及事先定义的多重组件区(未表示于图上)，例如此隔离区可能为浅沟隔离区。图 8A 至图 8D 提供一系列单一组件区的剖面图，使描述更加容易。硅基底 600 包含一常见的晶体管结构，此结构于基底 600 的主动区表面包含一沟道区 606、一位于沟道区 606 上的栅极介电层 612、一位于栅极介电层 612 上的栅极电极 614、一位于沟道区 606 相对邻近处的源极区 608 与漏极区 607，且一位于栅极电极 614 侧壁的间隙壁 616，且此间隙壁覆盖部分基底 600 的主动区表面。漏极区 607 包含一漏极延伸区 601 与一深漏极区 602、源极区 608 包含一源极延伸区 603 与一深源极区 604。在图 8C 中，当变形沟道晶体管结构 6 为 P 沟道晶体管结构时，硅基底 600 即为 N 型掺杂；当变形沟道晶体管结构 6 为 N 沟道晶体管结构时，则为 P 型掺杂。

在图 8B 中，在一部分或全部未被栅极介电层 612 与间隙壁 616 覆盖的基底 600 的主动区表面，借由氟与溴化学法电浆蚀刻凹蚀，使形成一深度至少为 d 的凹蚀处 609，此深度 d 约为 50 埃至 1000 埃。为了一之后的磊晶制程，可利用一非必须的回火步骤来促进硅的迁移率，修补因蚀刻而造成凹蚀处 609 的缺陷，使此凹蚀处 609 平滑，此回火步骤所使用的气体包含氟、氯、氮、氧与上述的组合物。

在图 8C 中，凹蚀处 609 被填充一半导体材料，如硅锗合金或碳硅合金，形成一晶格不相称区 605；漏极区 607 与/或源极区 608 包含晶格不相称区 605；当晶格不相称区 605 形成时，沟道区 606 被应变，形成一变形沟道区 606'；至此，本发明实施例四的变形沟道晶体管结构 6 基本上已形成。晶格不相称区 605 会凸出漏极区 607 与/或源极区 608 表面，形成一凸起的漏极区与凸起的源极区；晶格不相称区 605 是借磊晶制程所形成，如化学气相沉积、超高真空化学气相沉积或分子束磊晶。当变形

沟道晶体管结构 6 为 P 沟道晶体管结构时，此晶格不相称区 605 为硅锗合金，其中锗在此合金所占的莫耳比约为 0.1 至 0.9；当变形沟道晶体管结构 6 为 N 沟道晶体管结构时，此晶格不相称区 605 为碳硅合金，其中碳在此合金所占的莫耳比约为 0.01 至 0.04，且可能更进一步包含锗，形成碳硅锗合金，此合金锗的莫耳比小于十倍的碳。利用磊晶制程，如化学气相沉积、超高真空化学气相沉积或分子束磊晶，一硅盖层 622 可随意地于晶格不相称区 605 形成。晶格不相称区 605 与非必须的硅盖层 622 在此磊晶制程中同时掺杂。

在图 8D 中，一传导层 620 随意地形成于晶格不相称区 605 与/或漏极区 607/源极区 608 上，使漏极区 607 与源极区 608 的电阻值降低，传导层 620 是利用自行对准金属硅化物或其它金属沉积制程所形成。护层和组件接触窗随后形成，使本发明实施例四的变形沟道晶体管结构 6 的组件完成。

实施例五：

在本发明实施例五中，将描述一变形沟道晶体管结构的制造方法。此晶体管的晶格不相称区会延伸到漏极延伸区与/或源极延伸区。图 9 为此实施例的流程图，之后的描述会依图 9 的顺序进行。

在图 10A 中，一半导体基底如一硅基底 700 被提供，硅基底 700 包括一事先形成的多重隔离区(未表示于图上)及事先定义的多重组件区(未表示于图上)，例如此隔离区可能为浅沟隔离区。图 10A 至图 10G 提供一系列单一组件区的剖面图，使描述更加容易。硅基底 700 包含一于主动区表面的沟道区 706。图 10D 中，当变形沟道晶体管结构 7 为 P 沟道晶体管结构时，硅基底 700 即为 N 型掺杂；当变形沟道晶体管结构 7 为 N 沟道晶体管结构时，则为 P 型掺杂。

在图 10B 中，首先一栅极介电层 712 形成于沟道区 706 上，且一栅极电极 714 形成于栅极介电层 712 上，最后间隙壁 715 形成于栅极电极 714

侧壁，且此间隙壁覆盖部分基底 700 的主动区表面。栅极介电层 712 是由热氧化法、热氧化法再经氮化处理法、化学气相沉积法、物理气相沉积法如溅镀或其它已知技术所形成；栅极介电层 712 可以是二氧化硅、氮氧化硅或前述组合物，其厚度约在 3 至 100 埃间，最好约为 10 埃或更少；栅极介电层 712 可能为一高介电常数物质，如氧化铝、氧化铪、氧化锆、氮氧化铪、硅酸铪、硅酸锆、氧化镧或前述的组合，此栅极介电层的厚度相当于约 3 埃至 100 埃的氧化物。栅极电极 714 为多晶硅、多晶硅锗、耐火金属如钼或钨、化合物如氮化钛、前述的组合物或其它传导性物质；植入被用以改变栅极电极 714 的功函数，被认为是种功函数的植入；栅极电极 714 是借沉积栅极电极材料层(未表示于图上)于基底 700 上，再沉积一栅极罩(未表示于图上)于栅极电极材料层上，而后按栅极罩来定义栅极电极 714，并蚀刻此栅极电极材料层来形成栅极电极 714 且将栅极罩去除；在电性上，栅极电极 714 与沟道区 706 用栅极介电层 712 区隔；在本发明实施例五中，栅极介电层 712 最好为氮氧化硅、栅极电极 714 为多晶硅，则用氯与溴化学法蚀刻可得高蚀刻选择比。为了保护之后磊晶步骤栅极电极 714 的侧壁，间隙壁 715 是利用沉积与非等向性蚀刻技术形成。

在图 10C 中，在一部分或全部未被栅极介电层 712 与间隙壁 715 覆盖的基底 700 的主动区表面上，借由氯与溴化学法电浆蚀刻凹蚀，使形成一深度为 d 的凹蚀处，此深度 d 约为 50 埃至 1000 埃。为了一之后的磊晶制程，可利用一非必须的回火步骤来促进硅的迁移率，修补因蚀刻而造成凹蚀处 709 的缺陷，使此凹蚀处 709 平滑，此回火步骤所使用的气体包含氮、氟、氦、氯、氢、氧与上述的组合物。

在图 10D 中，凹蚀处 709 被填充一半导体材料，如硅锗合金或碳硅合金，形成一晶格不相称区 705，之后一漏极延伸区 701 与源极延伸区 703 于变形沟道区 706' 相对邻近处形成，至此，本发明实施例五的变形沟道

晶体管结构 7 基本上已形成。晶格不相称区 705 是借磊晶制程所形成，如化学气相沉积、超高真空化学气相沉积或分子束磊晶。当晶格不相称区 705 形成时，沟道区 706 被应变，形成一变形沟道区 706'。当变形沟道晶体管结构 7 为 P 沟道晶体管结构时，此晶格不相称区 705 为硅锗合金，其中锗在此合金所占的莫耳比约为 0.1 至 0.9；当变形沟道晶体管结构 7 为 N 沟道晶体管结构时，此晶格不相称区 705 为碳硅合金，其中碳在此合金所占的莫耳比约为 0.01 至 0.04，且可能更进一步包含锗，形成碳硅锗合金，此合金锗的莫耳比小于十倍的碳。利用磊晶制程，如化学气相沉积、超高真空化学气相沉积或分子束磊晶，一硅盖层 722 可随意地于晶格不相称区 705 形成。当在磊晶制程中，晶格不相称区 705 与非必须的硅盖层 722 未掺杂，但之后的掺杂可用快速热回火制程活化掺质。漏极延伸区 701 与/或源极延伸区 703 包含晶格不相称区 705 与非必须的硅盖层 722。

在图 10E 中，一间隙壁 716 覆盖形成于原间隙壁 715 上，间隙壁 716 是借沉积与选择性蚀刻一间隙壁材料(未表示于图上)所形成，此间隙壁材料为氮化硅或二氧化硅；在本发明实施例五中，间隙壁 716 为氮化硅。

在图 10F 中，一深漏极区 702 形成于漏极延伸区 701 的邻近处，且深源极区 704 形成于源极延伸区 703 的邻近处。当晶格不相称区 705 有效时，深漏极区 702 会与漏极延伸区 701 结合，且非必须的盖层 722 有效时，会形成漏极区 707；当晶格不相称区 705 有效时，深源极区 704 会与源极延伸区 703 结合，且非必须的盖层 722 有效时，会形成源极区 708。深漏极区 702 与深源极区 704 借离子植入、电浆浸入式离子植入、气相或固相源扩散或其它已知技术形成。

在图 10G 中，一传导层 720 随意地形成于漏极区 707 与源极区 708 上，使漏极区 707 与源极区 708 的电阻值降低；传导层 720 是利用自行对准金属硅化物或其它金属沉积制程所形成。护层和组件接触窗随后形

成，使本发明实施例五的变形沟道晶体管结构 7 的组件完成。

实施例六：

在本发明实施例六中，将描述一利用离子植入制程来形成变形沟道晶体管结构中晶格不相称区的制造方法。

5 在图 11A 中，一半导体基底如一硅基底 800 被提供，硅基底 800 包括一事先形成的多重隔离区(未表示于图上)及事先定义的多重组件区(未表示于图上)，例如此隔离区可能为浅沟隔离区。图 11A 至图 11D 提供一系列单一组件区的剖面图，使描述更加容易。硅基底 800 包含一常见的晶体管结构，该晶体管结构包含一沟道区 806，该区位于基底 800 的主动区表面；一栅极介电层 812 位于沟道区 806 上、一栅极电极 814 位于栅极介电层 812 上、一源极 808 与漏极 807 位于沟道区 806 相对邻近处，且一间隙壁 816 位于栅极电极 814 侧壁，且此间隙壁覆盖部分基底 800 的主动区表面。漏极区 807 包含一漏极延伸区 801 与深漏极区 802、源极区 808 包含一源极延伸区 803 与深源极区 804。在图 11C 中，当变形沟道晶体管结构 8 为 P 沟道晶体管结构时，硅基底 700 即为 N 型掺杂；当变形沟道晶体管结构 8 为 N 沟道晶体管结构时，则为 P 型掺杂。

15 在图 11B 中，一离子植入制程用来将离子 830 植入漏极区 807 与/或源极区 808 中，此被植入离子为一种或多种原子，此原子的半径与基底 800 不同；在此离子植入制程进行时，栅极电极 814 与间隙壁 816 可作为一植入罩(implantation mask)，间隙壁 816 的厚度可视晶格不相称区 805 是否延伸入漏极延伸区 801 与/或源极延伸区 803 来做调整。

25 在图 11C 中，对基底 800 做回火，使晶格不相称区形成于漏极区 807 与/或源极区 808，故漏极区 807 与/或源极区 808 包括晶格不相称区。当晶格不相称区 805 形成时，沟道区 806 被应变，形成一变形沟道区 806'。至此，本发明实施例六的变形沟道晶体管结构 8 基本上已形成。当变形沟道晶体管结构 8 为 P 沟道晶体管结构时，此晶格不相称区 805 为硅锗

合金，其中锗在此合金所占的莫耳比约为 0.1 至 0.9；当变形沟道晶体管结构 8 为 N 沟道晶体管结构时，此晶格不相称区 805 为碳硅合金，其中碳在此合金所占的莫耳比约为 0.01 至 0.04，且可能更进一步包含锗，形成碳硅锗合金，此合金锗的莫耳比小于十倍的碳。

- 5 在图 11D 中，一传导层 820 随意地形成于漏极区 807 与源极区 808 上，使漏极区 807 与源极区 808 的电阻值降低；传导层 820 是利用自行对准金属硅化物或其它金属沉积制程所形成。护层和组件接触窗随后形成，使本发明实施例六的变形沟道晶体管结构 8 的组件完成。

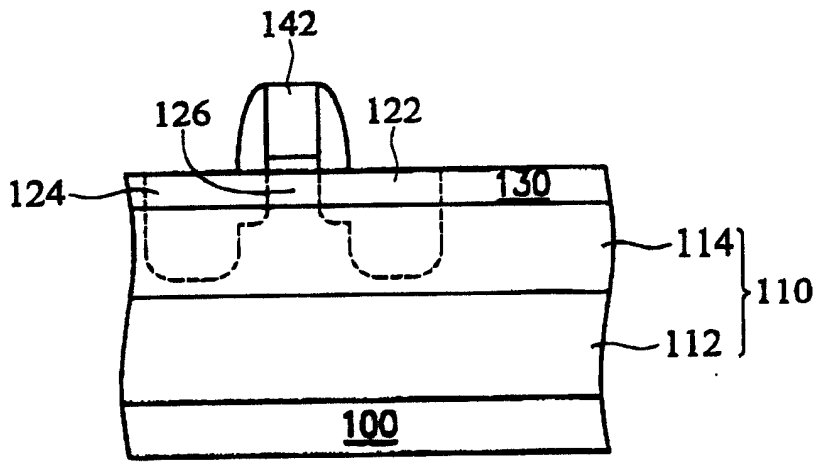


图1A

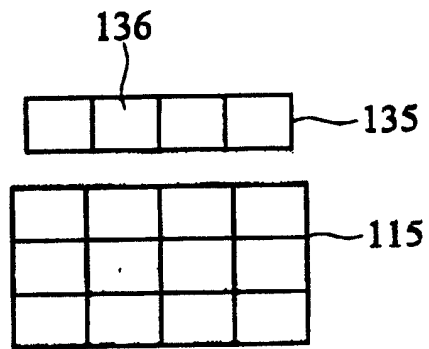


图1B

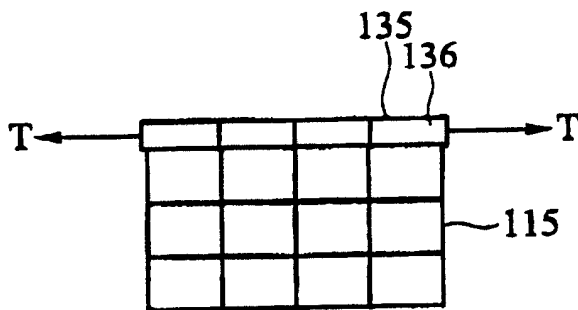


图1C

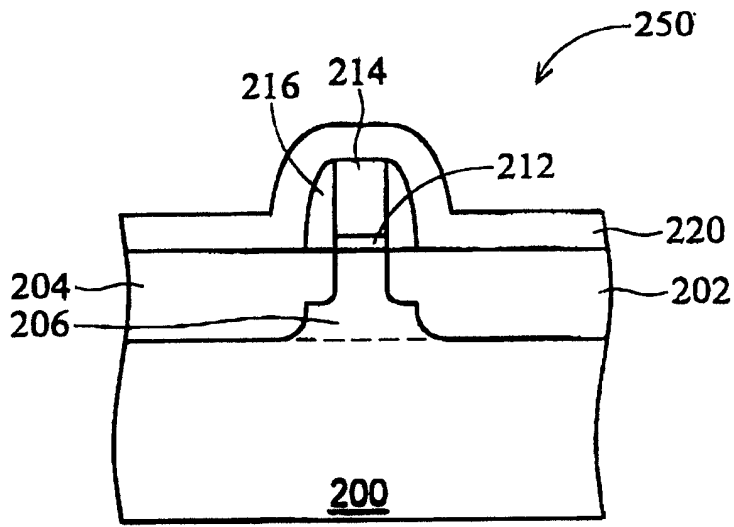


图2

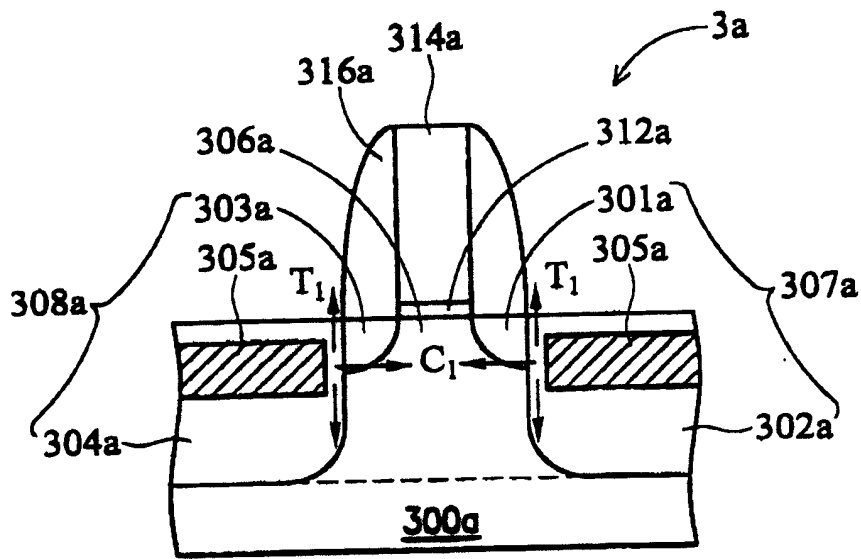


图 3A

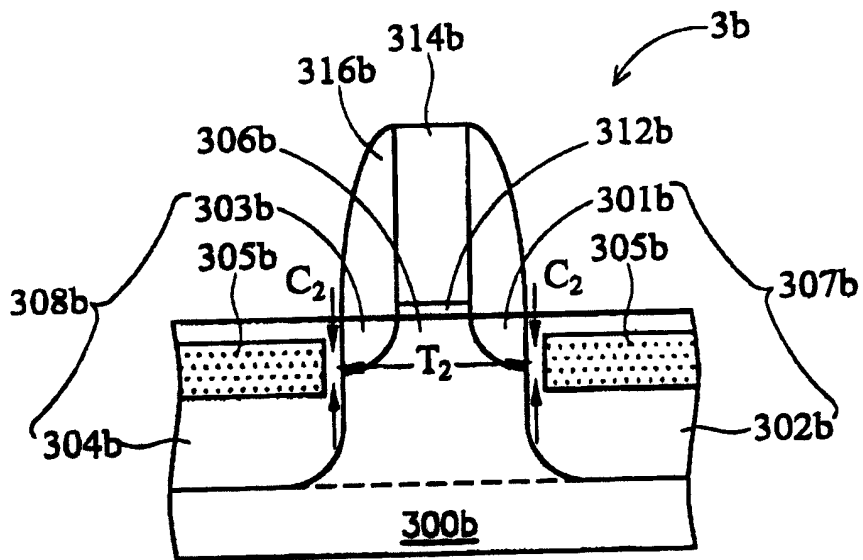


图 3B

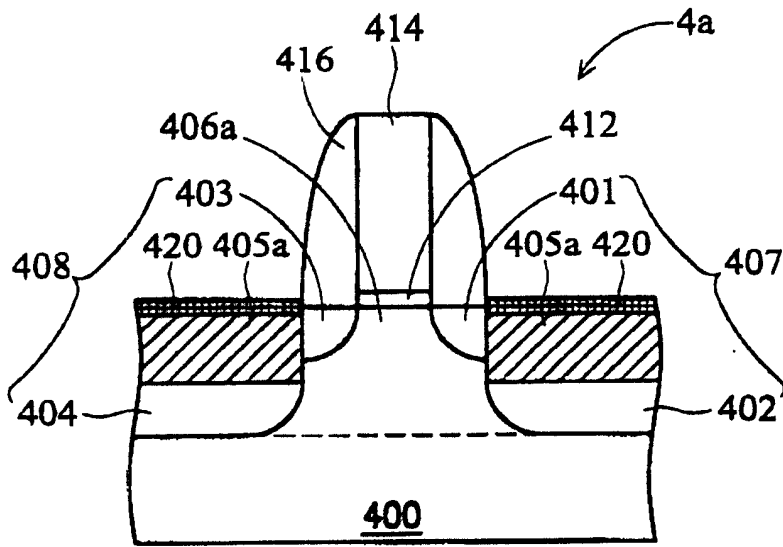


图 4A

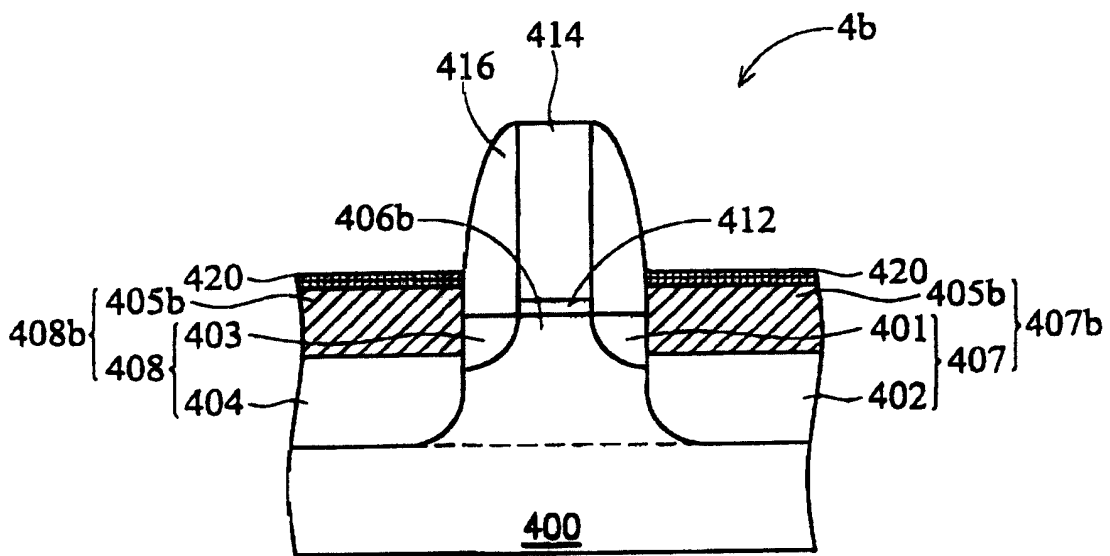


图 4B

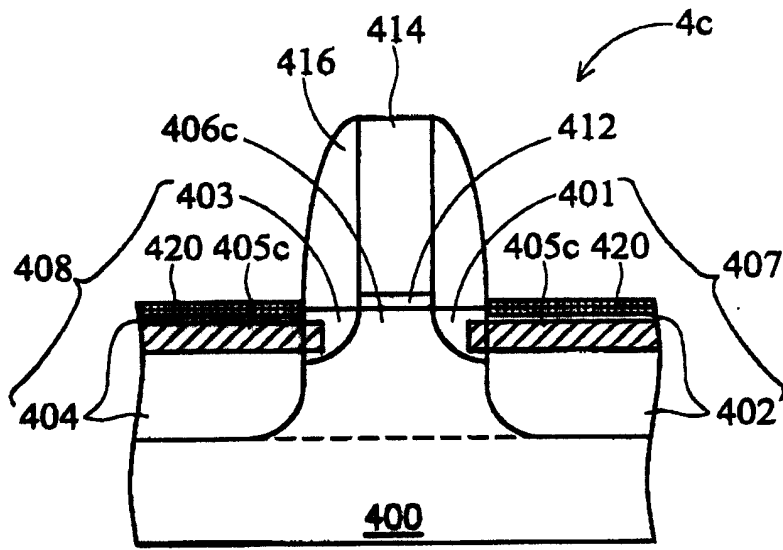


图4C

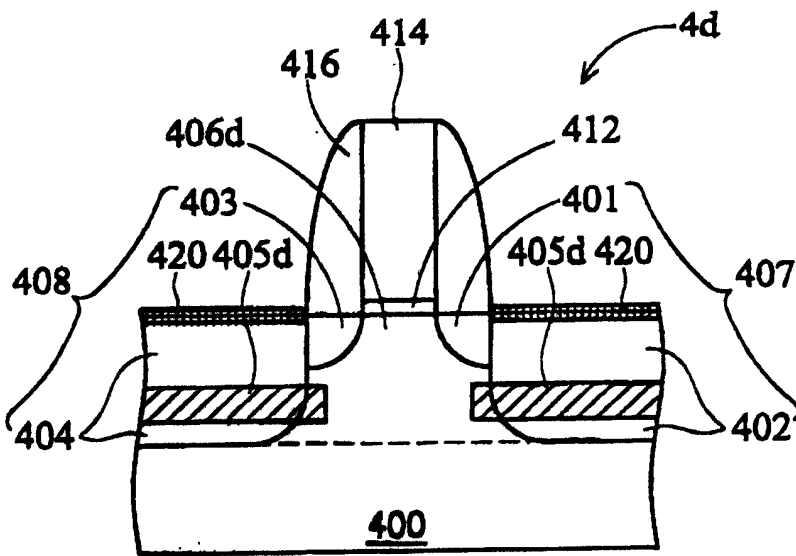


图4D

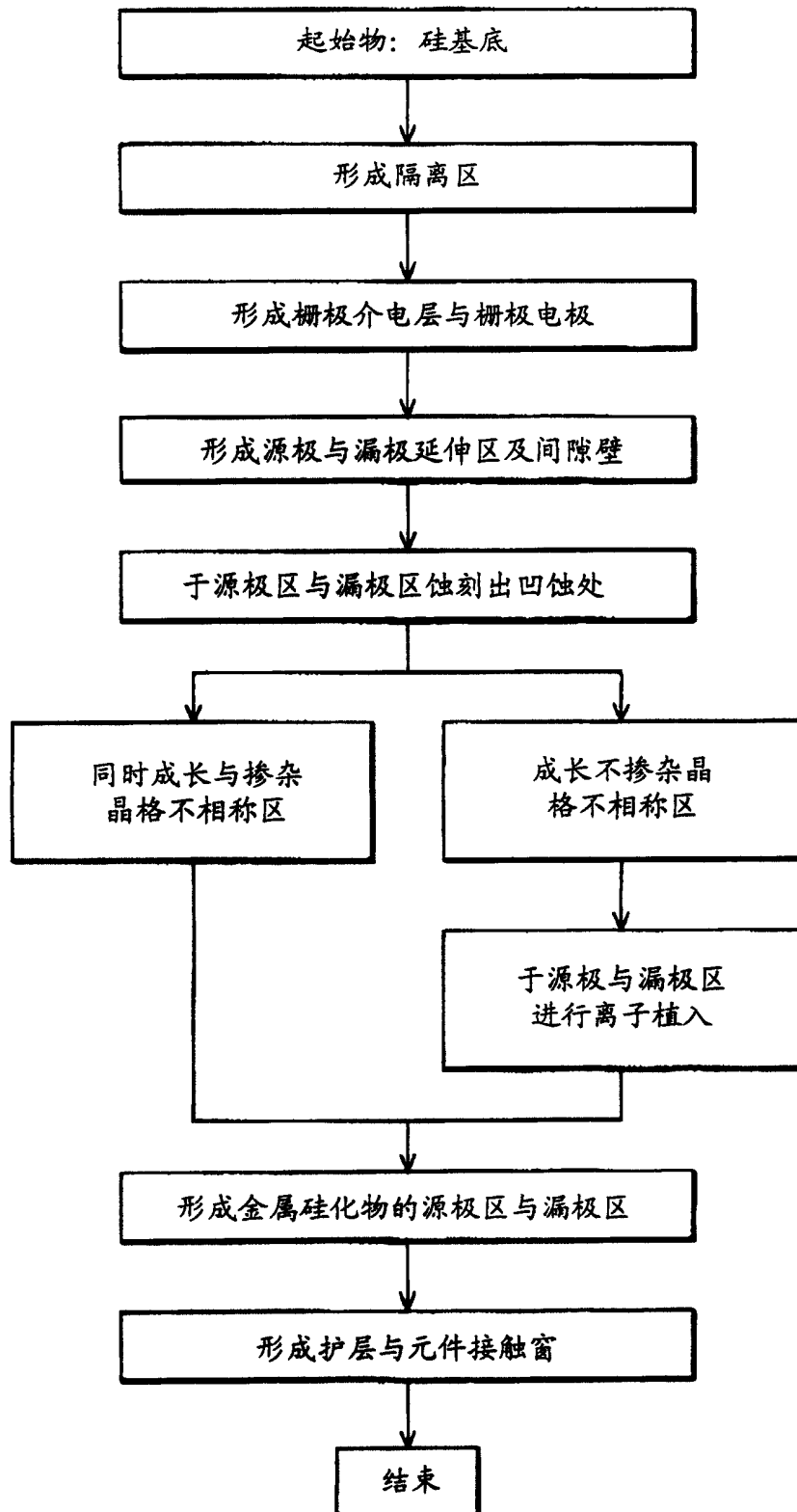


图5

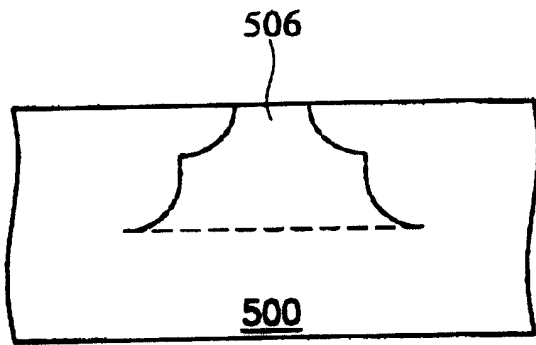


图6A

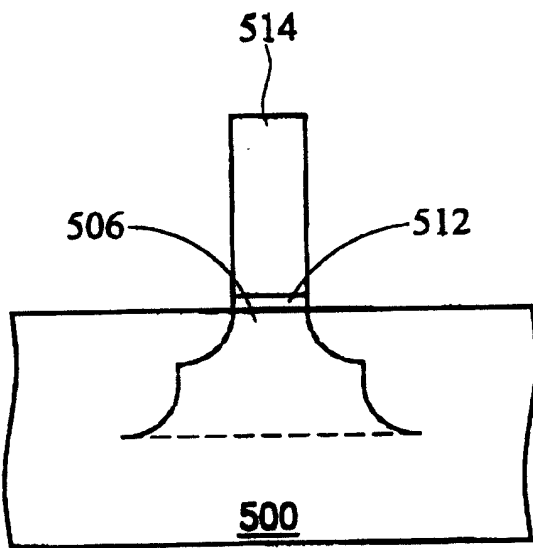


图6B

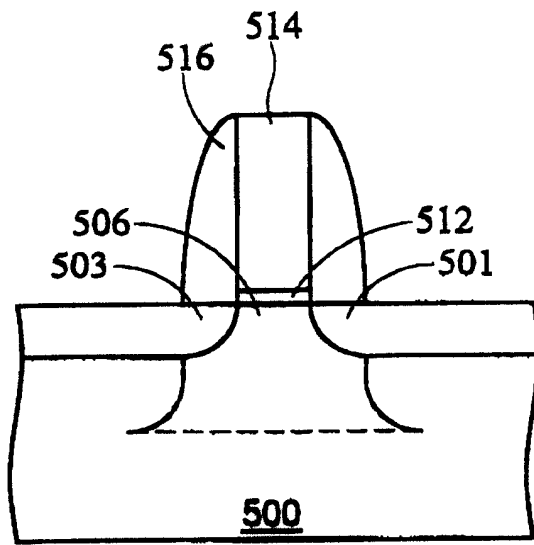


图6C

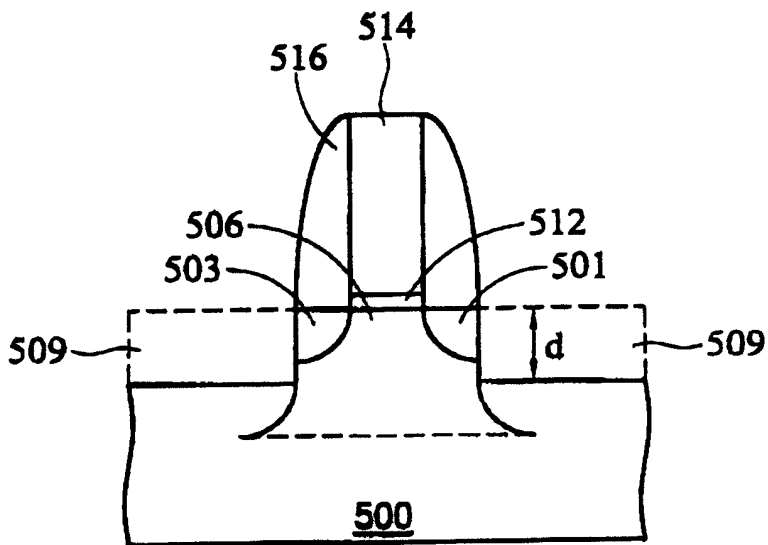


图6D

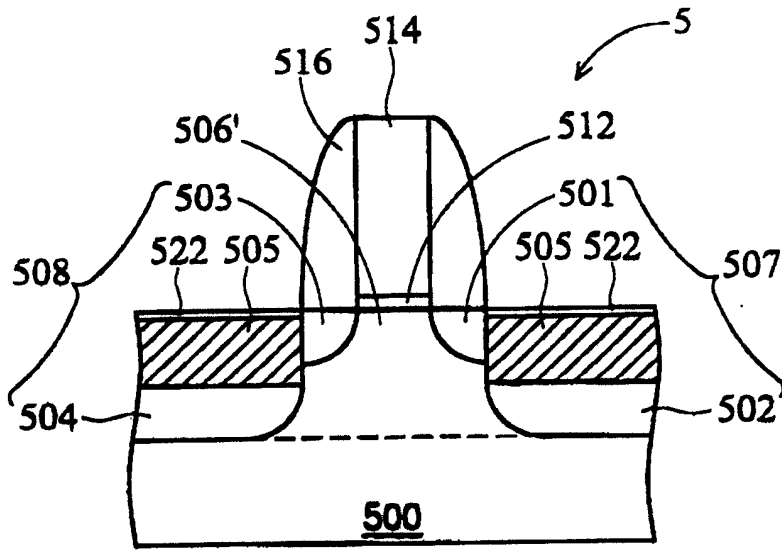


图 6E

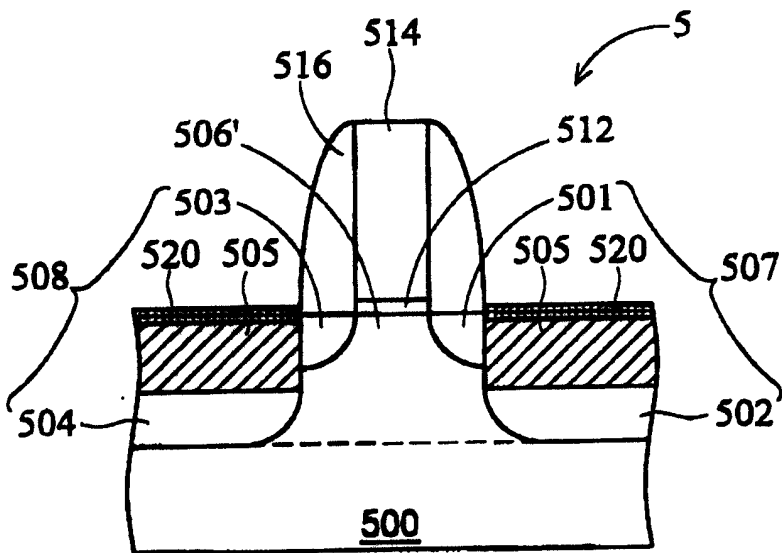


图 6F

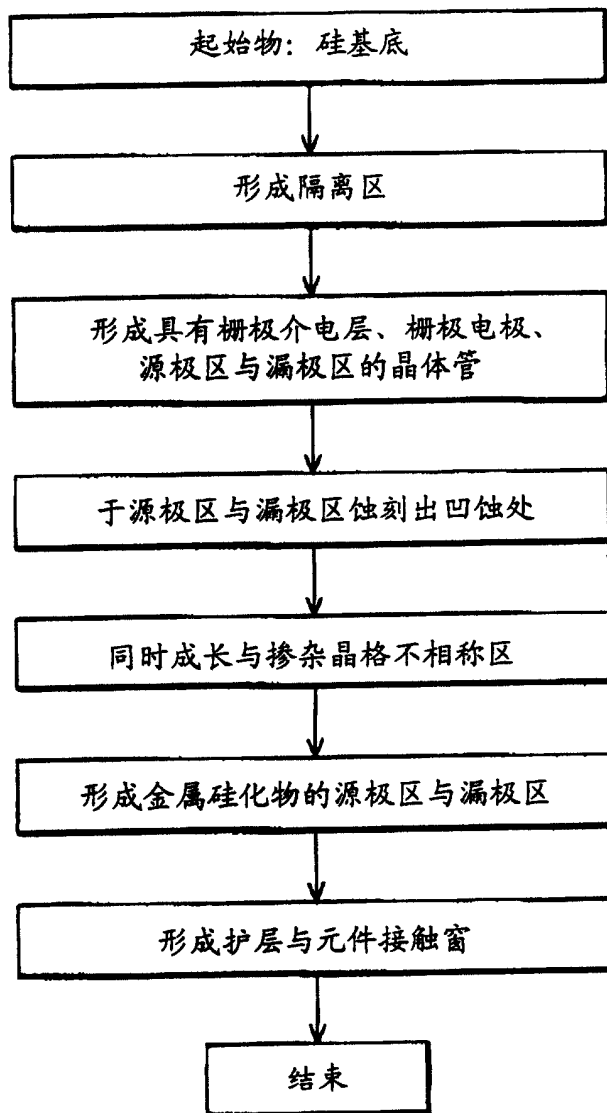


图7

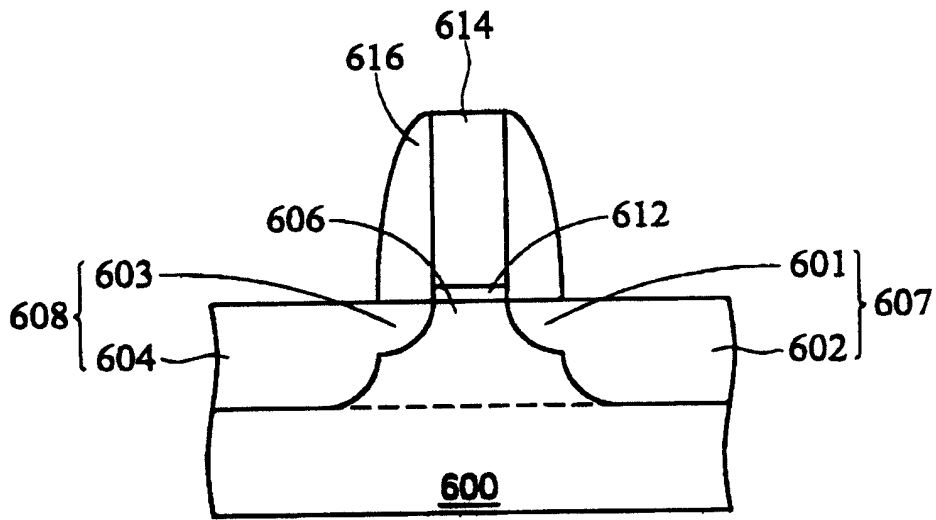


图 8A

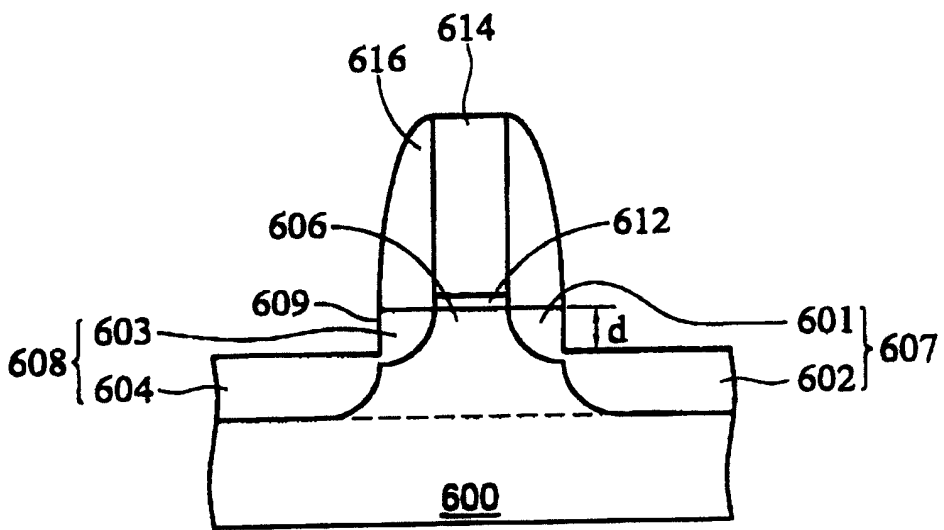


图 8B

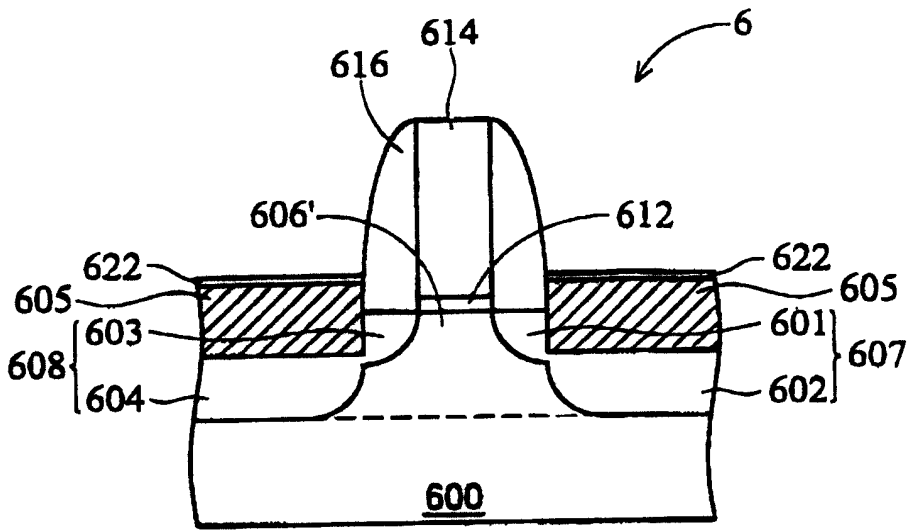


图8C

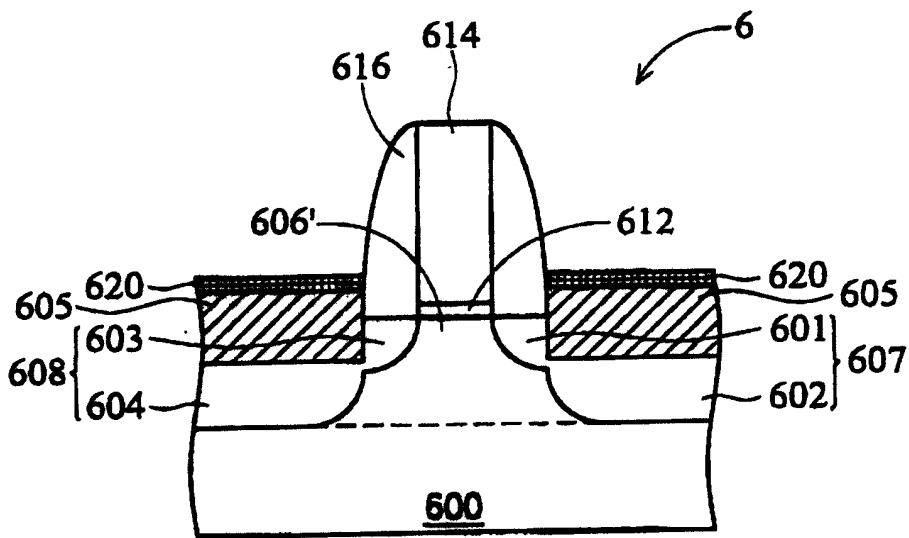


图8D

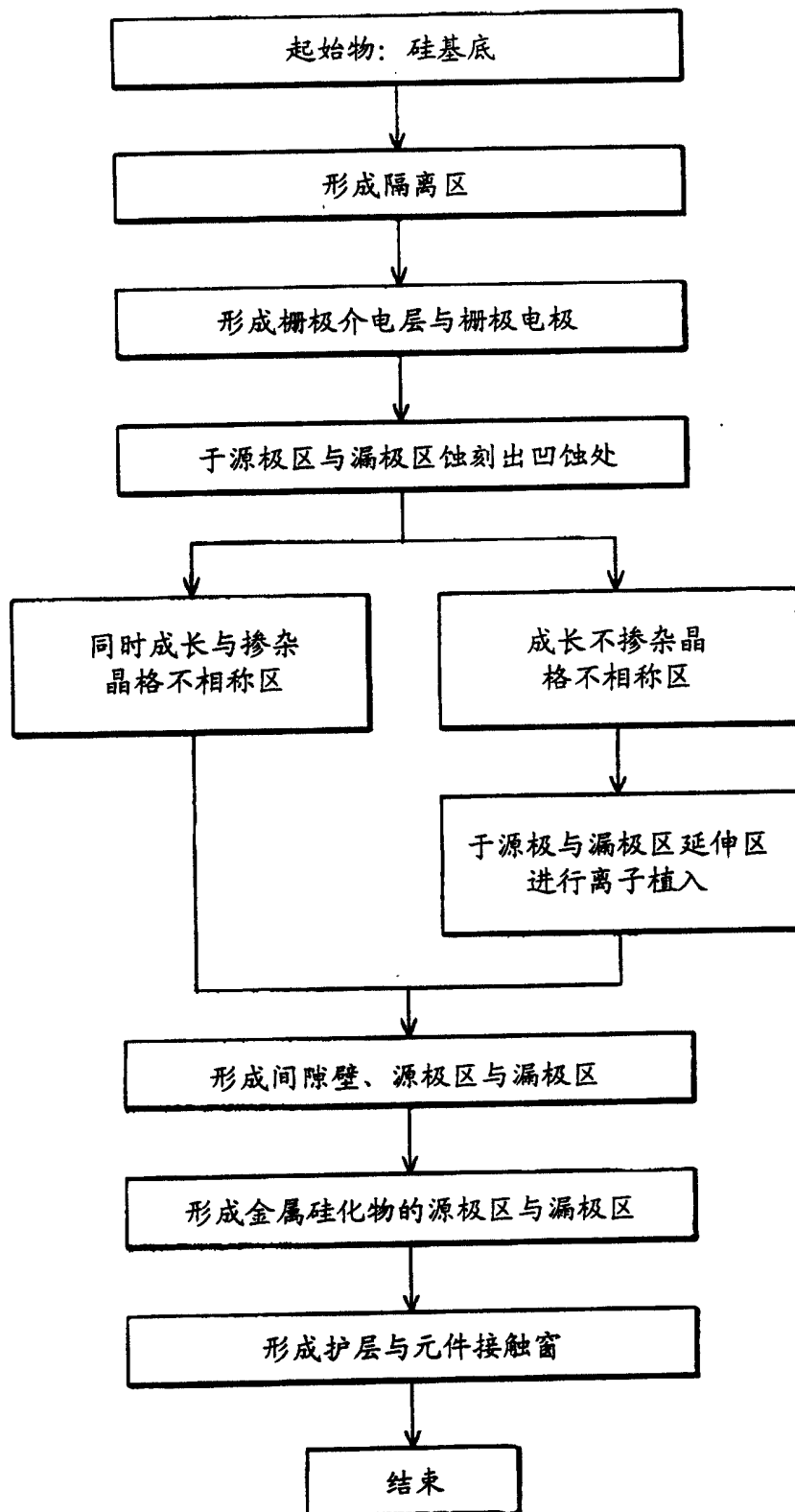


图9

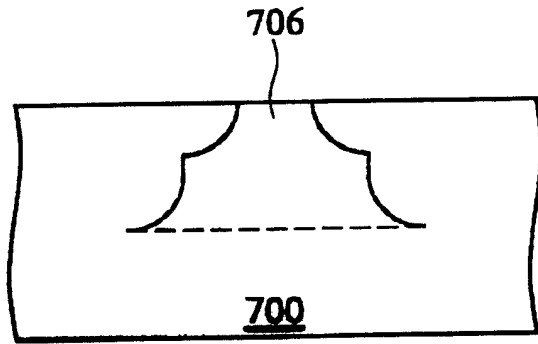


图10A

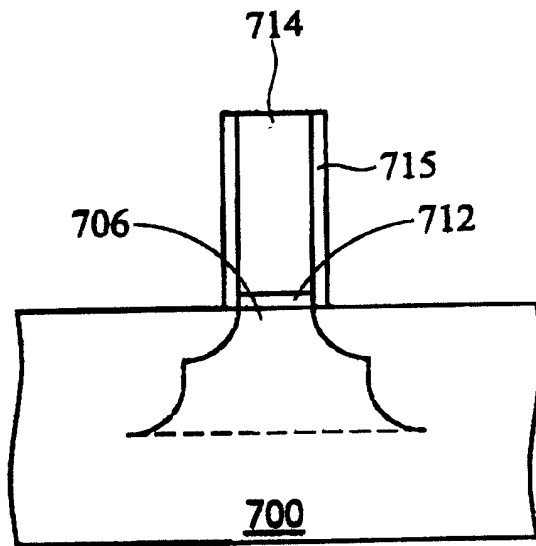


图10B

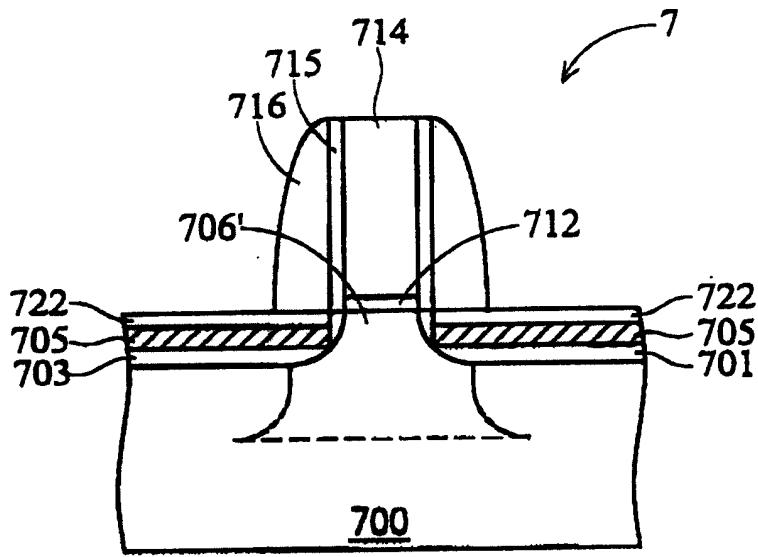


图10E

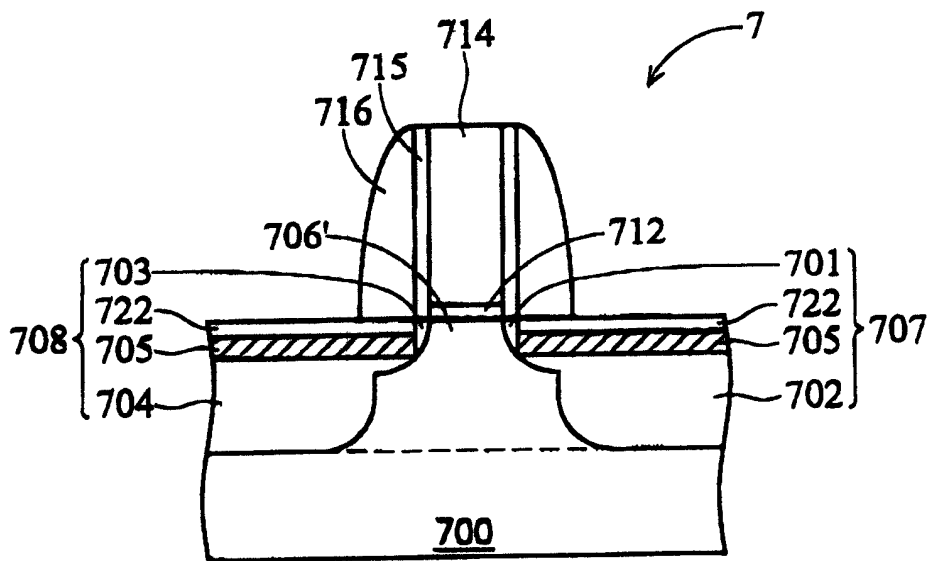


图10F

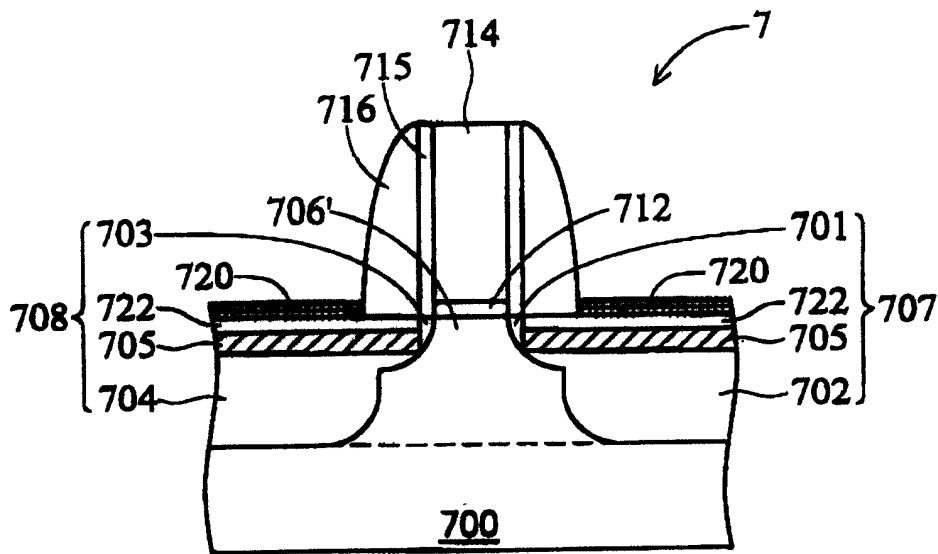


图10G

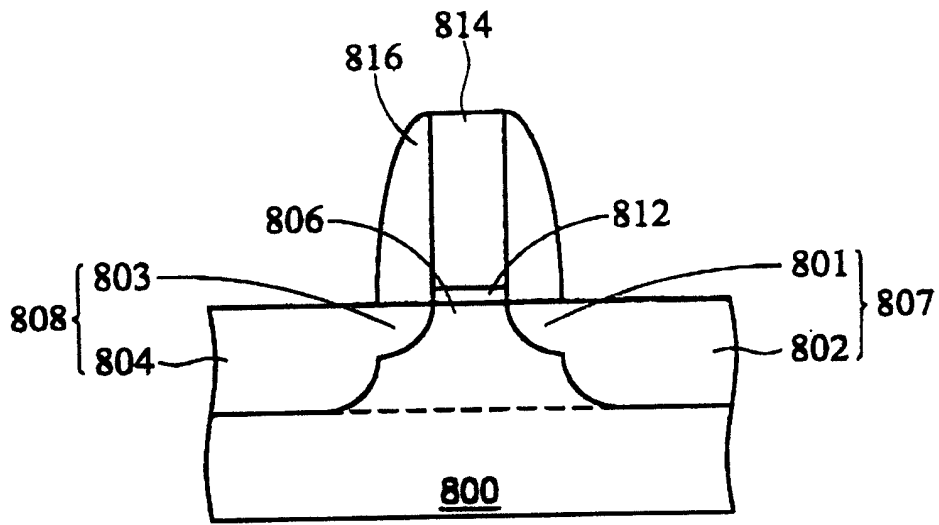


图11A

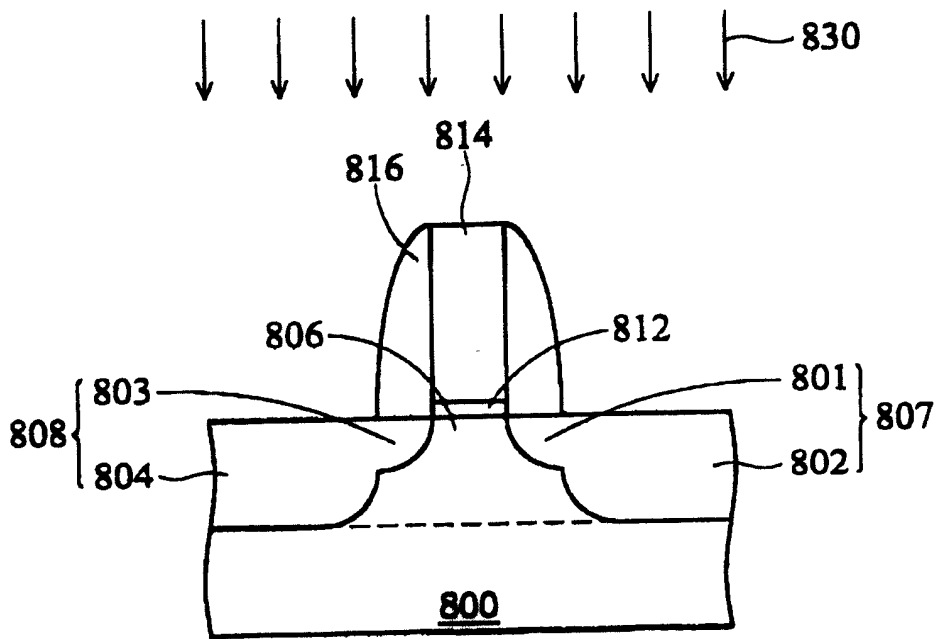


图11B

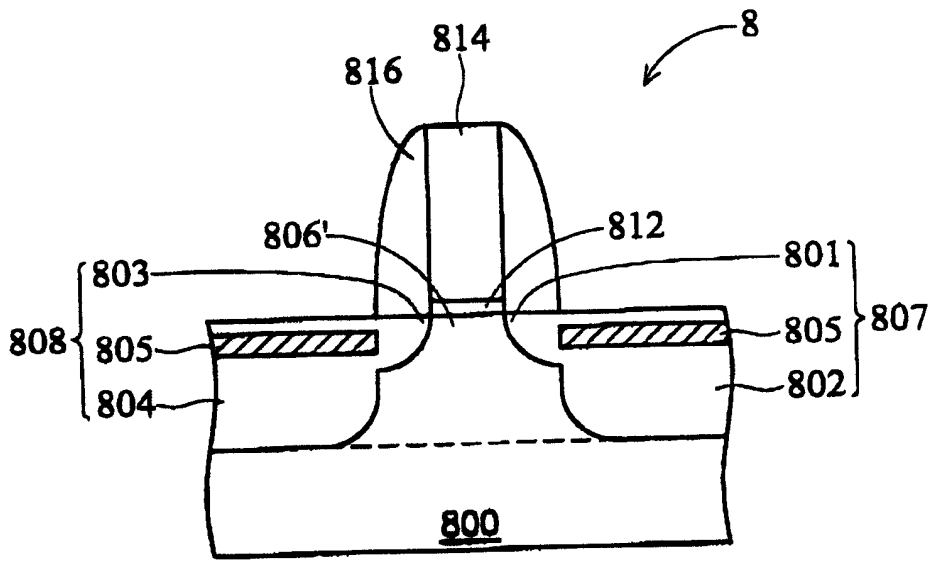


图 11C

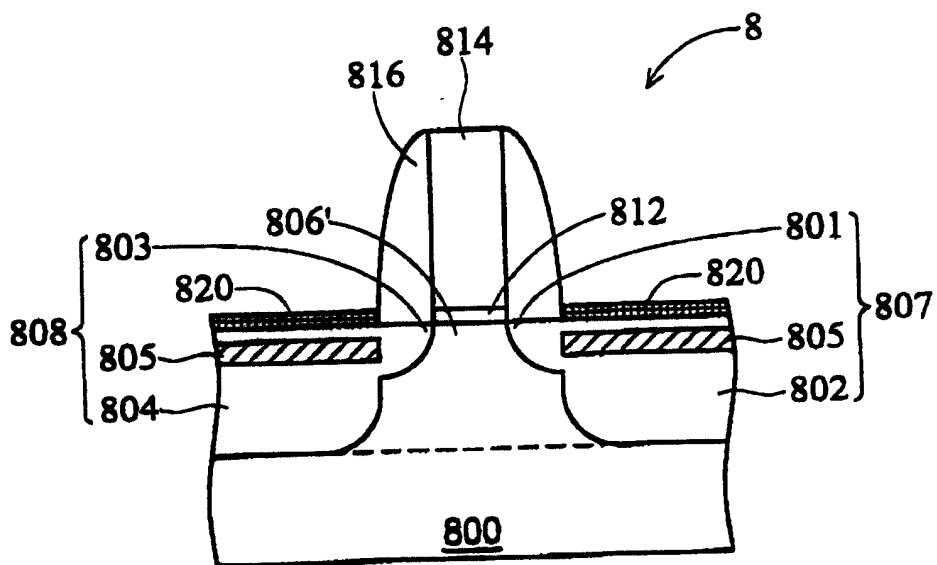


图 11D