

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7029039号

(P7029039)

(45)発行日 令和4年3月3日(2022.3.3)

(24)登録日 令和4年2月22日(2022.2.22)

(51)国際特許分類

F I

H 0 1 L 21/336(2006.01)

H 0 1 L 29/78 3 0 1 B

H 0 1 L 29/78 (2006.01)

H 0 1 L 27/092 C

H 0 1 L 21/8238(2006.01)

H 0 1 L 27/06 1 0 2 A

H 0 1 L 27/092(2006.01)

H 0 1 L 27/108 6 7 1 Z

H 0 1 L 21/8234(2006.01)

請求項の数 18 (全13頁) 最終頁に続く

(21)出願番号 特願2018-528052(P2018-528052)

(86)(22)出願日 平成28年11月30日(2016.11.30)

(65)公表番号 特表2018-536291(P2018-536291
A)

(43)公表日 平成30年12月6日(2018.12.6)

(86)国際出願番号 PCT/KR2016/013946

(87)国際公開番号 WO2017/095129

(87)国際公開日 平成29年6月8日(2017.6.8)

審査請求日 令和1年11月28日(2019.11.28)

(31)優先権主張番号 10-2015-0169603

(32)優先日 平成27年12月1日(2015.12.1)

(33)優先権主張国・地域又は機関
韓国(KR)

(73)特許権者 517241374

ベタラックス インコーポレイテッド
大韓民国 1 3 4 3 8 ギョンギ - ド ソ
ンナム - シ チュンウォン - グ ヤンヒョ
ン - ロ 4 0 5 ボン - ギル 1 2 3 階

(74)代理人 100079049

弁理士 中島 淳

(74)代理人 100084995

弁理士 加藤 和詳

(72)発明者

アン、 ド ヨル
大韓民国 0 5 6 4 7 ソウル ソンパ - グ
ヤンジェ - デロ 1 1 0 9 ナンバー 6 -
1 5 0 5

(72)発明者

バク、 サン ジュン
大韓民国 1 6 9 2 8 ギョンギ - ド ヨ
最終頁に続く

(54)【発明の名称】 ハロゲン化銅半導体基盤電子素子

(57)【特許請求の範囲】

【請求項 1】

基板と、

前記基板上部に形成されたハロゲン化銅チャンネル層と、

前記ハロゲン化銅チャンネル層上部に形成された絶縁層と、

前記絶縁層上部に形成されたゲート電極と、

前記ゲート電極の一側に位置するように前記ハロゲン化銅チャンネル層に形成され、n型不純物を含む第1n+ハロゲン化銅層と、

前記第1n+ハロゲン化銅層上部に形成されたドレイン電極と、

前記ゲート電極の他側に位置するように前記ハロゲン化銅チャンネル層に形成され、n型不純物を含む第2n+ハロゲン化銅層と、

前記第2n+ハロゲン化銅層上部に形成されたソース電極と、を含むことを特徴とするハロゲン化銅半導体基盤電子素子。

【請求項 2】

前記ゲート電極は、前記ハロゲン化銅半導体基盤電子素子の外部から前記ゲート電極にゲート電圧を印加できるように構成されていることを特徴とする請求項1に記載のハロゲン化銅半導体基盤電子素子。

【請求項 3】

前記ハロゲン化銅チャンネル層はp型不純物をさらに含むことを特徴とする請求項1又は請求項2に記載のハロゲン化銅半導体基盤電子素子。

【請求項 4】

前記 p 型不純物は、酸素 O、硫黄 S、セレンウム Se のうちいずれか一つであることを特徴とする請求項 3 に記載のハロゲン化銅半導体基盤電子素子。

【請求項 5】

前記 n 型不純物は、亜鉛 Zn、マグネシウム Mg のうちいずれか一つであることを特徴とする請求項 1 又は請求項 2 に記載のハロゲン化銅半導体基盤電子素子。

【請求項 6】

前記基板は、シリコン基板、ガリウムヒ素基板、ガラス基板、クォーツ基板、アルミナ基板のうちいずれか一つであることを特徴とする請求項 1 又は請求項 2 に記載のハロゲン化銅半導体基盤電子素子。

10

【請求項 7】

前記ハロゲン化銅チャンネル層は、CuI Cl または CuBr Cl を含むことを特徴とする請求項 1 又は請求項 2 に記載のハロゲン化銅半導体基盤電子素子。

【請求項 8】

前記チャンネル層と前記基板との間に障壁層をさらに含み、前記障壁層は CuCl を含むことを特徴とする請求項 7 に記載のハロゲン化銅半導体基盤電子素子。

【請求項 9】

前記基板及び前記ハロゲン化銅チャンネル層の間にバッファ層をさらに含むことを特徴とする請求項 1 又は請求項 2 に記載のハロゲン化銅半導体基盤電子素子。

【請求項 10】

前記バッファ層は、CuCl を含むことを特徴とする請求項 9 に記載のハロゲン化銅半導体基盤電子素子。

20

【請求項 11】

前記絶縁層はシリコンオキサイド SiO₂ またはシリコンナイトライド SiN を含むことを特徴とする請求項 1 又は 2 に記載のハロゲン化銅半導体基盤電子素子。

【請求項 12】

基板と、

n 型不純物を含み、前記基板上部に形成されたハロゲン化銅チャンネル層と、

前記ハロゲン化銅チャンネル層上部に形成された絶縁層と、

前記絶縁層上部に形成されたゲート電極と、

前記ゲート電極の一側に位置するように前記ハロゲン化銅チャンネル層に形成され、p 型不純物を含む第 1 p + ハロゲン化銅層と、

30

前記第 1 p + ハロゲン化銅層上部に形成されたドレイン電極と、

前記ゲート電極の他側に位置するように前記ハロゲン化銅チャンネル層に形成され、p 型不純物を含む第 2 p + ハロゲン化銅層と、

前記第 2 p + ハロゲン化銅層上部に形成されたソース電極と、を含むことを特徴とするハロゲン化銅半導体基盤電子素子。

【請求項 13】

前記ゲート電極は、前記ハロゲン化銅半導体基盤電子素子の外部から前記ゲート電極にゲート電圧を印加できるように構成されていることを特徴とする請求項 12 に記載のハロゲン化銅半導体基盤電子素子。

40

【請求項 14】

前記 p 型不純物は、酸素 O、硫黄 S、セレンウム Se のうちいずれか一つであり、前記 n 型不純物は、亜鉛 Zn、マグネシウム Mg のうちいずれか一つであることを特徴とする請求項 12 又は請求項 13 に記載のハロゲン化銅半導体基盤電子素子。

【請求項 15】

前記ハロゲン化銅チャンネル層は、CuI Cl または CuBr Cl を含むことを特徴とする請求項 12 又は請求項 13 に記載のハロゲン化銅半導体基盤電子素子。

【請求項 16】

前記チャンネル層と前記基板との間に障壁層をさらに含み、前記障壁層は CuCl を含む

50

ことを特徴とする請求項 1 2 又は請求項 1 3 に記載のハロゲン化銅半導体基盤電子素子。

【請求項 1 7】

電荷を充填または放電することでオン/オフを表示するためのキャパシタと、
前記キャパシタを制御するためのスイッチング素子を含み、
前記スイッチング素子は請求項 1 ~ 請求項 1 6 のうち、いずれか一つの項によるハロゲン
化銅半導体基盤電子素子で具現されることを特徴とする記憶素子。

【請求項 1 8】

複数のスイッチング素子で具現され、
前記スイッチング素子のうち少なくとも一つは、請求項 1 ~ 請求項 1 6 のうち、いずれか
一つの項によるハロゲン化銅半導体基盤電子素子で具現されることを特徴とする論理素子。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明はハロゲン化銅半導体基盤電子素子に関わり、より詳細にはハロゲン化銅半導体基
盤高出力高速電子素子に関する。

【背景技術】

【0002】

私たちの生活で、電子機器は各分野で使用されつつある。このような電子機器はシリコン
を用いた半導体が開発され、軽量化、小型化されている。しかし、このようなシリコン S
i 基板の半導体素子はバンドギャップが小さくて、高出力パワー素子としては適用するに
難しかった。

20

【0003】

このような問題を解決するために、ガリウムナイトライド GaN 基盤の電子素子が開発さ
れた。高出力高速電子素子として多く使われる GaN 基盤の電子素子はサファイア基板ま
たはシリコンカーバイド基板を使用しており基板と GaN / AlGaIn 層の格子不整合の
大きいという点と活性層として多く使われる GaN / AlGaIn 境界面または AlGaIn
/ InGaIn / GaN 境界面にピエゾ電界及び自発分極による MV / cm 水準の高い内部
電界が印加される電荷のモビリティの相当の低下が発生されるという長所がある。[T
. - H . Yu and K . F . Brennan、J . Appl . Phys . 89、382
(2001) .]

30

【0004】

それは常温でモビリティがポーラオプティカルフォノンスケトリン (polar - op
tical - phonon scattering) によって主に決定されこの散乱率は
活性層に垂直に印加される電界が増加すれば増加するのが理論的に本発明者によって明ら
かになったのである。[D . Ahn、" Electric field dependen
ce of intrasubband polar - optical - phonon
scattering in a quantum well、" Phys . Rev . B 37
、2529 (1988) .] また、表面にできる自発分極またはモビリティを低下させ
るのを見せてくれた研究結果がある。[Y . Zhang and J . Singh、" Ch
arge Control and mobility studies for an A
lGaIn / GaN high electron mobility transisto
r、" J . Appl . phys . 85、587 (1999)]

40

【0005】

しかし、このような GaN 基盤の高価のサファイア基板またはシリコンカーバイド基板を
使用することで費用が高くなる問題がある。さらに、サファイア基板やシリコンカーバイ
ド基板の大きさが小さくなくて、基板上に成長させることのできる電子素子の数量も少な
くて、生産性の劣れるという短所がある。

【発明の概要】

【発明が解決しようとする課題】

【0006】

50

従って、本発明が解決しようとする課題は、このように、低廉な費用で生産可能で、生産性の向上された高出力高速電子素子を提供することにある。

【課題を解決するための手段】

【0007】

このような課題を解決するための本発明の例示的な一実施形態によるハロゲン化銅半導体基盤電子素子は、基板、ハロゲン化銅チャンネル層、絶縁層、ゲート電極、第1n+ハロゲン化銅層、ドレイン電極、第2n+ハロゲン化銅層及びソース電極を含む。前記ハロゲン化銅チャンネル層は前記基板上部に形成される。前記絶縁層はハロゲン化銅チャンネル層上部に形成される。前記ゲート電極は前記絶縁層上部に形成される。前記第1n+ハロゲン化銅層は前記ゲート電極の一側に位置するように前記ハロゲン化銅チャンネル層に形成され、n型不純物を含む。前記ドレイン電極は前記第1n+ハロゲン化銅層上部に形成される。前記第2n+ハロゲン化銅層は前記ゲート電極の他側に位置するように前記ハロゲン化銅チャンネル層に形成され、n型不純物を含む。前記ソース電極は前記第2n+ハロゲン化銅層上部に形成される。

10

【0008】

例えば、前記ハロゲン化銅チャンネル層はp型不純物をさらに含んでもよい。この際、前記p型不純物は、酸素O、硫黄S、セレンウムSeのうちいずれか一つで構成されてもよい。また、前記n型不純物は、亜鉛Zn、マグネシウムMgのうちいずれか一つで構成されてもよい。

【0009】

一方、前記基板は、シリコン基板、ガリウムヒ素基板、ガラス基板、クォーツ基板、アルミナ基板のうちいずれか一つが使用されてもよい。

20

【0010】

また、前記ハロゲン化銅チャンネル層は、CuIClまたはCuBrClを含んでもよい。この際、前記ハロゲン化銅半導体基盤電子素子は前記チャンネル層と前記基板との間に障壁層をさらに含み、前記障壁層はCuClを含んでもよい。

【0011】

望ましくは、前記ハロゲン化銅半導体基盤電子素子は前記基板及び前記ハロゲン化銅チャンネル層の間にバッファ層をさらに含んでもよい。

【0012】

この際、前記バッファ層は、CuClを含んでもよい。

30

【0013】

一方、前記絶縁層はシリコンオキシサイドSiO₂またはシリコンナイトライドSiNを含むように形成されてもよい。

【0014】

本発明の例示的な他の実施形態によるハロゲン化銅半導体基盤電子素子は、基板、ハロゲン化銅チャンネル層、絶縁層、ゲート電極、第1n+ハロゲン化銅層、ドレイン電極、第2n+ハロゲン化銅層及びソース電極を含む。前記ハロゲン化銅チャンネル層はn型不純物を含み、前記基板上部に形成される。前記絶縁層は前記ハロゲン化銅チャンネル層上部に形成される。前記ゲート電極は前記絶縁層上部に形成される。前記第1p+ハロゲン化銅層は前記ゲート電極の一側に位置するように前記ハロゲン化銅チャンネル層に形成され、p型不純物を含む。前記ドレイン電極は前記第1p+ハロゲン化銅層上部に形成される。前記第2p+ハロゲン化銅層は前記ゲート電極の他側に位置するように前記ハロゲン化銅チャンネル層に形成され、p型不純物を含む。前記ソース電極は前記第2p+ハロゲン化銅層上部に形成される。

40

【0015】

例えば、前記p型不純物は、酸素O、硫黄S、セレンウムSeのうちいずれか一つであり、前記n型不純物は、亜鉛Zn、マグネシウムMgのうちいずれか一つで構成されてもよい。

【0016】

50

この際、前記ハロゲン化銅チャンネル層は、 CuICl または CuBrCl を含んでもよい。

【0017】

望ましくは、前記ハロゲン化銅半導体基盤電子素子は前記チャンネル層と前記基板との間に障壁層をさらに含み、前記障壁層は CuCl を含んでもよい。

【0018】

一方、本発明による記憶素子は、電荷を充填または放電することでオン/オフを表示するためのキャパシタと、前記キャパシタを制御するためのスイッチング素子を含み、前記スイッチング素子は前記の言及によるハロゲン化銅半導体基盤電子素子で具現されてもよい。

【0019】

また、本発明による論理素子は複数のスイッチング素子で具現され、前記スイッチング素子は前記の言及によるハロゲン化銅半導体基盤電子素子で具現されてもよい。

【発明の効果】

【0020】

本発明によるハロゲン化銅半導体基盤電子素子はバンドギャップが大きくて、高出力の高速高パワー素子を具現することができ、また、高価の基板を使用しなくなつて、生産費が低減され、大面積の基板に成長可能であるので、生産性を向上させることができる。

【図面の簡単な説明】

【0021】

【図1】本発明の例示的な一実施形態によるハロゲン化銅半導体基盤電子素子を示す概略図である。

【図2】本発明の例示的な他の実施形態によるハロゲン化銅半導体基盤電子素子を示す概略図である。

【図3】図1及び図2を通じて構成されたCMOS素子を概略的に示す回路図である。

【図4】図1のハロゲン化銅半導体基盤電子素子が適用された記憶素子の回路図である。

【図5】図1のハロゲン化銅半導体基盤電子素子が適用されたNOR論理回路の回路図である。

【図6】従来のガリウムナイトライド半導体と本発明によるハロゲン化銅半導体の励起者(Exciton)効果を比較するために、インプレーンウェーブベクトル(In-Plane wave vector)と頂点関数(vertex function)の関係を示すグラフである。

【発明を実施するための形態】

【0022】

本発明は多様な変更を加えることができ、多様な形態を有することができる。ここでは、特定の実施形態を図面に例示し本文に詳細に説明する。しかし、これは本発明を特定の開示形態に限定するものではなく、本発明の思想及び技術範囲に含まれる全ての変更、均等物乃至代替物を含むこととして理解されるべきである。

【0023】

第1、第2などの用語は多用な構成要素を説明するのに使用されることがあるが、前記構成要素は前記用語によって限定解釈されない。前記用語は一つの構成要素を他の構成要素から区別する目的のみとして使用される。例えば、本発明の権利範囲を外れることなく第1構成要素を第2構成要素ということができ、類似に第2構成要素も第1構成要素ということができる。

【0024】

本出願において使用した用語は単なる特定の実施形態を説明するために使用されたもので、本発明を限定しようとする意図ではない。単数の表現は文脈上明白に示さない限り、複数の表現を含む。本出願において、「含む」または「有する」などの用語は明細書に記載された特徴、数字、ステップ、段階、動作、構成要素、部品またはこれらを組み合わせたものが存在することを意味し、一つまたはそれ以上の他の特徴や数字、ステップ、段階、動作、構成要素、部品またはこれらを組み合わせたものの存在または付加可能性を予め排

10

20

30

40

50

除しないこととして理解されるべきである。

【 0 0 2 5 】

本発明において膜（または層）“上に形成される”の意味は接触されるように直接形成されるの外に、その間に他の膜または他の層が形成され得ることを意味し、膜または層上に“直接形成される”という意味はその間に他の層が介在できないことを意味する。

【 0 0 2 6 】

異なって定義されない限り、技術的や科学的な用語を含んでここで使用される全ての用語は本発明が属する技術分野で通常の知識を有した者によって一般的に理解されるのと同じの意味をゆうする。

【 0 0 2 7 】

一般的に使用される辞書に定義されているのと同じ用語は関連技術の文脈上有する意味と一致する意味を有すると解釈されるべきであり、本出願で明白に定義しない限り、過度に形式的意味で解釈されない。

【 0 0 2 8 】

以下、図面を参照して本発明の好適な一実施形態をより詳細に説明する。

【 0 0 2 9 】

図 1 は本発明の例示的な一実施形態によるハロゲン化銅半導体基盤電子素子を示す概略図である。

【 0 0 3 0 】

図 1 を参照すると、本発明の例示的な実施形態によるハロゲン化銅半導体基盤電子素子（1 0 0）は、基板 1 1 0、ハロゲン化銅チャンネル層 1 4 0、絶縁層 5 0、ゲート電極 1 6 0、第 1 n + ハロゲン化銅層 1 7 0、ドレイン電極 1 7 1、第 2 n + ハロゲン化銅層 1 8 0 及びソース電極 1 8 1 を含む。望ましくは、前記ハロゲン化銅半導体基盤電子素子 1 0 0 は前記基板 1 1 0 及び前記ハロゲン化銅チャンネル層 1 4 0 の間にバッファ層 1 2 0 をさらに含んでいてもよい。この際、前記バッファ層 1 2 0 は C u C l を含んでいてもよい。また、前記バッファ層 1 2 0 及び前記ハロゲン化銅チャンネル層 1 4 0 の間に障壁層 1 3 0 をさらに含んでいてもよい。

【 0 0 3 1 】

前記基板 1 1 0 はシリコン基板、ガリウムヒ素基板、ガラス基板、クォーツ基板、アルミナ基板のうちいずれかが一つが使用されてもよい。例えば、本実施形態においてはシリコン基板に前記バッファ層 1 2 0 及び前記ハロゲン化銅チャンネル層 1 4 0 が成膜されてもよい。

【 0 0 3 2 】

一方、前記ハロゲン化銅チャンネル層 1 4 0、前記障壁層 1 3 0 及び前記バッファ層 1 2 0 は M B E (m o l e c u l a r b e a m e p i t a x y)、M O C V D (m e t a l o r g a n i c c h e m i c a l v a p o r d e p o s i t i o n)、H V P E (h y d r i d e v a p o r p h a s e e p i t a x y)、及び/またはその他に類似した方法を通じて成膜されてもよい。

【 0 0 3 3 】

ハロゲン化銅半導体の一部のバンドギャップエネルギーは表 1 に示す。

【 0 0 3 4 】

【表 1】

	格子常数 (オングストローム)	バンドギャップエネルギー (e V)
S i	5. 4 3	1. 1 (indirect)
C u C l	5. 4 2	3. 3 9 9
C u B r	5. 6 8	2. 9 1
C u I	6. 0 5	2. 9 5

【 0 0 3 5 】

前記バッファ層 120、障壁層 130 及びハロゲン化銅チャンネル層 140 はそれぞれシリコンで形成された基板 110 の 111 面上に形成される。サファイアのようなより高い従来基板材料と比べて相対的に低廉なシリコン Si 基板が使用されてもよいが、それをシリコン Si の格子常数が、相違した結晶構造を有してはいるが、前記表 1 のように、ハロゲン化銅チャンネル層 140 を形成するハロゲン化銅半導体の格子常数に近いからである。

【0036】

例えば、Si がダイヤモンド構造を有すると知られている一方、銅クロライド CuCl はダイヤモンド構造と等しいジंकブレンド (Zinc blend) 構造を有する。特に、シリコン Si 基板 110 の 111 面は、基板 20 上にスタック (stack) される、銅クロライドの結晶構造に適合することのできるハロゲン化銅半導体基盤電子素子 100 を製造するに使用されてもよい。即ち、票 1 のように、ハロゲン化銅半導体格子常数がシリコンの 111 面と類似して低廉な大面積基板上に成長可能であるという長所がある。

10

【0037】

前記ハロゲン化銅 CuHa チャンネル層 140 は前記基板 110 上部に形成される。前記ハロゲン化銅チャンネル層 140 は CuI Cl または CuBr Cl を含んでいてもよい。ハロゲン化銅半導体は一般的に p タイプで動作するが、前記ハロゲン化銅 CuHa チャンネル層 140 は正孔を増加させるために、p 型不純物をさらに含んでいてもよい。前記 p 型不純物は酸素 O、硫黄 S、セレンウム Se のうちいずれか一つを含んでいてもよい。

【0038】

前記第 1n + ハロゲン化銅層 170 は前記ゲート電極 160 の一側に位置するように前記ハロゲン化銅チャンネル層 140 に形成され、前記第 2n + ハロゲン化銅層 180 は前記ゲート電極 160 の他側に位置するように前記ハロゲン化銅チャンネル層 140 に形成される。

20

【0039】

前記第 1n + ハロゲン化銅層 170 及び前記第 2n + ハロゲン化銅層 180 は n 型不純物を含み、この際、前記 n 型不純物は亜鉛 Zn、マグネシウム Mg のうちいずれか一つを含んでいてもよい。

【0040】

前記ハロゲン化銅チャンネル層 140 の組成 (例えば、モル分率の多様な成分) を制御することによって、障壁層 130 の格子常数がまた自発分極を減少させるように制御されてもよい。付加的に、障壁層 130 の格子常数はハロゲン化銅チャンネル層 140 の格子常数より若干小さいか大きくて自発分極を減少させることができる。

30

【0041】

ハロゲン化銅チャンネル層 140 で内部分極を減少または相殺するための特定モル分率を選択し自発分極を減少させるためのハロゲン化銅チャンネル層 140 の特定モル分率を選択する方法に対する広範囲の論議が、例えば、ボクスファン; アンドヨル; 及びキムジョンウクの (2008 年 5 月 2 日付け)、Optical gain in InGaN/InGaAlN quantum well structure、Applied Physics Letters、92、17115 及びボクスファン&アンドヨルの (2009 年、2 月 27 日付)、Internal field engineering in CdZnO/MgZnO quantum well structures、Applied Physics Letters、94、083507 で説明される。前記で言及された公開物全部の内容が参照によってここで明示的に援用される。例えば、そのような方法は、特定モル分率のハロゲン化銅チャンネル層 140 を選択するために利用されるが、それは CuIBrCl - タイプ 4 元ハロゲン化銅半導体材料または CuI Cl - タイプ銅 3 元ハロゲン化銅半導体材料を含んでいてもよい。

40

【0042】

前記で論議されたように、内部フィールドの脱分極はハロゲン化銅チャンネル層 140 の圧電及び自発分極の含の相殺に起因してもよい。結果的に、ハロゲン化銅チャンネル層 140 の電気及び光特定が、例えば、実質的に減少されるか実質的に 0 である内部フィール

50

ドを有することによって向上されてもよい。

【 0 0 4 3 】

ハロゲン化銅半導体層は相対的に大きい励起者結合エネルギー、例えば、III族窒化物に比べて少なくとも4倍大きい励起者結合エネルギーを有するがそれによって量子効率を向上させることができる。

【 0 0 4 4 】

励起者結合エネルギーは、反対電荷を有する、正孔と電子の相互作用の尺度であり、正孔 - 電子再結合プロセスの強度を予測するために使用されてもよい。例えば、CuBrは約108 meVの励起者結合エネルギーを有すると知られているが、それはZnOの励起者結合エネルギーより高い。結果的に、ハロゲン化銅半導体基盤電子素子はIII族窒化物またはZnO基板発光デバイスのような従来広いバンドギャップ半導体よりさらに出力を有すると予想されてもよい。

10

【 0 0 4 5 】

図6は従来のガリウムナイトライド半導体と本発明によるハロゲン化銅半導体の励起者効果を比較するために、インプレインウェイブベクトル(In-Plane wave vector)と頂点関数 $q_k(0)$ の関係を示すグラフである。

【 0 0 4 6 】

図6のグラフはコンドクションバンド(conduction band)と価電子バンド(valence band)の基底状態間の $Re q_k(0)$ を示す。

【 0 0 4 7 】

20

前記頂点関数 $q_k(0)$ は下記の数式1によって表現される。

【 0 0 4 8 】

【数1】

$$q_k(0) = i\Xi(0, \Delta_k) \mu^*(k) \left[n_{ck}^0 - n_{vk}^0 \right] \sum_{k'} \frac{V_s(k'-k)}{\mu^*(k')}.$$

【 0 0 4 9 】

前記[数式1]で Ξ は半導体内での効率のスペクトラムを示すライン形態関数であり、 $\mu(k)$ はダイポールモメント、 $V(k)$ はスクリーンされたクーロンポテンシャルであり、 n_{ck}^0 及び n_{vk}^0 はそれぞれコンドクションバンドと価電子バンドでの電子の類似均衡(quasi-equilibrium)分布であり、 k はウェーブベクトルである。

30

【 0 0 5 0 】

図6で、赤い色グラフはCuI/CuCl、青いグラフはCuBr/CuCl、緑色はZnO/Mg_{0.3}Zn_{0.7}あり、黒い色はIn_{0.2}Ga_{0.8}N/Al_{0.2}In_{0.8}Ga_{0.2}Nに对应される。キャリア密度は $3 \times 10^{19} \text{ cm}^{-3}$ であり、インタバンドリレイションタイム(interband relation time)は10 fs、相関時間(correlation time)は25 fsで仮定して計算された。

40

【 0 0 5 1 】

図6に示すように、本発明に対応する赤色グラフと青色グラフは従来の緑色、黒色グラフに比べて向上されたことを確認することができる。

【 0 0 5 2 】

前記障壁層130は前記バッファ層120とハロゲン化銅チャンネル層140の間に配置されたハロゲン化銅チャンネル層140で全体分極を減少させることもできるが、それは結局ハロゲン化銅チャンネル層140での内部フィールドを減少させ、ハロゲン化銅半導体基盤電子素子100の量子効率を増加させる。

【 0 0 5 3 】

50

前記絶縁層 150 は前記ハロゲン化銅チャンネル層 140 上部に形成される。前記絶縁層 150 はシリコンオキサイド SiO_2 またはシリコンナイトライド SiN を含むように形成されてもよい。

【0054】

前記ゲート電極 160 は前記絶縁層 150 上部に形成され、前記ドレイン電極 171 は前記第 1 $n+$ ハロゲン化銅層 170 上部に形成され、前記ソース電極 181 は前記第 2 $n+$ ハロゲン化銅層 180 上部に形成される。前記ゲート電極 160、ドレイン電極 171 及びソース電極 181 は、例えば、アルミニウム、金、白金、銀、その他に類似したもの及び/またはそれらの組合で形成されてもよい。

【0055】

このように形成されたハロゲン化銅半導体基盤電子素子はトランジスタで動作され、それによって、下記の例で記述されたように、多様な回路で適用されてもよい。

【0056】

図 2 は本発明の例示的な他の実施形態によるハロゲン化銅半導体基盤電子素子を示す概略図である。

【0057】

図 2 を参照すると、本発明の例示的な他の実施形態によるハロゲン化銅半導体基盤電子素子 200 は、基板 210、ハロゲン化銅チャンネル層 240、絶縁層 250、ゲート電極 260、第 1 $p+$ ハロゲン化銅層 270、ドレイン電極 271、第 2 $p+$ ハロゲン化銅層 280 及びソース電極 281 を含む。図 2 に示された構造は p 型と n 型が互いに変わっただけで、実質的に図 1 と同一であるので、重複される説明は省略する。

【0058】

ただ、ハロゲン化銅チャンネル層 240 の場合、どんな不純物を追加しない場合、 p 型の半導体の性質を有するので、本実施形態によるハロゲン化銅チャンネル層 240 は n 型不純物を注入して n 型不純物を含む。

【0059】

図 3 は図 1 及び図 2 を通じて構成された CMOS 素子を概略的に示す回路図である。

【0060】

図 3 を参照すると、図 1 及び図 2 で具現されたハロゲン化銅半導体基盤電子素子を用いて CMOS 素子を具現した例である。このように、本発明による相補的で形成されたハロゲン化銅半導体基盤電子素子を用いて CMOS 素子を具現する場合、バンドギャップが大きくて高出力の高速パワー素子を具現することができる。

【0061】

図 4 は図 1 のハロゲン化銅半導体電子素子が適用された記憶素子の回路図である。

【0062】

図 4 を参照すると、本発明による記憶素子は、電荷を充填または放電することでオン/オフを表示するためのキャパシタ C 及びキャパシタ C を制御するためのスイッチング素子 T_r を含み、前記スイッチング素子 T_r は前述されたハロゲン化銅半導体基盤電子素子で具現されてもよい。

【0063】

前記キャパシタ C が充填された場合、例えば、論理 1 を付与し、前記キャパシタ C が放電された場合、例えば論理 0 を付与する。例えば、初期に前記キャパシタ C に初期論理値 0 が与えられた場合、前記キャパシタ C に論理値 1 を付与するために、スイッチング素子 T_r がターンオンされて前記キャパシタ C を充電し、以後スイッチング素子 T_r のゲート電圧に低電圧を印加すると、スイッチング素子 T_r がターンオフされて前記キャパシタ C に論理値 1 が貯蔵される。

【0064】

以後、前記キャパシタ C に論理値 0 を貯蔵するために、スイッチング素子 T_r のゲート電極を高電圧を印加すると、スイッチング素子 T_r がターンオンされて前記キャパシタ C を放電し、以後、スイッチング素子 T_r のゲート電圧に低電圧を印加すると、スイッチング

10

20

30

40

50

素子 T_r がターンオフされて前記キャパシタ C に論理値 0 が貯蔵される。

【0065】

このような、記憶素子は最も簡単に具現された記憶素子の一例として、より多くの構成要素を含むように具現されることは当業者に自明である。

【0066】

図5は図1のハロゲン化銅半導体基盤電子素子が適用されたNOR論理回路の回路図である。

【0067】

図5を参照すると、本発明による論理素子は複数のスイッチング素子で具現され、前記スイッチング素子は前述されたハロゲン化銅半導体基盤電子素子で具現されてもよい。

10

【0068】

図5は例えば、NOR論理回路として、3個のスイッチング素子 T_{r1} 、 T_{r2} 、 T_{r3} で構成され、A端子とB端子のうち、いずれか一つに高電圧が印加されると出力で低電圧が出力され、A端子とB端子に全部低電圧が印加されると、出力で高電圧が印加される。

【0069】

本実施形態は、例えば、NOR論理回路を例としたが、AND、NOTなど多様な論理回路が本発明によるハロゲン化銅半導体基盤電子素子で具現されてもよい。

【0070】

本発明によるハロゲン化銅半導体基盤電子素子はバンドギャップが大きくて高出力の高速高パワー素子を具現することができ、また、高価の基板を使用しなくなつて、生産費が低減され、大面積の基板に成長可能であるので、生産性を向上させることができる。

20

【0071】

以上、本発明の実施形態によって詳細に説明したが、本発明はこれに限定されず、本発明が属する技術分野において通常の知識を有する者であれば、本発明の思想と精神を離れることなく、本発明を修正または変更できる。

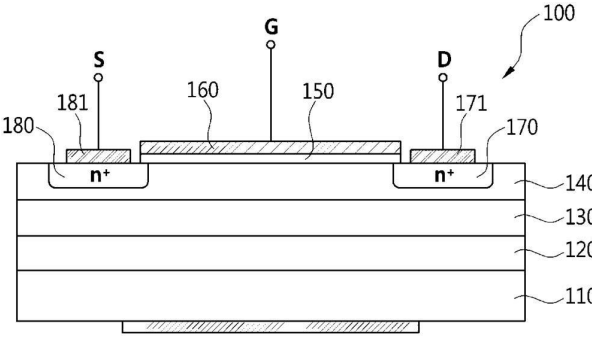
30

40

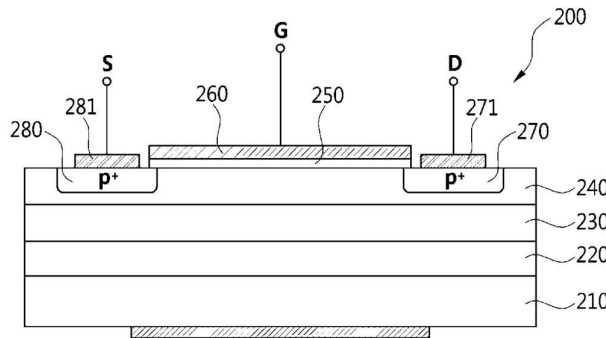
50

【図面】

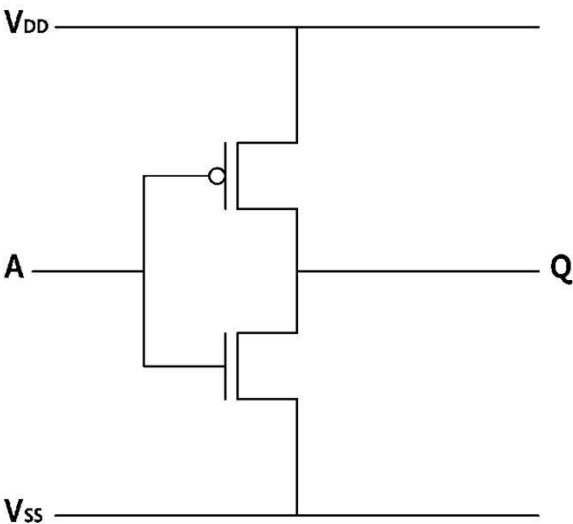
【図 1】



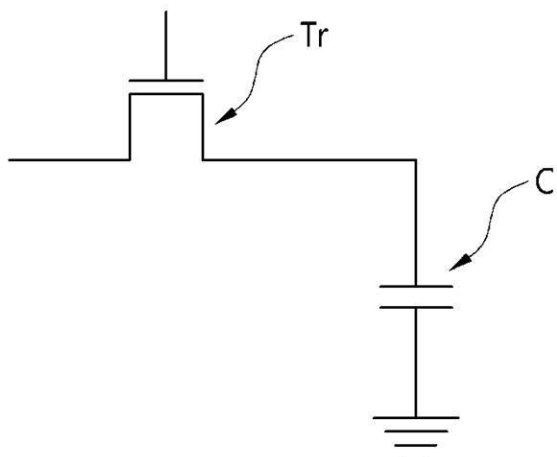
【図 2】



【図 3】



【図 4】



10

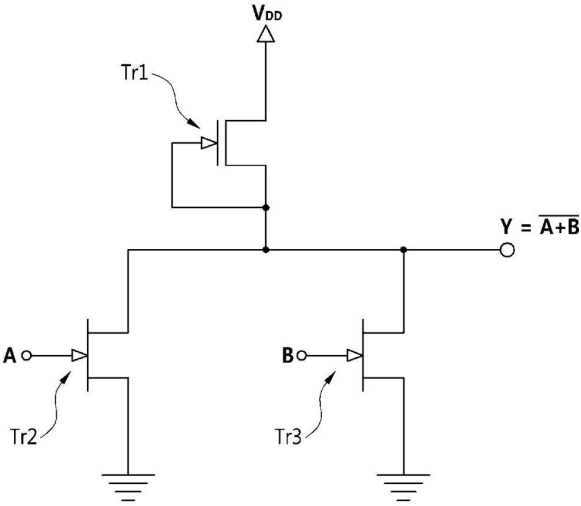
20

30

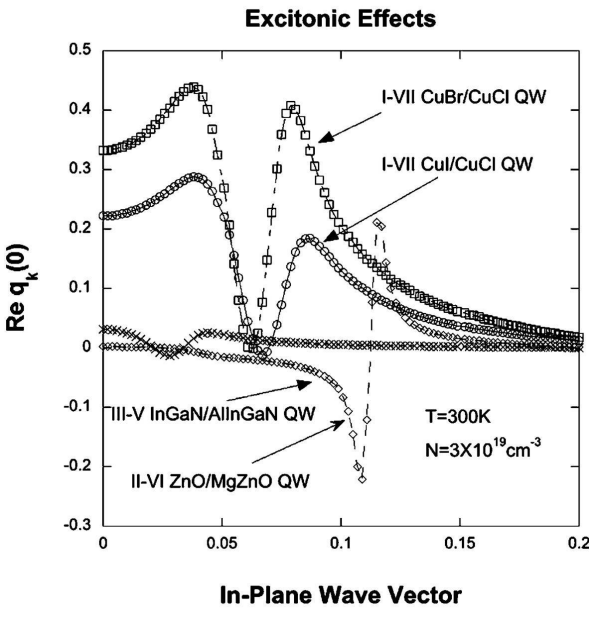
40

50

【 図 5 】



【 図 6 】



10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 0 1 L 27/06 (2006.01)

H 0 1 L 21/8242(2006.01)

H 0 1 L 27/108(2006.01)

ンイン - シ スジ - グ マンヒョン - ロ 6 7 ボン - ギル 9 ナンバー 2 0 5 - 7 0 4

(72)発明者 ヤン、 スン ヒョン

大韓民国 1 7 0 3 8 ギョンギ - ド ヨンイン - シ チョイン - グ ギョンアンチョン - ロ 3 7 8

ナンバー 2 0 0 3 - 4 0 4

(72)発明者 ソン、 ジン ドン

大韓民国 0 2 7 9 7 ソウル ソンブク - グ チョンアム - ロ 2 4 ガ - ギル 5 0 ナンバー 1 0 2

- 2 1 0 7

審査官 市川 武宜

(56)参考文献

特開 2 0 0 8 - 2 4 9 7 0 5 (J P , A)

特表 2 0 0 7 - 5 3 7 5 9 6 (J P , A)

特表 2 0 0 4 - 5 0 7 1 0 4 (J P , A)

米国特許出願公開第 2 0 1 1 / 0 2 0 4 4 8 3 (U S , A 1)

米国特許出願公開第 2 0 0 7 / 0 1 8 4 5 7 6 (U S , A 1)

韓国登録特許第 1 0 - 0 8 4 4 0 9 4 (K R , B 1)

韓国登録特許第 1 0 - 1 5 4 8 9 0 1 (K R , B 1)

特表 2 0 1 0 - 5 3 0 0 6 3 (J P , A)

L. O ' Reilly et al , Impact on structural, optical and electrical properties of CuCl by incorporation of Zn for n-type doping , Journal of Crystal Growth , 2006年 , vol 287 , 139-144 , doi:10.1016/j.jcrysgro.2005.10.057

DOMINIK Danieluk et al , Optical properties of undoped and oxygen doped CuCl films on silicon substrates , Journal of materials science: Materials in electronics , 2007年11月27日

(58)調査した分野 (Int.Cl. , D B 名)

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 9 / 7 8

H 0 1 L 2 1 / 8 2 3 8

H 0 1 L 2 7 / 0 9 2

H 0 1 L 2 1 / 8 2 3 4

H 0 1 L 2 7 / 0 6

H 0 1 L 2 1 / 8 2 4 2

H 0 1 L 2 7 / 1 0 8