



(12) 发明专利

(10) 授权公告号 CN 102446552 B

(45) 授权公告日 2015. 01. 07

(21) 申请号 201110085950. 5

(22) 申请日 2011. 04. 02

(30) 优先权数据

12/900, 608 2010. 10. 08 US

(73) 专利权人 台湾积体电路制造股份有限公司

地址 中国台湾新竹市

(72) 发明人 谢佳达 池育德

(74) 专利代理机构 隆天国际知识产权代理有限公司

公司 72003

代理人 张浴月 刘文意

(51) Int. Cl.

G11C 16/06 (2006. 01)

G11C 16/26 (2006. 01)

(56) 对比文件

CN 1437245 A, 2003. 08. 20,

US 2006197139 A1, 2006. 09. 07,

US 2008159052 A1, 2008. 07. 03,

CN 101593547 A, 2009. 12. 02,

CN 101369459 A, 2009. 02. 18,

审查员 赵天奇

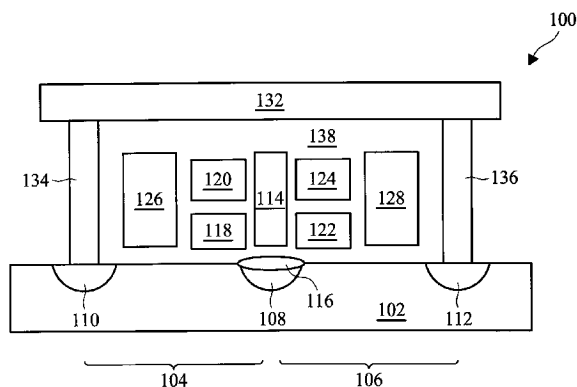
权利要求书2页 说明书12页 附图8页

(54) 发明名称

存储器元件和快闪存储器阵列读取操作方法及其结构

(57) 摘要

本发明涉及存储器元件和快闪存储器阵列读取操作方法及其结构,该存储器元件读取操作方法,适用于包括多个快闪存储器单元的存储器单元,包括:施加第一电压偏压至选取的存储器单元的控制栅极;施加第二电压偏压至电性连接至选取的上述存储器单元的第一字线;使不选取的存储器单元的控制栅极接地;施加第三电压偏压至电性连接至不选取的存储器单元的第二字线以不导通不选取的存储器单元的字线通道,其中所选取的存储器单元和不选取的存储器单元配置在存储器元件且电性连接至不同字线;第一电压偏压和第二电压偏压具有一相同极性;以及第三电压偏压和第二电压偏压具有相对极性。本发明解决了快闪存储器的读取干扰问题,并可改善或抑制电流泄漏问题。



1. 一种存储器元件读取操作方法,适用于包括多个快闪存储器单元的一存储器单元,上述存储器单元具有一控制栅极,包括:

施加一第一电压偏压至选取的上述存储器单元的上述控制栅极;

施加一第二电压偏压至电性连接至选取的上述存储器单元的一第一字线;

使不选取的上述存储器单元的上述控制栅极接地;以及

施加一第三电压偏压至电性连接至不选取的上述存储器单元的一第二字线,以不导通不选取的上述存储器单元的一字线通道,其中

所选取的上述存储器单元以及不选取的上述存储器单元配置在上述存储器元件且电性连接至不同的字线;

上述第一电压偏压以及上述第二电压偏压具有一相同极性;以及

上述第三电压偏压以及上述第二电压偏压具有一相对极性。

2. 如权利要求 1 所述的存储器元件读取操作方法,其中上述第一电压偏压为在选取的上述存储器单元的两临界电压间的一中间电压;以及

其中上述第一电压偏压以及上述第二电压偏压的电压值大致相同。

3. 如权利要求 1 所述的存储器元件读取操作方法,还包括:

使不选取的上述存储器单元的一源极接地;

使不选取的上述存储器单元的一专用抹除栅极接地;或

使上述选取的存储器单元以及上述不选取的存储器单元中一半导体基体接地。

4. 如权利要求 1 所述的存储器元件读取操作方法,其中不选取的上述存储器单元的一源极为一相邻存储器单元所共用的一共用源极。

5. 如权利要求 1 所述的存储器元件读取操作方法,其中当不选取的上述存储器单元包括具有一浮动栅极结构的一 n 型场效晶体管时,上述第三电压偏压的范围介于 -0.5 伏特和 -2.5 伏特之间,或上述第三电压偏压低于 -0.1 伏特;其中当不选取的上述存储器单元包括具有一第二浮动栅极结构的一 p 型场效晶体管,上述第三电压偏压的范围介于 0.5 伏特和 2.5 伏特之间;以及

其中上述第三电压偏压由一单芯片充电帮浦提供。

6. 一种快闪存储器阵列读取操作方法,包括:

施加一中间电压至选取的一存储器单元的一控制栅极,其中上述中间电压在选取的上述存储器单元的两临界电压之间;

施加一电压偏压至电性连接至选取的上述存储器单元的一第一字线;

使不选取的一存储器单元的一控制栅极接地;

施加一反转电压至电性连接至不选取的上述存储器单元的一第二字线,以不导通不选取的上述存储器单元的一字线通道;其中

所选取的上述存储器单元以及不选取的上述存储器单元配置在一快闪存储器阵列中;以及

上述反转电压和上述中间电压具有一相对极性。

7. 如权利要求 6 所述的快闪存储器阵列读取操作方法,其中上述中间电压以及上述电压偏压大致上相同。

8. 如权利要求 6 所述的快闪存储器阵列读取操作方法,还包括:

使不选取的上述存储器单元的一位线为接地；或
使不选取的上述存储器单元的一专用抹除栅极接地。

9. 如权利要求 6 所述的快闪存储器阵列读取操作方法,其中当不选取的上述存储器单元包括具有一第一浮动栅极结构的一 n 型场效晶体管时,上述反转电压偏压的范围介于 -0.5 伏特和 -5 伏特之间;以及,其中当不选取的上述存储器单元包括具有一第一浮动栅极结构的一 p 型场效晶体管时,上述反转电压偏压的范围介于 0.5 伏特和 5 伏特之间。

10. 一种快闪存储器结构,包括:

一共用源极,位于一半导体基体;

一第一漏极以及一第二漏极,位于上述半导体基体;其中

上述第一漏极配置在上述共用源极的一侧,且和上述共用源极相隔,定义上述共用源极和上述第一漏极间为一第一通道;以及

上述第二漏极配置在上述共用源极另一侧,且和上述共用源极相隔,定义上述共用源极和上述第二漏极间为一第二通道;

一第一栅极堆叠,位于上述半导体基体,并部分覆盖上述第一通道,其中上述第一栅极堆叠包括一第一浮动栅极以及在上述第一浮动栅极上方的一第一控制栅极;

一第二栅极堆叠,位于上述半导体基体,并部分覆盖上述第二通道,其中上述第二栅极堆叠包括一第二浮动栅极以及在上述第二浮动栅极上方的一第二控制栅极;

一第一字线,部分覆盖上述第一通道,并水平配置在上述第一栅极堆叠和上述第一漏极之间;

一第二字线,部分覆盖上述第二通道,并水平配置在上述第二栅极堆叠和上述第二漏极之间;

一位线,耦接至上述第一漏极以及上述第二漏极;

一充电帮浦,形成于上述半导体基体,用以产生一负电压且提供上述负电压至上述第一字线以及上述第二字线之一者,以不导通一对应通道。

11. 如权利要求 10 所述的快闪存储器结构,还包括一字线驱动器,具有耦接至上述第一字线以及上述第二字线之一者的一输出线,其中上述字线驱动器包括:

一第一 p 型晶体管 (p1),具有电性连接至一第一节点的一第一栅极,电性连接至一第一电源线 Avdd 的一第一源极,以及电性连接至上述输出线的一第一漏极;

一第一 n 型晶体管 (n1),具有电性连接至一第二节点的一第二栅极,电性连接至一第二电源线 Agnd 的一第二源极,以及电性连接至上述输出线的一第二漏极;

一第二 p 型晶体管 (p2),具有电性连接至一第三电源线 Vss 的一第三栅极,电性连接至上述第一节点的一第三源极,以及电性连接至上述第二节点的一第三漏极;

一第二 n 型晶体管 (n2),具有电性连接至上述输出线的一第四栅极,电性连接至上述第二电源线 Agnd 的一第四源极,以及电性连接至上述第二节点的一第四漏极;以及

一与非逻辑门,电性连接至上述第一节点且具有至少一预解码器输入;

其中

上述第一电源线 Avdd 电性连接至一正电压源;

上述第二电源线 Agnd 电性连接至一负电压源;以及

上述第三电源线 Vss 接地。

存储器元件和快闪存储器阵列读取操作方法及其结构

技术领域

[0001] 本说明书主要涉及快闪存储器的技术。

背景技术

[0002] 传统快闪存储器元件具有包括许多以区块方式排列的存储器单元的存储器阵列。每一存储器单元具有包括控制栅极和浮动栅极的场效晶体管。浮动栅极储存电荷以及通过氧化物在基体中将源极和漏极的区域分开。通过电子注入浮动栅极,每一存储器单元可以是电性带电。在抹除操作下,电荷可通过穿隧(tunneling)至源极区或抹除栅极而从浮动栅极移除。存储器闪存单元所储存资料的判断可根据在浮动栅极电荷的有无来决定。

[0003] 基于集积密度(packing density)和成本的考量,缩减存储器元件的尺寸是一种趋势。在一般快闪存储器结构中,因为冲突因子(conflicting factors)而需要缩短字线长度,是一种存储器元件设计上的挑战。对于分离栅极快闪存储器(split gate flash memory)元件而言,缩短了字线长度,会导致较高的通道电流泄漏以及位错误的增加。假如为了改善通道电流泄漏的状况而增加通道长度,则会造成在抹除操作时读取电流的下降以及在操作循环后影响持续范围(endurance window)。此外,电流泄漏会造成读取的错误。因此在这里需要一个具有改善电流泄漏以及缩短字线长度的快闪存储器结构。

发明内容

[0004] 为了解决上述问题,本发明一实施例提供一种存储器元件读取操作方法,适用于包括多个快闪存储器单元的一存储器单元,上述存储器单元具有一控制栅极,包括:施加一第一电压偏压至选取的上述存储器单元的上述控制栅极;施加一第二电压偏压至电性连接至选取的上述存储器单元的一第一字线;使不选取的上述存储器单元的上述控制栅极接地;以及施加一第三电压偏压至电性连接至不选取的上述存储器单元的一第二字线,以不导通不选取的上述存储器单元的一字线通道,其中所选取的上述存储器单元以及不选取的上述存储器单元配置在上述存储器元件且电性连接至不同的字线;上述第一电压偏压以及上述第二电压偏压具有一相同极性;以及上述第三电压偏压以及上述第二电压偏压具有一相对极性。

[0005] 本发明一实施例提供一种快闪存储器阵列读取操作方法,包括:施加一中间电压至选取的一存储器单元的一控制栅极,其中上述中间电压在选取的上述存储器单元的两临界电压之间;施加一电压偏压至电性连接至选取的上述存储器单元的一第一字线;使不选取的一存储器单元的一控制栅极接地;施加一反转电压至电性连接至不选取的上述存储器单元的一第二字线,以不导通不选取的上述存储器单元的一字线通道;其中所选取的上述存储器单元以及不选取的上述存储器单元配置在一快闪存储器阵列中;以及上述反转电压和上述中间电压具有一相对极性。

[0006] 本发明一实施例提供一种快闪存储器结构,包括:一共用源极,位于一半导体基体;一第一漏极以及一第二漏极,位于上述半导体基体;其中上述第一漏极配置在上述共

用源极的一侧,且和上述共用源极相隔,定义上述共用源极和上述第一漏极间为一第一通道;以及上述第二漏极配置在上述共用源极另一侧,且和上述共用源极相隔,定义上述共用源极和上述第二漏极间为一第二通道;一第一栅极堆叠,位于上述半导体基体,并部分覆盖上述第一通道,其中上述第一栅极堆叠包括一第一浮动栅极以及在上述第一浮动栅极上方的一第一控制栅极;一第二栅极堆叠,位于上述半导体基体,并部分覆盖上述第二通道,其中上述第二栅极堆叠包括一第二浮动栅极以及在上述第二浮动栅极上方的一第二控制栅极;一第一字线,部分覆盖上述第一通道,并水平配置在上述第一栅极堆叠和上述第一漏极之间;一第二字线,部分覆盖上述第二通道,并水平配置在上述第二栅极堆叠和上述第二漏极之间;一位线,耦接至上述第一漏极以及上述第二漏极;一充电帮浦,形成于上述半导体基体,用以产生一负电压且提供上述负电压至上述第一字线以及上述第二字线之一者,以不导通一对应通道。

[0007] 本发明在所揭示快闪存储器结构操作方法中,读取操作用以施加电性偏压至不选取的字线。在所揭示的实施例中,在读取操作时,使不选取的字线偏压至负电压,使得对应的通道不导通。更明确地说,施加负电压至不选取的存储器单元的字线使得字线通道不导通。

[0008] 一方面,上述负电压应该要够低才足以有效使对应的通道不导通。另一方面,上述负电压不应该太低否则会造成在存储单元中效能衰减和其它问题的产生。在不同的实施例中,在读取操作时,施加负偏压至不选取的字线提供了许多好处。在一实施例中,通过施加负偏压至不选取的字线,以解决在分离栅极快闪存储器的读取干扰的问题。在另一实施例中,通过施加负偏压至不选取的字线,可缩短通道长度,因而改善或抑制了电流泄漏的问题。

附图说明

[0009] 图 1 为显示使用一快闪存储器结构 100 的实施例的剖面图。

[0010] 图 2 为显示根据许多本说明书揭示的方向来建构的快闪存储器阵列 200 的概要图。

[0011] 图 3 为显示在另一实施例中快闪存储器结构 300 的剖面图。

[0012] 图 4 为显示根据许多本说明书揭示的方向来建构的快闪存储器阵列 400 的概要图。

[0013] 图 5 为显示根据一实施例所述具有专属抹除栅极的快闪存储器阵列中不同技术特征的一表格 500。

[0014] 图 6 为显示根据一实施例所述不具有专属抹除栅极的快闪存储器阵列中不同技术特征的一表格 600。

[0015] 图 7 为显示根据一实施例所述的快闪存储器阵列中的同技术特征的一表格 700。

[0016] 图 8 为显示根据一实施例所述的耦接至快闪存储器单元或合并于快闪存储器阵列中的电路 800 的概要图。

[0017] 上述附图中的附图标记说明如下:

[0018] 100、300 ~ 快闪存储器结构;

[0019] 102、138 ~ 半导体电介质;

- [0020] 104、106、202、402 ~快闪存储器单元；
- [0021] 108 ~共用源极；
- [0022] 110、112 ~漏极；
- [0023] 114 ~抹除栅极；
- [0024] 116 ~介电物质；
- [0025] 118、122 ~浮动栅极；
- [0026] 120、124 ~控制栅极；
- [0027] 126、128、204、WL ~字线；
- [0028] 132、206 ~位线；
- [0029] 134、136 ~垂直导体；
- [0030] 200、400 ~快闪存储器阵列；
- [0031] 208 ~控制栅极线；
- [0032] 210 ~共用源极线；
- [0033] 212 ~抹除栅极线；
- [0034] 214 ~充电帮浦；
- [0035] 500、600、700 ~表格；
- [0036] 800 ~字线驱动器；
- [0037] Avdd、Agnd ~电源线；
- [0038] n1、n2 ~ n 型晶体管；
- [0039] Node-1、Node-2 ~节点；
- [0040] p1、p2 ~ p 型晶体管。

具体实施方式

[0041] 本发明所揭示的内容提供了许多不同的实施例或范例，应用在不同实施例中的不同技术特征，将在读完本说明书后可了解。具体的实施例的内容和作法将在下面描述，以简化本发明的揭示。当然，这些实施例并非用以限制本发明。此外，在不同实施例中，本发明可能会重复使用相同的索引标号和 / 或文字。使用这些索引标号和 / 或文字的目的是为了简化和阐明本发明，但并非用以表示在不同实施例和 / 或所揭示的结构必须具有相同的特征。

[0042] 图 1 为显示根据本发明一实施例所述的使用一快闪存储器结构 100 的剖面图。快闪存储器结构 100 包括一半导体基体 102。在所揭示实施例中，半导体基体 102 中包括硅。在其它实施例中，半导体基体 102 可以包括择一或增加其它半导体原料像是锗、砷化镓以及钻石。半导体基体 102 还包括使用不同掺杂的技术特征，像是通过离子注入或扩散形成的 n 型阱及 / 或 p 型阱。半导体基体 102 也包括不同绝缘技术特征，像是浅沟绝缘 (Shallow Trench Isolation, STI)，浅沟绝缘是通过此领域中公知的工艺方式来形成，上述的工艺方式包括像是通过蚀刻来形成不同的沟槽，且再通过介电物质沉积填满沟槽。

[0043] 在一揭示的实施例中，快闪存储器结构 100 包括两个快闪存储器单元 104 及 106，上述两快闪存储器单元 104 及 106 定义为在半导体基体 102 中相邻的区域。再继续上述揭示的实施例，两个快闪存储器单元 104 及 106 包括分离栅极结构，且以平行结构方式来排列

(像是非或逻辑门快闪元件的排列)。快闪存储器单元 104 及 106 分别包括具有浮动栅极的场效晶体管。在一实施例中,场效晶体管为 n 型场效晶体管 (nFET)。另外,场效晶体管也可为 p 型场效晶体管 (pFET)。如实施例所述,具有 n 型场效晶体管的快闪存储器结构 100 将详细描述在本说明书中。

[0044] 快闪存储器结构 100 包括一共用源极 108,作为快闪存储器单元 104 及 106 两者的源极。共用源极 108 在半导体基体 102 中形成,并配置在快闪存储器单元 104 及 106 两者的联合区域中。共用源极 108 通过离子注入或其它适合的工艺方式来形成,且其中包括一 n 型掺杂物。

[0045] 快闪存储器结构 100 包括漏极 110 和漏极 112,漏极 110 和漏极 112 在半导体基体 102 中形成并且分别被包含在快闪存储器单元 104 及 106 中。漏极 110 和漏极 112 通过离子注入或其它适合的工艺方式来形成,且其中包括一 n 型掺杂物。在一实施例中,共用源极 108、漏极 110 和 112 以一般离子注入方法来形成。

[0046] 快闪存储器结构 100 包括在共用源极 108 上形成的专用抹除栅极 114。可通过使用快闪存储器单元 104 及 106 来分享抹除栅极 114。抹除栅极 114 包括了通过适当沉积技术所产生的导电物质。在一实施例中,抹除栅极 114 也包括了通过化学汽相沉积 (Chemical Vapor Deposition, CVD) 工艺所产生的复晶硅 (polysilicon) 掺杂物。可通过汽相沉积工艺的原位掺杂或汽相沉积工艺后以离子注入的方式,来导入复晶硅掺杂物。

[0047] 在一实施例中,厚介电物质技术特征 116 在共用源极 108 和抹除栅极 114 间形成。厚介电物质技术特征 116 配置在共用源极 108 上且分隔了共用源极 108 和抹除栅极 114,使得在抹除操作时可施加一高电压至抹除栅极 114。在一实施例中,厚介电物质技术特征 116 包括硅氧化物。在另一实施例中,厚介电物质技术特征 116 具有通过以热氧化作用或化学汽相沉积工艺所产生的硅氧化物。

[0048] 快闪存储器结构 100 包括具有浮动栅极 118 和控制栅极 120 所形成的第一栅极堆叠,且浮动栅极 118 和控制栅极 120 配置在快闪存储器单元 104 中。在快闪存储器中,浮动栅极 118 的技术特征为设计用以储存电荷。浮动栅极 118 通过栅极电介质,像是硅氧化物,从半导体基体 102 分离出来。在一实施例中,浮动栅极 118 包括导电物质,像是复晶硅掺杂物。在另一实施例中,浮动栅极 118 包括介电物质 (像是硅氮化物 (SiN)),以用来捕捉电荷。再继续上述实施例,浮动栅极 118 在氧化物-氮化物-氧化物 (oxide-nitride-oxide, ONO) 堆叠中形成,在氧化物-氮化物-氧化物堆叠中,氮化物层的浮动栅极 118 通过一氧化物层从下方的半导体基体 102 分离出来,以及通过另一氧化物层从上方的控制栅极 120 分离出来。在一实施例中,氮化物层通过化学汽相沉积工艺来形成。

[0049] 控制栅极 120 配置在浮动栅极 118 上方,且包括一导电物质,像是复晶硅掺杂物。控制栅极 120 通过介电物质层,像是氮化物,从浮动栅极 118 分离出来。在一实施例中,控制栅极 120 就构造方面类似一般场效晶体管的栅极电极。在操作快闪存储器单元 104 时,施加一电性电压偏压至控制栅极 120。快闪存储器单元 104 内的场效晶体管,根据浮动栅极 118 的电荷状态,可以通过电性电压偏压导通。流过共用源极 108 至漏极 110 之间的电性电流可以用来决定储存在单元中的资料。举例来说,当不带电的浮动栅极 118 呈现 1 状态,带电的浮动栅极 118 则呈现 0 状态。快闪存储器单元 104 内的第一栅极堆叠具有浮动栅极 118 和控制栅极 120,将在图 1 中描述。

[0050] 在一实施例中,栅极堆叠用以像是硅-氧化物-氮化物-氧化物-硅的堆叠方式,分别在快闪存储器中不同部分来形成,以硅晶体的方式呈现在半导体基体 102 中,以氧化物的方式呈现在在半导体基体 102 和浮动栅极 118 之间的栅极电介质层中,以氮化物的方式呈现在浮动栅极 118,以氧化物的形式呈现在浮动栅极 118 和控制栅极 120 之间的栅极电介质层,以及以复晶硅的方式呈现在控制栅极 120。

[0051] 相同地,快闪存储器结构 100 包括具有浮动栅极 122 和控制栅极 124 的第二栅极堆叠,且浮动栅极 122 和控制栅极 124 配置在快闪存储器单元 106 中。在快闪存储器单元 106 的第二栅极堆叠在构造、类型、结构方面大致和在快闪存储器单元 104 的第一栅极堆叠相似。

[0052] 因此,第一场效晶体管在快闪存储器单元 104 中形成。第一场效晶体管包括共用源极 108、漏极 110,浮动栅极 118 和控制栅极 120。第一场效晶体管还包括了在半导体基体 102 中从共用源极 108 至漏极 110 的通道。相同地,在快闪存储器单元 106 中形成的第二场效晶体管包括共用源极 108、漏极 112,浮动栅极 122 和控制栅极 124。第二场效晶体管还包括了在半导体基体 102 中从共用源极 108 至漏极 112 的通道。

[0053] 快闪存储器结构 100 中也包括使用在快闪存储器单元 104 的字线 126 以及使用在快闪存储器单元 106 的字线 128。以字线 126 为例。字线 126 配置在半导体基体 102 上,且通过介电物质层像是硅氧化物从半导体基体 102 分离出来。字线 126 水平配置相邻于具有浮动栅极 118 和控制栅极 120 的第一栅极堆叠。字线 126 在共用源极 108 和漏极 110 之间部分通道的上方。上述部分通道可视为字线通道。字线 128 在构造、类型上大致类似字线 126,但字线 128 使用在快闪存储器单元 106 中。字线 126 和字线 128 中都包括复晶硅掺杂物。在字线 126 和字线 128 中也可包括其它适合的导电物质。

[0054] 快闪存储器结构 100 也包括位线 132,位线 132 耦接至快闪存储器单元 104 的漏极 110 和快闪存储器单元 106 的漏极 112。在不同的电性寻径中,位线 132 形成一多层内连 (Multi-Layer Interconnect, MLI) 架构。举例来说,位线 132 为在第一金属层 (metal one) 形成的金属线。位线 132 经由垂直导体技术特征 134 电性耦接至漏极 110,且经由另一垂直导体技术特征 136 电性耦接至漏极 112。在一实施例中,垂直导体技术特征 134 和 136 分别为在漏极 110 和 112 上的接点技术特征。举例来说,垂直导体技术特征 134 和 136 中包括通过化学汽相沉积 (CVD) 技术所形成的钨,可参考像是钨栓塞。

[0055] 快闪存储器结构 100 也包括不同介电物质 138,配置不同介电物质 138 来隔离不同导体的技术特征。不同介电物质 138 中包括栅极介电物质层和夹层电介质 (ILD)。可通过不同工艺步骤来形成不同介电物质 138。

[0056] 在所揭示快闪存储器结构 100 操作方法中,读取操作用以施加电性偏压至不选取的字线。在所揭示的实施例中,在读取操作时,使不选取的字线偏压至负电压,使得对应的通道不导通。更明确地来说,施加负电压至不选取的存储器单元的字线使得字线通道不导通。

[0057] 一方面,上述负电压应该要够低才足以有效使对应的通道不导通。另一方面,上述负电压不应该太低否则会造成在存储单元中效能衰减和其它问题的产生。在一实施例中,施加在不选取的字线的负电压的范围介于-0.5 伏特和-2.5 伏特之间。在不同的实施例中,在读取操作时,施加负偏压至不选取的字线提供了许多好处。在一实施例中,通过施加负偏

压至不选取的字线,以解决在分离栅极快闪存储器的读取干扰的问题。在另一实施例中,通过施加负偏压至不选取的字线,可缩短通道长度,因而改善或抑制了电流泄漏的问题。

[0058] 如一实施例所述,在读取模式时,选取快闪存储器单元 104,而不选取快闪存储器单元 106。在这实施例中,位线 132 偏压 0.8 伏特的电压值。共用源极 108 为接地。抹除栅极 114 也同样为接地。在选取的快闪存储单元 104 中,控制栅极 120 偏压 2.5 伏特,且字线 126 偏压 2.5 伏特。在不选取的快闪存储单元 106 中,控制栅极 124 为接地。尤其,字线 128 的负偏压范围介于 -0.5 伏特和 -2.5 伏特之间。在另一实施例中,施加于不选取的位线的负电压会低于 -0.1 伏特。但在另一实施例中,施加于不选取的位线的负电压的范围介于 -0.5 伏特和 -5 伏特之间。

[0059] 在一实施例中,快闪存储器结构 100 包括设计和配置其它技术特征,以施加负电压至不选取位线。在一实施例中,快闪存储器结构 100 包括一或多个充电帮浦(未标示)用以产生负电压,且施加所产生的负电压至不选取字线。

[0060] 在读取操作时,所揭示设计用以偏压不选取的快闪存储器单元中字线的方法,像是不导通字线下方的通道,以抑制通道的电流泄漏。假如快闪存储器单元为 p 型晶体管,且其源极和漏极掺杂也为 p 型,然而通道掺杂却为 n 型,那施加于不选取的快闪存储器单元的字线的电性偏压的极性,将会因此而反转。最特别地,对于具有 p 型源极/漏极和 n 型通道的不选取的快闪存储器单元的字线,施加于不选取字线的电性偏压为正电压时,不导通所对应的通道。在一实施例中,施加于不选取的快闪存储器单元的字线的正偏压电压值,范围介于 0.5 伏特和 2.5 伏特之间。在另一实施例中,施加于不选取的字线的正电压超过 0.1 伏特。但在另一实施例中,施加于不选取位线的正电压的范围介于 0.5 伏特和 5 伏特之间。

[0061] 在一般读取操作下,不选取的快闪存储器单元的字线为接地,将使得无法有效地不导通所对应的通道,尤其在快闪存储器单元的通道较短且/或字线临界电压太低时。通道电流泄漏的产生缩减通道长度尺寸所面临的困难。

[0062] 图 2 为显示快闪存储器阵列 200 的概要图,快闪存储器阵列 200 为根据许多本说明书揭示的方向来建构。快闪存储器阵列 200 包括配置在一阵列中的多个快闪存储器单元 202。在揭示的实施例中,每一快闪存储器单元 202 包括具有 n 型掺杂的源极/漏极的 n 型晶体管,以及 p 型掺杂的通道。通过参考图 2,快闪存储器 200 的结构和操作将一同在下面描述。

[0063] 快闪存储器阵列 200 包括以四乘三行列配置的 12 个快闪存储器单元 202。12 个快闪存储器单元 202 分成六组单元对。每一单元对包括共享同一共用源极的两个快闪存储器单元。在一实施例中,每一单元对大致类似图 1 所述的快闪存储器结构 100。快闪存储器阵列 200 包括字线 (WL) 204,每一字线 204 耦接至在相同列中所对应快闪存储器单元 202 的通道。快闪存储器阵列 200 也包括位线 (BL) 206,每一位线 206 耦接至在相同行中所对应快闪存储器单元 202 的漏极。快闪存储器阵列 200 包括控制栅极线 (CG) 208,每一控制栅极线 208 耦接至在相同列中所对应快闪存储器单元 202 的控制栅极。快闪存储器阵列 200 包括共用源极线 (CS) 210,每一共用源极线 210 耦接至在相同列的共用源极以偏压源极。快闪存储器阵列 200 还包括抹除栅极线 212,每一抹除栅极线 212 耦接至在相同列中对应快闪存储器单元 202 的抹除栅极。每一抹除栅极也通过快闪存储器单元对来共享。

[0064] 在所揭示的方法中,当快闪存储器阵列 200 为读取模式时,施加一电性偏压至一

不选取的字线。在所揭示的实施例中,在读取操作时,不选取的字线偏压一负电压以不导通所对应的通道。在一实施例中,施加于不选取字线的负电压范围介于-0.5 伏特和-2.5 伏特之间。

[0065] 在一实施例中,快闪存储器阵列 200 还包括一或多个单芯片充电帮浦 214 以产生负电压且施加负电压至不选取的字线。

[0066] 假如快闪存储器单元为 p 型晶体管,且其源极和漏极掺杂为 p 型,而通道掺杂为 n 型,那施加于不选取的快闪存储器单元的字线的电性偏压的极性,将会因此而反转。最特别地,对于具有 p 型源极/漏极和 n 型通道的不选取的快闪存储器单元的字线,施加于不选取字线的电性偏压为正电压时,不导通所对应的通道。在一实施例中,不选取的快闪存储器单元的字线正偏压电压值,范围介于 0.5 伏特和 2.5 伏特之间。

[0067] 图 3 为显示在另一实施例中快闪存储器结构 300 的代表图。快闪存储器结构 300 类似快闪存储器结构 100,但是快闪存储器结构 300 中没有专用的抹除栅极。

[0068] 同样地,在读取操作的快闪存储器结构 300 依照类似在读取操作的快闪存储器结构 100 来设计。在读取操作时,一电性偏压施加于一不选取的字线,使得字线通道不导通,因而抑制通道电流泄漏。在一揭示实施例中,在读取操作时,一不选取的字线偏压一负电压,以不导通相对应的通道。在一实施例中,快闪存储器架构 300 还包括一或多个充电帮浦(未标示)用以产生负电压,且施加产生的负电压至不选取的字线。

[0069] 同样地,假如快闪存储器单元为 p 型晶体管,且其源极和漏极掺杂为 p 型,而通道掺杂为 n 型,那施加于不选取的快闪存储器单元中字线的电性偏压的极性,将会因此而反转。最特别地,对于具有 p 型源极/漏极和 n 型通道的不选取的快闪存储器单元的字线,施加于不选取字线的电性偏压为正电压时,不导通所对应的通道。

[0070] 图 4 为显示快闪存储器阵列 400 的概要图,快闪存储器阵列 400 是根据许多本说明书揭示的方向来建构。快闪存储器阵列 400 包括配置在一阵列中的多个快闪存储器单元 402。在所揭示的实施例中,每一快闪存储器单元 402 包括具有 n 型掺杂的源极/漏极和 p 型掺杂的通道。快闪存储器 400 的结构和操作将一同在下面描述。

[0071] 快闪存储器阵列 400 包括以四乘三行列配置的 12 个快闪存储器单元 402。12 个快闪存储器单元 402 分成六组单元对。每一单元对包括共享同一共用源极的两个快闪存储器单元 402。在一实施例中,每一单元对大致类似在图 3 所述的快闪存储器结构 300 中两存储器单元。快闪存储器阵列 400 包括字线 (WL) 204,每一字线 204 耦接至在相同列中所对应快闪存储器单元 402 的通道。快闪存储器阵列 400 也包括位线 (BL) 206,每一位线 206 耦接至在相同行中所对应快闪存储器单元 402 的漏极。快闪存储器阵列 400 包括控制栅极线 (CG) 208,每一控制栅极线 208 耦接至在相同列中所对应快闪存储器单元 402 的控制栅极。快闪存储器阵列 400 包括共用源极线 (CS) 210,每一共用源极线 210 耦接至相同列的共用源极以产生源极偏压。

[0072] 在快闪存储器阵列 400 所揭示的操作中,读取操作的设计做法就类似在快闪存储器阵列 200 的读取操作。在揭示的实施例中,在读取操作时,不选取的字线偏压一负电压以不导通相对应的通道。在一实施例中,快闪存储器阵列 400 还包括一或多个充电帮浦 214 用以产生负电压,且施加所产生的负电压至不选取的字线。

[0073] 在读取操作所揭示的方法包括对在不选取的快闪存储器单元的字线偏压,以不导

通字线下方的通道,因而抑制了通道电流泄漏。假如快闪存储器单元为 p 型晶体管,且其源极和漏极掺杂为 p 型,而通道掺杂为 n 型,那施加于不选取的快闪存储器单元中字线的电性偏压的极性,将会因此而反转。最特别地,对于具有 p 型源极 / 漏极和 n 型通道的不选取的快闪存储器单元的字线,施加于不选取字线的电性偏压为正电压时,不导通所对应的通道。

[0074] 在不超出本说明书所揭示的精神和范围,可应用其它实施例和修正。在一实施例中,在读取操作时,施加电性偏压至一不选取的字线,也可应用在写入操作时。在另一实施例中,介电层形成在图 1 的快闪存储器 100 结构或图 3 的快闪存储器 300 结构的控制栅极。在一实施例中,介电层包括硅氧化物和硅氮化物。

[0075] 图 5 为显示根据一实施例所述具有专属抹除栅极的快闪存储器阵列中不同技术特征的一表格 500,在具有专属抹除栅极的快闪存储器阵列,在读取、写入、抹除操作时,施加电性电压至具有不同技术特征的选取和不选取的快闪存储器单元上。图 2 的快闪存储器阵列 200 为一快闪存储阵列的实施例。表格 500 包括在选取 (selected) 和不选取 (unselected) 单元上三种操作模式:字写入 (WORD PGM)、抹除 (PAGE ERS)、以及读取 (READ)。分别施加电性电压在包括位线 (BL)、字线 (WL)、控制栅极 (CG)、共用栅极 (CG)、共用源极 (CS)、抹除栅极 (EG),以及基体 (BULK),以产生不同的技术特征。在表格 500 的电性电压的单位为电压 (V)。选取的存储器单元在写入操作时,耦接位线以具有常数电性电流 (I_{dp}) 或偏压 0.4 伏特的电压。

[0076] 图 6 为显示根据一实施例所述不具有专属抹除栅极的快闪存储器阵列中不同技术特征的一表格 600,在不具有专属抹除栅极的快闪存储器阵列,在读取、写入、抹除操作时,在读取、写入、抹除操作时,施加电性电压至具有不同技术特征的选取和不选取的快闪存储器单元上。图 4 中快闪存储器阵列 400 为关于上述快闪存储阵列的一实施例。表格 600 包括在选取 (selected) 和不选取 (unselected) 单元上三个操作模式:字写入 (WORD PGM)、抹除 (PAGE ERS)、以及读取 (READ)。分别施加电性电压在包括位线 (BL)、字线 (WL)、控制栅极 (CG)、共用栅极 (CG)、共用源极 (CS)、抹除栅极 (EG),以及基体 (BULK),以产生不同的技术特征。在表格 600 的电性电压的单位为电压 (V)。选取的存储器单元在写入操作时,耦接位线以具有常数电性电流 (I_{dp})。

[0077] 图 7 为显示根据一实施例所述快闪存储器阵列中不同技术特征的一表格 700,在读取操作时,在快闪存储器阵列上施加电性电压至具有不同技术特征的选取和不选取的快闪存储器单元。图 2 中快闪存储器阵列 200 为关于上述快闪存储阵列的一实施例。图 4 中快闪存储器阵列 400 为关于上述快闪存储阵列的另一实施例。选取的存储器单元和不选取的存储器单元电性连接至不同字线。在快闪存储器中分别施加电性电压在包括位线 (BL)、字线 (WL)、控制栅极 (CG)、共用栅极 (CG)、共用源极 (CS)、抹除栅极 (EG),以及基体 (BULK),以产生不同技术特征。

[0078] 对于选取的快闪存储器单元,位线偏压至第一电压偏压,表示为位线 (BL) 电压偏压。在一实施例中,位线电压偏压为 0.8 伏特。在这实施例和以下不同其它实施例中,快闪存储器单元包括具有分离栅极结构的 n 型场效晶体管。对于选取的存储器单元,字线偏压至第二电压偏压,表示为字线 (WL) 电压偏压。在一实施例中,字线电压偏压为 2.5 伏特。选取的快闪存储器单元的控制栅极偏压至一中间电压 (或中间电压偏压)。快闪存储器单元包括两个临界电压,分别对应至相应浮动栅极的两状态。中间电压在快闪存储器单元的两

临界电压之间。因此,当中间电压施加于选取的快闪存储器单元的控制栅极时,根据所对应的浮动栅极的电荷状态,以导通或不导通相对应的场效晶体管。因此经由在源极和漏极间的通道上的电性电流,决定在选取的快闪存储器单元中存取的资料。中间电压偏压和第二电偏压具有相同极性(都是正或负)。在一实施例中,中间电压为 2.5 伏特。在另一实施例中,中间电压和字线电压偏压大致相同。在快闪存储器单元的共用源极为接地,半导体基体也为接地。

[0079] 在一实施例中,对于不选取的快闪存储器单元,位线为接地。在不选取快闪存储器单元的字线偏压至一反转电压偏压(或反转电压)。为了有效不导通相应的通道,反转电压需在一既定范围内。最特别地,为了不导通相应字线通道,反转电压需在一既定范围内。反转电压偏压和第二电压偏压具有相对的极性。当第二电压偏压为正,反转电压偏压为负。当第二电压偏压为负,反转电压偏压为正。具体来说,假如相应的快闪存储器单元包括一 n 型场效晶体管,反转电压为负电压。可通过一单芯片充电帮浦提供负电压。在一实施例中,反转电压偏压低于 -0.1 伏特。在另一实施例中,反转电压偏压的范围介于 -0.5 伏特和 -2.5 伏特之间。但在另一实施例中,反转电压偏压的范围介于 -0.5 伏特和 -5 伏特之间。

[0080] 假如不选取的快闪存储器单元包括一 p 型场效晶体管,反转电压就为正电压。在一实施例中,反转电压偏压高于 0.1 伏特。在另一实施例中,反转电压偏压范围介于 0.5 伏特和 2.5 伏特之间。但在另一实施例中,反转电压偏压范围介于 0.5 伏特和 5 伏特之间。

[0081] 在一实施例中,对于不选取的快闪存储器单元,控制栅极为接地。在另一实施例中,共用源极和基体为接地。

[0082] 图 8 为根据一实施例所揭示的电路 800 的概要图,电路 800 耦接至快闪存储器单元,像是图 1 和图 3,或合并于快闪存储器阵列中,像是图 2 和图 4。电路 800 为电性连接至字线的一字线驱动器(或一字线编码器),且上述字线更电性连接至多个快闪存储器单元,如图 1 或图 3 所述。设计字线驱动器 800 在操作时,可施加一电压在字线上,如提供电压值至图 6 表格中第二行「字线」。在读取写入循环时,根据所揭示的实施例,通过字线驱动器 800 提供电压至字线,假如在选取的快闪存储器单元,电压为正,或假如在不选取的快闪存储器单元,电压则为负。

[0083] 字线驱动器 800 包括一与非逻辑门,上述与非逻辑门耦接至预编码器且设计一或多个输入,如三或四个输入。与非逻辑门电性连接至第一节点,在图 8 中标号为“Node-1”。

[0084] 字线驱动器 800 包括第一 p 型晶体管(标号为 p1),像是 p 型金氧半导体(PMOS)场效晶体管(FET)。字线驱动器 800 也包括第一 n 型晶体管(标号为 n1),像是 n 型金氧半导体(NMOS)场效晶体管。上述第一 p 型晶体管和第一 n 型晶体管可正确地用以提供输入至字线。

[0085] 在晶体管 p1 和 n1 的结构中,晶体管 p1 和 n1 的漏极电性连接且耦接至字线(标号为 WL)。晶体管 p1 的源极电性连接至电源线 Vcc(标号为 Avdd)。晶体管 n1 的源极电性连接至一电源线(标号为 Agnd)。晶体管 p1 的栅极电性连接至第一节点(Node-1)。晶体管 n1 的栅极电性连接至第二节点(Node-2)。此外,晶体管 p1 的基体电性连接至其源极,且以电源线 Avdd 来偏压。晶体管 n1 的基体电性连接至其源极,且以电源线 Agnd 来偏压。

[0086] 字线驱动器 800 还包括第二 p 型晶体管(标号为 p2),如 PMOS,以及第二 n 型晶体管(标号为 n2),如 NMOS。晶体管 p2 用以将其源极电性连接至第一节点(Node-1),漏极电

性连接至第二节点 (Node-2), 以及栅极电性连接至电源线或接地 (Vss)。晶体管 n2 用以将其源极电性连接至电源线 Agnd, 漏极电性连接至第二节点 (Node-2), 以及栅极电性连接至字线 (WL)。

[0087] 在不同实施例中操作字线驱动器 800。当选取一或多字线时, 电源线 Agnd 从具有一负电压 (如 -0.5 伏特或更低) 的负电压源 (如设计一充电帮浦能提供负电压) 得到电源。与非逻辑门接收从预编码的输出产生的输入为 ALL-1, 因此和与非逻辑门输出电性连接的第一节点 (Node1) 将为 0 伏特 (0v)。第一节点 (Node1) 的 0 伏特电压导通晶体管 p1 且致能字线至电源线 Avdd 的电压 (在一实施例中, 写入时为 1.3 伏特, 读取时为 2.5 伏特)。电源线 Avdd 的电压经过了字线和晶体管 n2 的栅极, 且电源线 Avdd 的电压导通了晶体管 n2, 以及拉升第二节点 (Node-2) 至电源线 Agnd 的电压, 因而不导通晶体管 n1。

[0088] 当一或多字线为不选取, 电源线 Agnd 从具有一负电压 (如 -0.5 伏特或更低) 的负电压源得到电源。一些与非逻辑门接收从预编码的输出产生输入为 0 伏特 (zero), 因此第一节点 (Node1) 的电压将为电源线 Avdd 的电压。电源线 Avdd 在第一节点 (Node1) 的电压不导通晶体管 p1, 且经由晶体管 p2 传送至第二节点 (Node2)。因此, 拉升字线至电源线 Agnd 且不导通晶体管 n2。

[0089] 当所有字线为不选取时, 电源线 Agnd 为 0 伏特。全部与非逻辑门接收从预编码器的输出所产生的输入将为 0 伏特, 因此电性连接至与非逻辑门输出的第一节点 (Node1), 其电压为电源线 Avdd 的电压。电源线 Avdd 在第一节点 (Node1) 的电压, 不导通晶体管 p1, 且经由晶体管 p2 传送至第二节点 (Node2)。因此, 拉升字线至 0V 且不导通晶体管 n2。

[0090] 在所揭示的实施例中, 描述了包括多个快闪存储器单元的存储器元件, 在读取操作时的方法。上述方法包括, 施加一第一电压偏压至在一快闪存储器阵列中选取的快闪存储器单元的控制栅极, 以及施加一第二电压偏压至选取的快闪存储器单元的字线。不选取的快闪存储器阵列中一快闪存储器单元的控制栅极为接地, 且施加第三电压偏压 (或反转电压偏压或反转电压) 至不选取的快闪存储器单元的字线, 以不导通不选取的快闪存储器单元的字线通道。选取的快闪存储器单元和不选取的快闪存储器单元配置在存储器元件, 且电性连接至不同字线。第一电压偏压和第二电压偏压具有相同极性。第三电压偏压和第二电压偏压具有相反的极性。

[0091] 在一实施例中所述的方法, 第一电压偏压为在选取的随机存储器单元中两临界电压间的中间电压。在另一实施例中, 第一电压偏压和第二电压偏压的电压值大致相同。但在另一实施例中所述的方法, 包括使不选取快闪存储器单元的源极为接地。不选取的快闪存储器单元的源极为和相邻快闪存储器单元共享的共用源极。但在另一实施例中, 上述方法还包括使快闪存储器单元中专属抹除栅极为接地。在另一实施例中, 上述方法还包括, 使在选取的存储器单元以及不选取的存储器单元中形成的半导体基体为接地。在另一实施例中, 当不选取的存储器单元包括具有浮动栅极结构的 n 型场效晶体管时, 反转电压偏压的范围介于 -0.5 伏特和 -2.5 伏特之间。在另一实施例中, 当不选取的存储器单元包括具有浮动栅极结构的 n 型场效晶体管时, 反转电压偏压低于 -0.1 伏特。在另一实施例中, 单芯片充电帮浦提供反转电压偏压。在另一实施例中, 当不选取的存储器单元包括具有浮动栅极结构的 p 型场效晶体管时, 反转电压偏压的范围介于 0.5 伏特和 2.5 伏特之间。

[0092] 在一揭示的实施例中, 也提供另一种方法以呈现快闪存储器阵列的读取操作。上

述读取操作包括,施加一中间电压至选取的存储器单元的控制栅极,且中间电压在选取的存储器单元两临界电压之间。一电压偏压施加于一选取的存储器单元的字线。不选取的存储器单元的控制栅极为接地,且反转电压施加至不选取的存储器单元的字线以不导通不选取的存储器单元的字线通道。反转电压和中间电压具有相反的极性。选取的存储器单元和不选取的存储器单元配置在快闪存储器阵列中。

[0093] 在一读取操作的实施例中,中间电压和电压偏压大致相同。在另一实施例中,读取操作包括使不选取的存储器单元的字线为接地。在另一实施例中,读取操作包括使不选取的存储器单元的专用抹除栅极为接地。在另一实施例中,当不选取的存储器单元包括具有浮动栅极结构的 n 型场效晶体管时,反转电压偏压的范围介于 -0.5 伏特和 -5 伏特之间。在另一实施例中,当不选取的存储器单元包括具有浮动栅极结构的 p 型场效晶体管时,反转电压偏压的范围介于 0.5 伏特和 5 伏特之间。

[0094] 在所揭示的实施例中,也描述了快闪存储器结构。快闪存储器结构包括在半导体基体上的一共用源极;以及在半导体基体上的第一漏极和第二漏极。第一漏极配置在共用源极的一侧,且和共用源极相隔,在此定义共用源极和第一漏极之间为第一通道。第二漏极配置在共用源极另一侧,且和共用源极相隔,在此定义共用源极和第二漏极间为第二通道。快闪存储器结构还包括在半导体基体上和部分第一通道上方的第一栅极堆叠。第一栅极堆叠包括第一浮动栅极以及在第一浮动栅极上方的第一控制栅极。快闪存储器结构还包括在半导体基体上以及部分第二通道上方的第二栅极堆叠。第二栅极堆叠包括第二浮动栅极以及在第二浮动栅极上方的第二控制栅极。快闪存储器结构还包括在部分第一通道上方且水平配置在第一栅极堆叠和第一漏极间的第一字线;在部分第二通道上方且水平配置在第二栅极堆叠和第二漏极间的第二字线;耦接至第一漏极和第二漏极的位线;以及在半导体基体上形成的充电帮浦,充电帮浦用以产生一负电压且提供产生的负电压至第一字线和第二字线之一者,以不导通相应的通道。

[0095] 在一实施例中,快闪存储器结构还包括具有耦接至第一字线和第二字线之一者的输出的字线驱动器。字线驱动器包括第一 p 型晶体管 (p1), 第一 p 型晶体管 (p1) 具有电性连接至第一节点的第一栅极、电性连接至第一电源线 (Avdd) 的第一源极,以及电性连接至输出线的第一漏极;第一 n 型晶体管 (n1), 第一 n 型晶体管 (n1) 具有电性连接至第二节点的第二栅极、电性连接至第二电源线 (Agnd) 的第二源极,以及电性连接至输出线的第二漏极;第二 p 型晶体管 (p2), 第二 p 型晶体管 (p2) 具有电性连接至第三电源线 (Vss) 的第三栅极、电性连接至第一节点的第三源极,以及电性连接至第二节点的第三漏极;第二 n 型晶体管 (n2), 第二 n 型晶体管 (n2) 具有电性连接至输出线的第四栅极、电性连接至第二电源线 (Agnd) 的第四源极,以及电性连接至第二节点的第四漏极;以及电性连接至第一节点且设计具有至少一预解码器输入的与非逻辑门。在另一实施例中,第一电源线 Avdd 电性连接至一正电压源,第二电源线 Agnd 电性连接至一负电压源;以及第三电源线 Vss 为接地。在另一实施例中,第二电源线 Agnd 通过设计的充电帮浦提供一负电压以获得电源。在一实施例中,快闪存储器结构还包括一专用抹除栅极,此专用抹除栅极在半导体基体上且配置在第一栅极堆叠和第二栅极堆叠间。在另一实施例中,共用源极,第一漏极,以及第二漏极包括一 n 型掺杂。

[0096] 上述的内容已大略描述了每一实施例的技术特征。对于任何在本领域熟悉的普通

技术人员,为了解决相同的问题且 / 或达到更好的效能,根据本说明书所揭示的实施例,可以很快地应用其来设计或修正其它工艺或结构。对于任何在本领域熟悉的普通技术人员,也可在不脱离本发明所揭示的实施例的精神和范围内,对本发明作适当的更动和替换。

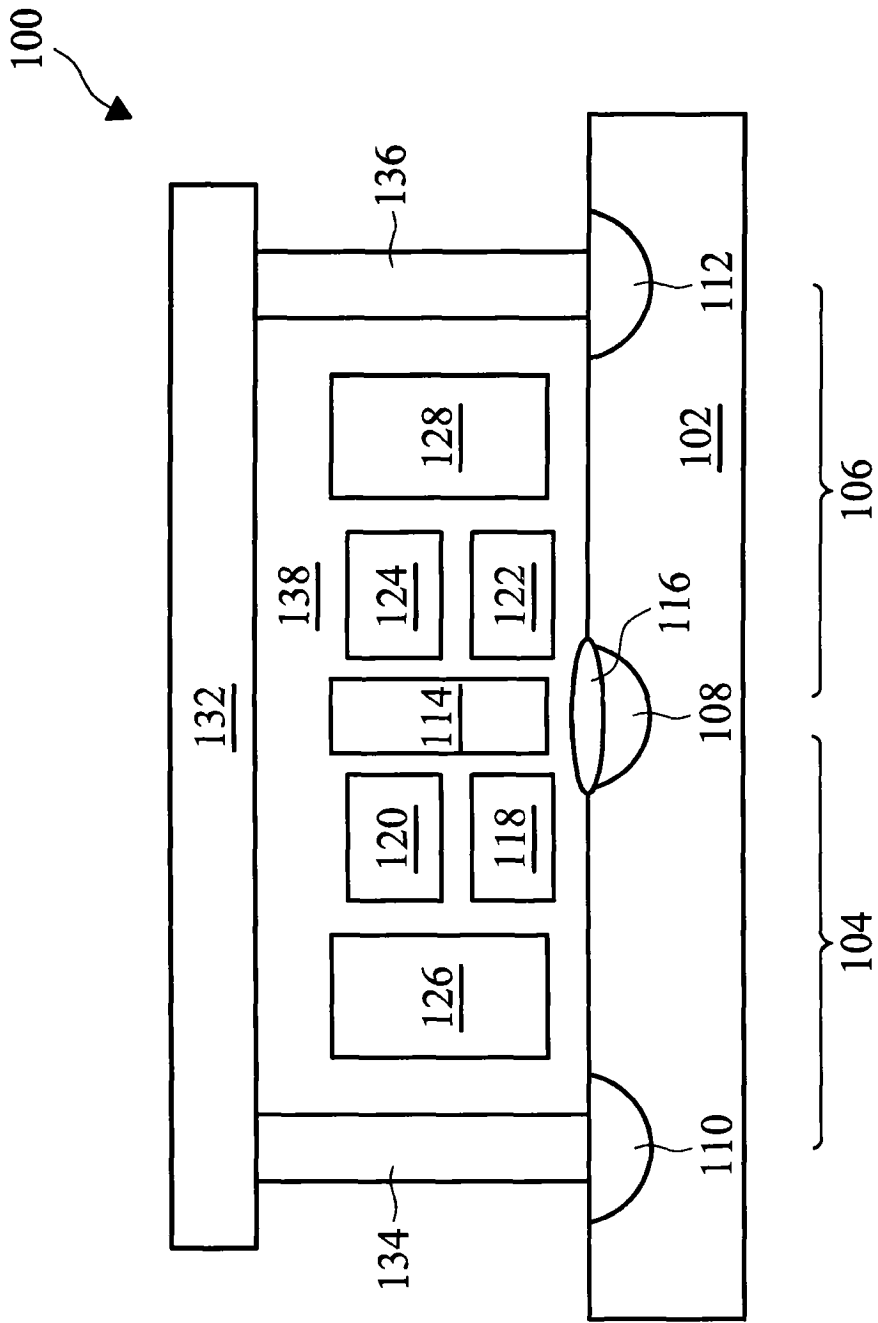


图 1

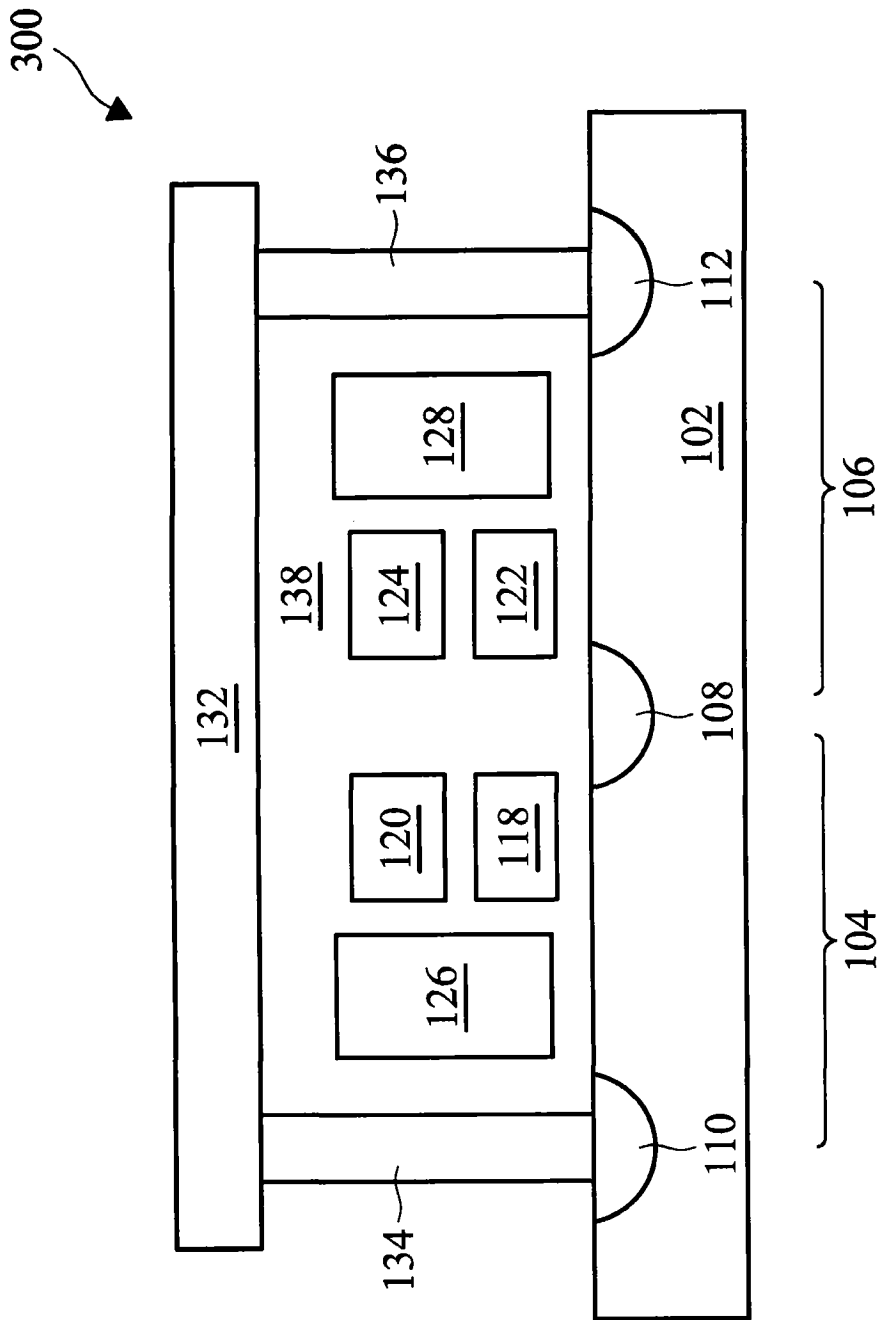


图 3

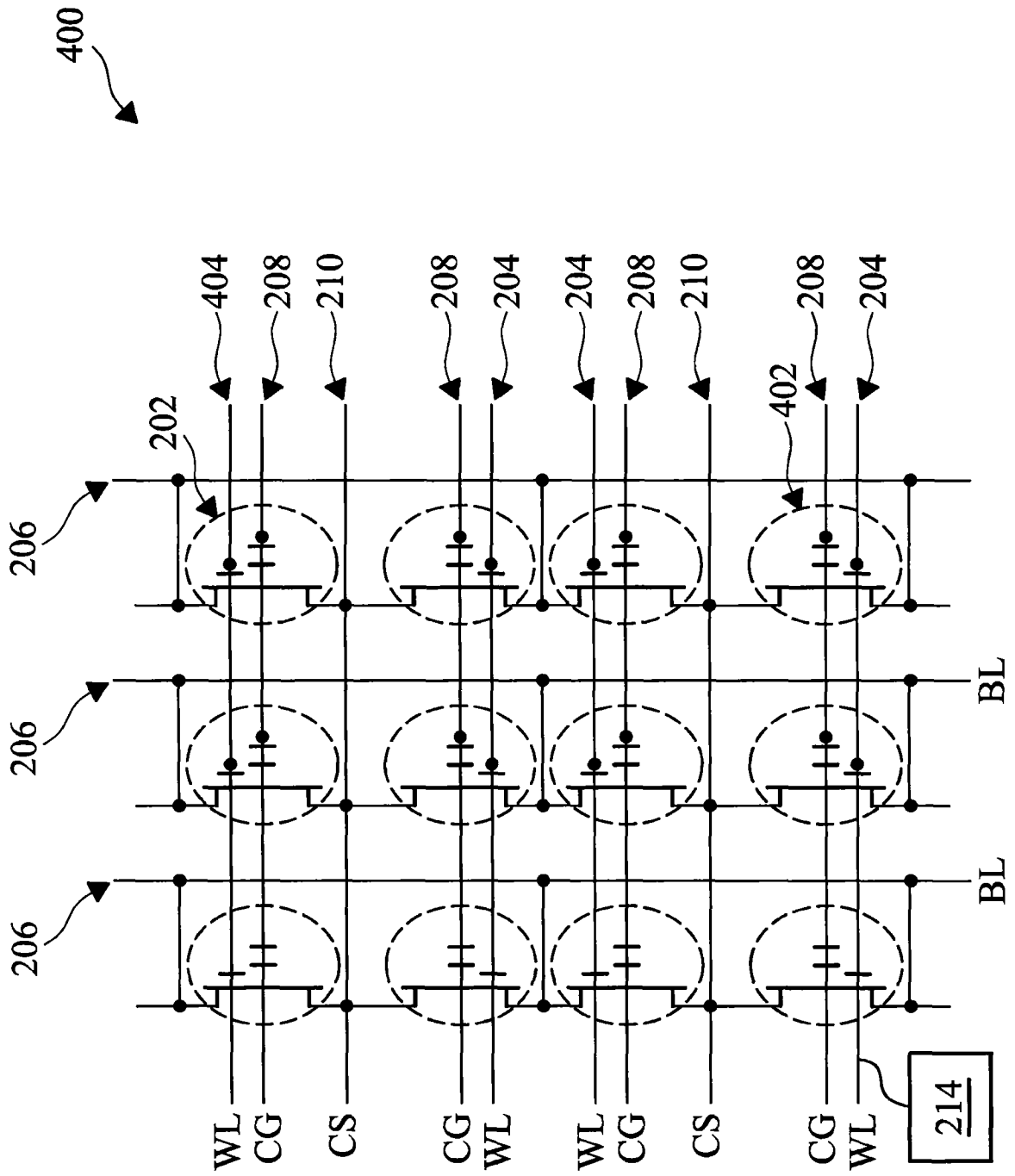


图 4

500



	BL	WL	CG	CS	EG	基体
字写入模式						
选取	Idp	1.3	10.5	4.5	4.5	0
不选取	2	-0.5~ -2.5	0	4.5	4.5	0
抹除模式						
选取	0	0	0	0	11.5	0
不选取	0	0	0	0	0	0
读取模式						
选取	0.8	2.5	2.5	0	0	0
不选取	0	-0.5~ -2.5	0	0	0	0

图 5

600

	BL	WL	CG	CS	基体
字写入模式					
选取	Idp	1.3	10.5	4.5	0
不选取	2	-0.5~ -2.5	0	4.5	0
抹除模式					
选取	6	0	-11	6	6
不选取	6	0	6	6	6
读取模式					
选取	0.8	2.5	2.5	0	0
不选取	0	-0.5~ -2.5	0	0	0

图 6

700

读取模式	BL	WL	CG	CS	基体
选取	BL电压 偏压	WL电压 偏压	中间电压	0	0
不选取	0	反转电压 偏压	0	0	0

图 7

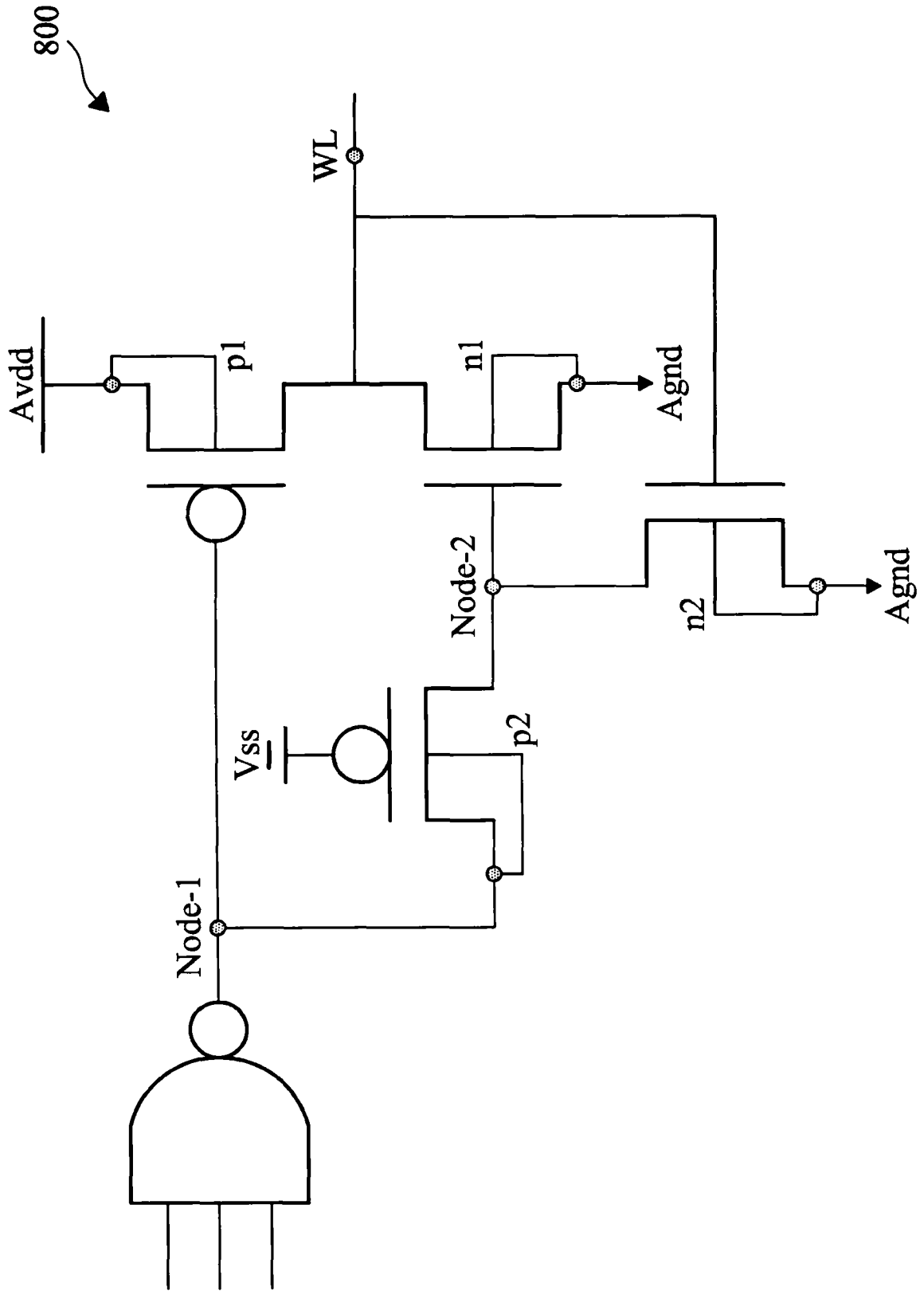


图 8