

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成17年12月15日(2005.12.15)

【公開番号】特開2002-64714(P2002-64714A)

【公開日】平成14年2月28日(2002.2.28)

【出願番号】特願2000-251293(P2000-251293)

【国際特許分類第7版】

H 04 N 1/41

H 04 N 1/21

【F I】

H 04 N 1/41 Z

H 04 N 1/21

【手続補正書】

【提出日】平成17年10月31日(2005.10.31)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

画像データを所定数の画素の集合である複数の画素ブロックに分割する分割手段と、

前記複数の画素ブロックに圧縮処理を実行する圧縮手段と、

前記圧縮手段により圧縮された画素ブロックと前記画素ブロックに関する画素ブロック情報を示すヘッダとを有するパケットを生成する生成手段と、

前記生成手段が生成した複数の前記パケットと前記複数のパケットの各々に対応する画素ブロックの格納アドレスを示すパケットテーブルを記憶する記憶手段と、

先行するパケットに対応する第1画素ブロックと注目パケットに対応する第2画素ブロックが異なるか否かを示す設定情報を前記注目パケットのヘッダに設定する設定手段と、

前記設定情報が前記第2画素ブロックと前記第1画素ブロックが異なることを示す場合は前記第2画素ブロックを前記注目パケットの一部として記憶するとともに前記注目パケットの格納アドレスを前記パケットテーブルに記憶し、前記設定情報が前記第2画素ブロックと前記第1画素ブロックが等しいことを示す場合は前記第2画素ブロックを記憶せずに前記先行するパケットの格納アドレスを前記注目パケットの格納アドレスとして前記パケットテーブルに記憶する記憶制御手段と、

を備えることを特徴とする画像処理装置。

【請求項2】

前記第1画素ブロックは、前記第2画素ブロックのひとつ前の画素ブロックであることを特徴とする請求項1に記載の画像処理装置。

【請求項3】

前記生成手段が生成する前記複数のパケットと前記パケットテーブルは前記記憶手段に1つのファイルとして格納されることを特徴とする請求項1又は2に記載の画像処理装置。

【請求項4】

前記パケットテーブルは、前記注目パケットの格納アドレスとして他のパケットの格納アドレスを参照するか否かを示すフラグ情報を含むことを特徴とする請求項1乃至3のいずれかに記載の画像処理装置。

【請求項5】

前記第1画素ブロックを記憶するバッファ手段を有し、

前記設定手段は、前記バッファ手段に記憶されている第1画素ブロックを前記第2画素ブロックと比較することで前記設定情報を設定することを特徴とする請求項1乃至4のいずれかに記載の画像処理装置。

【請求項6】

前記バッファ手段は前記第1画素ブロックのデータ量が所定量より少ない場合は前記第2画素ブロックを前記第1画素ブロックとして記憶し、前記第1画素ブロックのデータ量が前記所定量以上である場合は前記第2画素ブロックを記憶しないことを特徴とする請求項5に記載の画像処理装置。

【請求項7】

前記第1画素ブロックが前記バッファ手段に記憶されていない場合、前記設定手段は前記第1画素ブロックと前記第2画素ブロックが異なることを示す前記設定情報を前記注目パケットのヘッダに設定することを特徴とする請求項6に記載の画像処理装置。

【請求項8】

画像データを所定数の画素の集合である複数の画素ブロックに分割する分割工程と、前記複数の画素ブロックに圧縮処理を実行する圧縮工程と、

前記圧縮工程にて圧縮された画素ブロックと前記画素ブロックに関する画素ブロック情報を示すヘッダとを有するパケットを生成する生成工程と、

前記生成工程にて生成した複数の前記パケットと前記複数のパケットの各々に対応する画素ブロックの格納アドレスを示すパケットテーブルを記憶する記憶工程と、

先行するパケットに対応する第1画素ブロックと注目パケットに対応する第2画素ブロックが異なるか否かを示す設定情報を前記注目パケットのヘッダに設定する設定工程と、

前記設定情報が前記第2画素ブロックと前記第1画素ブロックが異なることを示す場合は前記第2画素ブロックを前記注目パケットの一部として記憶するとともに前記注目パケットの格納アドレスを前記パケットテーブルに記憶し、前記設定情報が前記第2画素ブロックと前記第1画素ブロックが等しいことを示す場合は前記第2画素ブロックを記憶せずに前記先行するパケットの格納アドレスを前記注目パケットの格納アドレスとして前記パケットテーブルに記憶する記憶制御工程と、

を備えることを特徴とする画像処理方法。

【請求項9】

コンピュータに、

画像データを所定数の画素の集合である複数の画素ブロックに分割する分割工程と、前記複数の画素ブロックに圧縮処理を実行する圧縮工程と、

前記圧縮工程にて圧縮された画素ブロックと前記画素ブロックに関する画素ブロック情報を示すヘッダとを有するパケットを生成する生成工程と、

前記生成工程にて生成した複数の前記パケットと前記複数のパケットの各々に対応する画素ブロックの格納アドレスを示すパケットテーブルを記憶する記憶工程と、

先行するパケットに対応する第1画素ブロックと注目パケットに対応する第2画素ブロックが異なるか否かを示す設定情報を前記注目パケットのヘッダに設定する設定工程と、

前記設定情報が前記第2画素ブロックと前記第1画素ブロックが異なることを示す場合は前記第2画素ブロックを前記注目パケットの一部として記憶するとともに前記注目パケットの格納アドレスを前記パケットテーブルに記憶し、前記設定情報が前記第2画素ブロックと前記第1画素ブロックが等しいことを示す場合は前記第2画素ブロックを記憶せずに前記先行するパケットの格納アドレスを前記注目パケットの格納アドレスとして前記パケットテーブルに記憶する記憶制御工程と、

を実行させるためのプログラムを記録したコンピュータ読み取り可能な記録媒体。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正の内容】**【0005】****【課題を解決するための手段】**

この課題を解決するため、例えば本発明の画像処理装置は以下の構成を備える。すなわち、

画像データを所定数の画素の集合である複数の画素ブロックに分割する分割手段と、前記複数の画素ブロックに圧縮処理を実行する圧縮手段と、

前記圧縮手段により圧縮された画素ブロックと前記画素ブロックに関する画素ブロック情報を示すヘッダとを有するパケットを生成する生成手段と、

前記生成手段が生成した複数の前記パケットと前記複数のパケットの各々に対応する画素ブロックの格納アドレスを示すパケットテーブルを記憶する記憶手段と、

先行するパケットに対応する第1画素ブロックと注目パケットに対応する第2画素ブロックが異なるか否かを示す設定情報を前記注目パケットのヘッダに設定する設定手段と、

前記設定情報が前記第2画素ブロックと前記第1画素ブロックが異なることを示す場合は前記第2画素ブロックを前記注目パケットの一部として記憶するとともに前記注目パケットの格納アドレスを前記パケットテーブルに記憶し、前記設定情報が前記第2画素ブロックと前記第1画素ブロックが等しいことを示す場合は前記第2画素ブロックを記憶せずに前記先行するパケットの格納アドレスを前記注目パケットの格納アドレスとして前記パケットテーブルに記憶する記憶制御手段とを備える。

【手続補正3】**【補正対象書類名】明細書****【補正対象項目名】0039****【補正方法】変更****【補正の内容】****【0039】****【発明の効果】**

以上説明したように本発明によれば、画像データを複数の画素ブロックに分割して記憶する場合において、等しい画素ブロックが複数ある場合に記憶容量を削減することができる。