

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 3 区分
 【発行日】平成 17 年 12 月 15 日 (2005.12.15)

【公開番号】特開 2002-64714 (P2002-64714A)
 【公開日】平成 14 年 2 月 28 日 (2002.2.28)
 【出願番号】特願 2000-251293 (P2000-251293)
 【国際特許分類第 7 版】

H 0 4 N 1/41

H 0 4 N 1/21

【F I】

H 0 4 N 1/41 Z

H 0 4 N 1/21

【手続補正書】

【提出日】平成 17 年 10 月 31 日 (2005.10.31)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

画像データを所定数の画素の集合である複数の画素ブロックに分割する分割手段と、
 前記複数の画素ブロックに圧縮処理を実行する圧縮手段と、
 前記圧縮手段により圧縮された画素ブロックと前記画素ブロックに関する画素ブロック
 情報を示すヘッダとを有するパケットを生成する生成手段と、
 前記生成手段が生成した複数の前記パケットと前記複数のパケットの各々に対応する画
 素ブロックの格納アドレスを示すパケットテーブルを記憶する記憶手段と、
 先行するパケットに対応する第 1 画素ブロックと注目パケットに対応する第 2 画素ブロ
 ックが異なるか否かを示す設定情報を前記注目パケットのヘッダに設定する設定手段と、
 前記設定情報が前記第 2 画素ブロックと前記第 1 画素ブロックが異なることを示す場合
 は前記第 2 画素ブロックを前記注目パケットの一部として記憶するとともに前記注目パケ
 ットの格納アドレスを前記パケットテーブルに記憶し、前記設定情報が前記第 2 画素ブロ
 ックと前記第 1 画素ブロックが等しいことを示す場合は前記第 2 画素ブロックを記憶せず
 に前記先行するパケットの格納アドレスを前記注目パケットの格納アドレスとして前記パ
 ケットテーブルに記憶する記憶制御手段と、
 を備えることを特徴とする画像処理装置。

【請求項 2】

前記第 1 画素ブロックは、前記第 2 画素ブロックのひとつ前の画素ブロックであることを
 特徴とする請求項 1 に記載の画像処理装置。

【請求項 3】

前記生成手段が生成する前記複数のパケットと前記パケットテーブルは前記記憶手段に
 1 つのファイルとして格納されることを特徴とする請求項 1 又は 2 に記載の画像処理装置
 。

【請求項 4】

前記パケットテーブルは、前記注目パケットの格納アドレスとして他のパケットの格納
 アドレスを参照するか否かを示すフラグ情報を含むことを特徴とする請求項 1 乃至 3 のい
 ずれかに記載の画像処理装置。

【請求項 5】

前記第 1 画素ブロックを記憶するバッファ手段を有し、

前記設定手段は、前記バッファ手段に記憶されている第 1 画素ブロックを前記第 2 画素ブロックと比較することで前記設定情報を設定することを特徴とする請求項 1 乃至 4 のいずれかに記載の画像処理装置。

【請求項 6】

前記バッファ手段は前記第 1 画素ブロックのデータ量が所定量より少ない場合は前記第 2 画素ブロックを前記第 1 画素ブロックとして記憶し、前記第 1 画素ブロックのデータ量が前記所定量以上である場合は前記第 2 画素ブロックを記憶しないことを特徴とする請求項 5 に記載の画像処理装置。

【請求項 7】

前記第 1 画素ブロックが前記バッファ手段に記憶されていない場合、前記設定手段は前記第 1 画素ブロックと前記第 2 画素ブロックが異なることを示す前記設定情報を前記注目パケットのヘッダに設定することを特徴とする請求項 6 に記載の画像処理装置。

【請求項 8】

画像データを所定数の画素の集合である複数の画素ブロックに分割する分割工程と、前記複数の画素ブロックに圧縮処理を実行する圧縮工程と、

前記圧縮工程にて圧縮された画素ブロックと前記画素ブロックに関する画素ブロック情報を示すヘッダとを有するパケットを生成する生成工程と、

前記生成工程にて生成した複数の前記パケットと前記複数のパケットの各々に対応する画素ブロックの格納アドレスを示すパケットテーブルを記憶する記憶工程と、

先行するパケットに対応する第 1 画素ブロックと注目パケットに対応する第 2 画素ブロックが異なるか否かを示す設定情報を前記注目パケットのヘッダに設定する設定工程と、

前記設定情報が前記第 2 画素ブロックと前記第 1 画素ブロックが異なることを示す場合は前記第 2 画素ブロックを前記注目パケットの一部として記憶するとともに前記注目パケットの格納アドレスを前記パケットテーブルに記憶し、前記設定情報が前記第 2 画素ブロックと前記第 1 画素ブロックが等しいことを示す場合は前記第 2 画素ブロックを記憶せずに前記先行するパケットの格納アドレスを前記注目パケットの格納アドレスとして前記パケットテーブルに記憶する記憶制御工程と、

を備えることを特徴とする画像処理方法。

【請求項 9】

コンピュータに、

画像データを所定数の画素の集合である複数の画素ブロックに分割する分割工程と、

前記複数の画素ブロックに圧縮処理を実行する圧縮工程と、

前記圧縮工程にて圧縮された画素ブロックと前記画素ブロックに関する画素ブロック情報を示すヘッダとを有するパケットを生成する生成工程と、

前記生成工程にて生成した複数の前記パケットと前記複数のパケットの各々に対応する画素ブロックの格納アドレスを示すパケットテーブルを記憶する記憶工程と、

先行するパケットに対応する第 1 画素ブロックと注目パケットに対応する第 2 画素ブロックが異なるか否かを示す設定情報を前記注目パケットのヘッダに設定する設定工程と、

前記設定情報が前記第 2 画素ブロックと前記第 1 画素ブロックが異なることを示す場合は前記第 2 画素ブロックを前記注目パケットの一部として記憶するとともに前記注目パケットの格納アドレスを前記パケットテーブルに記憶し、前記設定情報が前記第 2 画素ブロックと前記第 1 画素ブロックが等しいことを示す場合は前記第 2 画素ブロックを記憶せずに前記先行するパケットの格納アドレスを前記注目パケットの格納アドレスとして前記パケットテーブルに記憶する記憶制御工程と、

を実行させるためのプログラムを記録したコンピュータ読み取り可能な記録媒体。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正の内容】

【0005】

【課題を解決するための手段】

この課題を解決するため、例えば本発明の画像処理装置は以下の構成を備える。すなわち、

画像データを所定数の画素の集合である複数の画素ブロックに分割する分割手段と、

前記複数の画素ブロックに圧縮処理を実行する圧縮手段と、

前記圧縮手段により圧縮された画素ブロックと前記画素ブロックに関する画素ブロック情報を示すヘッダとを有するパケットを生成する生成手段と、

前記生成手段が生成した複数の前記パケットと前記複数のパケットの各々に対応する画素ブロックの格納アドレスを示すパケットテーブルを記憶する記憶手段と、

先行するパケットに対応する第1画素ブロックと注目パケットに対応する第2画素ブロックが異なるか否かを示す設定情報を前記注目パケットのヘッダに設定する設定手段と、

前記設定情報が前記第2画素ブロックと前記第1画素ブロックが異なることを示す場合は前記第2画素ブロックを前記注目パケットの一部として記憶するとともに前記注目パケットの格納アドレスを前記パケットテーブルに記憶し、前記設定情報が前記第2画素ブロックと前記第1画素ブロックが等しいことを示す場合は前記第2画素ブロックを記憶せずに前記先行するパケットの格納アドレスを前記注目パケットの格納アドレスとして前記パケットテーブルに記憶する記憶制御手段とを備える。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正の内容】

【0039】

【発明の効果】

以上説明したように本発明によれば、画像データを複数の画素ブロックに分割して記憶する場合において、等しい画素ブロックが複数ある場合に記憶容量を削減することができる。