



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년02월05일
(11) 등록번호 10-0881992
(24) 등록일자 2009년01월29일

- (51) Int. Cl.⁹
H01L 21/205 (2006.01)
- (21) 출원번호 10-2002-0030870
- (22) 출원일자 2002년06월01일
심사청구일자 2007년04월18일
- (65) 공개번호 10-2002-0092255
- (43) 공개일자 2002년12월11일
- (30) 우선권주장
JP-P-2001-00167330 2001년06월01일 일본(JP)
(뒷면에 계속)
- (56) 선행기술조사문헌
JP07147245 A*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
아사미타케토미
일본국가나가와켄아쓰기시하세398가부시키가이샤
한도오파이에네루기켄큐쇼내
이치조미츠히로
일본국가나가와켄아쓰기시하세398가부시키가이샤
한도오파이에네루기켄큐쇼내
(뒷면에 계속)
- (74) 대리인
황의단

전체 청구항 수 : 총 14 항

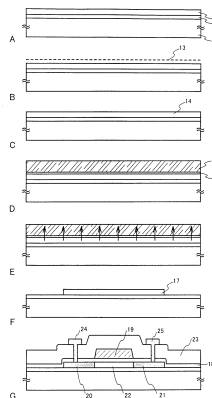
심사관 : 심병로

(54) 반도체장치 제조방법

(57) 요약

반도체막의 결정화를 조장하는 금속원소를 이용하여 결정 구조를 가진 반도체막을 형성한 후, 막에 잔존하는 금속원소를 효과적으로 제거하여 소자간의 편차를 감소시킨다. 케터링 사이트를 형성하는 공정으로서, 플라즈마 CVD법을 사용하여 원료 가스로서 모노실란, 희가스 원소 및 수소를 사용하여 성막하여, 고농도로, 구체적으로는, $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ 의 농도로 희가스 원소를 함유하고 $1 \times 10^{15} \sim 1 \times 10^{17} / \text{cm}^3$ 의 농도로 불소를 함유하는, 비정질 구조를 가진 반도체막, 대표적으로는, 비정질 규소막을 형성한다.

대표도 - 도1



(72) 발명자

스즈키 노리요시

일본국가나가와켄아쓰기시하세398가부시키키가이사한
도오파이에네루기켄큐쇼내

오누마 히데토

일본국가나가와켄아쓰기시하세398가부시키키가이사한
도오파이에네루기켄큐쇼내

요네자와 마사토

일본국가나가와켄아쓰기시하세398가부시키키가이사한
도오파이에네루기켄큐쇼내

(30) 우선권주장

JP-P-2001-00209354 2001년07월10일 일본(JP)

JP-P-2001-00295484 2001년09월27일 일본(JP)

특허청구의 범위

청구항 1

절연 표면 위에 비정질 반도체막을 형성하는 공정;
 상기 비정질 반도체막에 금속원소를 첨가하는 공정;
 상기 비정질 반도체막을 결정화하여 결정성 반도체막을 형성하는 공정;
 상기 결정성 반도체막 위에 배리어(barrier) 층을 형성하는 공정;
 플라즈마 CVD법에 의해 상기 배리어 층 위에, 희가스 원소를 포함하는 반도체막을 형성하는 공정;
 케터링에 의해 상기 결정성 반도체막 내의 금속원소를 상기 희가스 원소를 포함하는 반도체막으로 이동시키는 공정; 및
 상기 희가스 원소를 포함하는 반도체막을 제거하는 공정을 포함하고,
 상기 희가스 원소를 포함하는 반도체막을 형성하는 공정이, 실란, 희가스, 및 수소를 포함하는 원료 가스를 성막실에 도입하고 상기 원료 가스의 플라즈마를 발생시키는 것을 포함하고,
 상기 비정질 반도체막이 $1 \times 10^{18} / \text{cm}^3 \sim 1 \times 10^{22} / \text{cm}^3$ 의 농도로 희가스 원소를 포함하는, 반도체장치 제조방법.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

절연 표면 위에 비정질 반도체막을 형성하는 공정;
 상기 비정질 반도체막에 금속원소를 첨가하는 공정;
 상기 비정질 반도체막을 결정화하여 결정성 반도체막을 형성하는 공정;
 상기 결정성 반도체막의 표면 상에 배리어 층을 형성하는 공정;
 플라즈마 CVD법에 의해 상기 배리어 층 위에, 희가스 원소를 포함하는 반도체막을 형성하는 공정;
 케터링에 의해 상기 결정성 반도체막 내의 금속원소를 상기 희가스 원소를 포함하는 반도체막으로 이동시키는

공정; 및

상기 회가스 원소를 포함하는 반도체막을 제거하는 공정을 포함하고,

상기 회가스 원소를 포함하는 반도체막이, 성막실에 원료 가스로서 실란, 회가스, 및 수소를 도입하여 플라즈마를 발생시키는 플라즈마 CVD법에 의해 형성되는, 반도체장치 제조방법.

청구항 10

절연 표면 위에 제1 반도체막을 형성하는 공정;

플라즈마 CVD법에 의해 상기 제1 반도체막 위에, $1 \times 10^{18} / \text{cm}^3 \sim 1 \times 10^{22} / \text{cm}^3$ 의 농도로 회가스 원소를 포함하는 제2 반도체막을 형성하는 공정;

케터링에 의해, 상기 제1 반도체막 내에 함유된 금속원소를 상기 제2 반도체막으로 이동시키는 공정; 및

상기 제2 반도체막을 제거하는 공정을 포함하고,

상기 제2 반도체막을 형성하는 공정이, 실란, 회가스, 및 수소를 포함하는 원료 가스를 도입하고 상기 원료 가스의 플라즈마를 발생시키는 것을 포함하고,

상기 제1 반도체막이 $1 \times 10^{18} / \text{cm}^3 \sim 1 \times 10^{22} / \text{cm}^3$ 의 농도로 회가스 원소를 포함하는, 반도체장치 제조방법.

청구항 11

절연 표면 위에 제1 반도체막을 형성하는 공정;

상기 제1 반도체막의 표면 상에 배리어 층을 형성하는 공정;

플라즈마 CVD법에 의해 상기 배리어 층 위에, 회가스 원소를 포함하는 제2 반도체막을 형성하는 공정;

케터링에 의해, 상기 제1 반도체막 내에 함유된 금속원소를 상기 제2 반도체막으로 이동시키는 공정; 및

상기 제2 반도체막을 제거하는 공정을 포함하고;

상기 제2 반도체막이, 원료 가스로서 실란, 회가스, 및 수소를 사용하는 플라즈마 CVD법에 의해 형성되는, 반도체장치 제조방법.

청구항 12

제 1 항, 제 9 항, 제 10 항, 제 11 항 중 어느 한 항에 있어서, 상기 실란이 모노실란인, 반도체장치 제조방법.

청구항 13

제 1 항, 제 9 항, 제 10 항, 제 11 항 중 어느 한 항에 있어서, 상기 실란이 모노실란이고, 상기 모노실란 대 상기 회가스의 유량비가 0.1 : 99.9 내지 1 : 9이도록 제어되는, 반도체장치 제조방법.

청구항 14

제 1 항, 제 9 항, 제 10 항, 제 11 항 중 어느 한 항에 있어서, 상기 실란이 모노실란이고, 상기 모노실란 대 상기 회가스의 유량비가 1 : 99 내지 5 : 95이도록 제어되는, 반도체장치 제조방법.

청구항 15

제 1 항 또는 제 9 항에 있어서,

상기 결정성 반도체막을 패터닝하는 공정과,

게이트 절연막을 사이에 두고 상기 결정성 반도체막 위에 게이트 전극을 형성하는 공정을 더 포함하는, 반도체장치 제조방법.

청구항 16

제 10 항 또는 제 11 항에 있어서,

상기 제1 반도체막을 패터닝하는 공정과,

게이트 절연막을 사이에 두고 상기 제1 반도체막 위에 게이트 전극을 형성하는 공정을 더 포함하는, 반도체장치 제조방법.

청구항 17

제 1 항 또는 제 9 항에 있어서, 상기 플라즈마를 발생시킬 때, 상기 성막실 내의 압력이 2.666 Pa~133.3 Pa인, 반도체장치 제조방법.

청구항 18

제 1 항, 제 9 항, 제 10 항, 제 11 항 중 어느 한 항에 있어서, 상기 회가스에 대한 수소의 유량비가 0.2~5이도록 제어되는, 반도체장치 제조방법.

청구항 19

제 1 항, 제 9 항, 제 10 항 중 어느 한 항에 있어서, 상기 플라즈마를 발생시키기 위한 RF 전력 밀도가 $0.0017 \text{ W/cm}^2 \sim 1 \text{ W/cm}^2$ 인, 반도체장치 제조방법.

청구항 20

제 1 항, 제 9 항, 제 10 항, 제 11 항 중 어느 한 항에 있어서, 상기 회가스 원소가, He, Ne, Ar, Kr 및 Xe으로 이루어진 군에서 선택된 1 종류 또는 다수 종류의 원소인, 반도체장치 제조방법.

청구항 21

제 1 항 또는 제 9 항에 있어서, 상기 비정질 반도체막이 $1 \times 10^{15} / \text{cm}^3 \sim 1 \times 10^{17} / \text{cm}^3$ 의 농도로 불소를 함유하는, 반도체장치 제조방법.

청구항 22

삭제

청구항 23

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <29> 본 발명은, 플라즈마 CVD법에 의해 비정질 구조를 가진 반도체막을 제조하는 방법, 이 반도체막을 사용한 박막 트랜지스터(이하, "TFT"라 함)로 구성된 회로를 가진 반도체장치, 및 이들의 제조방법에 관한 것이다. 본 발명은, 예를 들어, 액정 표시 패널로 대표되는 전기광학장치 및 이러한 전기광학장치를 부품으로서 탑재한 전자기기(機器)에 관한 것이다.
- <30> 본 명세서에서, 반도체장치는 반도체 특성을 이용하여 기능하는 장치 전반을 가리킨다. 따라서, 전기광학장치, 반도체 회로 및 전자기기는 모두 반도체장치이다.
- <31> 결정 구조를 가진 반도체막을 사용하는 대표적인 반도체장치로서 박막트랜지스터(이하, "TFT"라 함)가 알려져 있다. TFT는 유리와 같은 절연 기판상에 집적회로를 형성하는 기술로서 주목 받고 있고, 구동회로 일체형 액정 표시장치가 실용화되어 있다. 종래 기술에서, 결정 구조를 가진 반도체막은 플라즈마 CVD법 또는 감압 CVD법에 의해 퇴적된 비정질 반도체막을 가열처리 또는 레이저 어닐법(레이저 빔의 조사에 의해 반도체막을 결정화하는

기술)에 의해 제조되었다.

- <32> 이렇게 제조된 결정 구조를 가진 반도체막은 다수의 결정립의 집합체이고, 그의 결정 방위는 임의의 방향으로 배향되어 제어하기 어렵기 때문에, TFT 특성을 제한하는 요인으로 되어 있다. 이러한 문제점을 해결하기 위해, 일본 공개특허공고 평7-183540호 공보에는, 반도체막의 결정화를 조장하는 니켈과 같은 금속원소를 첨가하여, 결정 구조를 가진 반도체막을 제조하는 기술로서, 결정화에 필요한 온도를 낮출 뿐만 아니라 결정 방위의 배향성을 한 방향으로 높일 수 있는 기술이 개시되어 있다. 이러한 결정 구조를 가진 반도체막으로 TFT를 형성하면, 전계효과 이동도가 증가할 뿐만 아니라 서브스레시홀드 계수(S값)가 감소하고, 전기적 특성을 비약적으로 향상시킬 수 있다.
- <33> 결정화를 조장하는 금속원소를 사용함으로써, 결정화에 있어서의 핵 발생을 제어할 수 있기 때문에, 핵 발생이 랜덤한 다른 결정화 방법에 비하여 얻어지는 막질(膜質)이 균일하고, 이상적으로는, 금속원소를 완전히 또는 허용 범위까지 제거하는 것이 바람직하다. 그러나, 결정화를 조장하는 금속원소를 사용할 경우, 결정 구조를 가진 반도체막의 내부 또는 표면에 금속원소가 잔류하게 되고, 얻어지는 소자의 특성 편차의 원인이 된다. 예를 들어, TFT에서 오프 전류가 증가하고, 소자간 편차의 원인이 된다. 즉, 결정 구조를 가진 반도체막이 형성되면, 결정화를 조장하는 금속원소는 오히려 불필요하게 된다.
- <34> 인을 이용한 게터링(gettering)은 결정 구조를 가진 반도체막의 특정 영역으로부터 결정화를 조장하는 금속원소를 제거하는 방법으로서 효과적으로 활용되고 있다. 예를 들어, TFT의 소스/드레인 영역에 인을 첨가하고 450~700℃로 열처리를 행할 경우, 채널 형성 영역으로부터 금속원소를 쉽게 제거할 수 있다.
- <35> 인은 이온 도핑법(PH₃ 등을 플라즈마로 분해시켜 이온을 전계로 가속시켜 반도체에 주입하는 방법으로, 기본적으로 이온의 질량 분리를 행하지 않는 방법을 가리킨다)에 의해 결정 구조를 가진 반도체막에 주입된다. 그러나, 게터링을 행하기 위해 필요한 인의 농도는 $1 \times 10^{20} / \text{cm}^3$ 이상이다. 이온 도핑법에 의한 인의 첨가는 결정 구조를 가진 반도체막의 비정질화를 초래하고, 인 농도의 증가는 그 후의 어닐에 의한 재결정화를 방해한다. 또한, 고농도로 인을 첨가하면, 도핑에 필요한 처리 시간이 증가하게 되어, 도핑 공정에서의 스루풋을 저하시키는 문제가 발생하게 된다.
- <36> 또한, 도전형을 반전시키기 위해 필요한 붕소의 농도는 p채널형 TFT의 소스/드레인 영역에 첨가한 인의 농도보다 1.5~3배가 필요하여, 재결정화의 어려움에 수반하여 소스/드레인 영역의 고저항화를 초래하는 문제가 있다.
- <37> 게터링이 충분히 행해지지 않고 기판 내에서 불균일하게 되면, TFT 특성에 약간의 차이 또는 불균일이 발생한다. 투과형 액정 표시장치의 경우, 화소부에 배치되는 TFT의 전기적 특성이 불균일하면, 화소 전극에 인가되는 전압도 불균일하게 되어, 투과 광량에도 불균일이 발생되고, 이것이 표시 얼룩이 되어 관찰자의 눈에 인지된다.
- <38> 또한, OLED를 사용한 발광장치의 경우, TFT는 액티브 매트릭스 구동방식을 실현하는데 필수 소자로 되어 있다. 따라서, OLED를 사용한 발광장치는 적어도 스위칭 소자로 기능하는 TFT 및 OLED에 전류를 공급하는 TFT가 각 화소에 제공되어야 한다. 화소의 회로 구성 및 구동방법에 관계없이, 화소의 휘도는 OLED에 전기적으로 접속되어 OLED에 전류를 공급하는 TFT의 온(on) 전류(I_{on})에 의해 결정된다. 따라서, 백색이 전면에서 표시될 경우, 온 전류가 일정하지 않으면 휘도 불균일이 발생하게 된다.

발명이 이루고자 하는 기술적 과제

- <39> 본 발명은 상기한 문제들을 해결하는 수단에 관한 것으로, 반도체막의 결정화를 조장하는 금속원소를 이용하여 결정 구조를 가진 반도체막을 얻은 후, 막 내에 잔존하는 금속원소를 효과적으로 제거하는 기술을 제공하는 것을 목적으로 한다.
- <40> 게터링 기술은 단결정 규소 웨이퍼를 이용한 집적회로의 제조에서 주요한 기술로서 위치를 차지하고 있다. 게터링은 반도체 내에 포획된 금속 불순물을 약간의 에너지로 게터링 사이트(site)로 편석시켜 소자의 능동 영역의 불순물 농도를 낮추는 기술이다. 게터링은 외부(extrinsic) 게터링과 내부(intrinsic) 게터링의 2가지로 대략 분류될 수 있다. 외부 게터링의 경우, 외측으로부터 변형장(distorted field) 또는 화학 작용을 가하여 게터링 효과를 유발한다. 이것은 고농도의 인 이온을 단결정성 규소 웨이퍼의 배면으로부터 확산시키는 게터링으로 대표된다. 인을 이용한 상기 게터링도 외부 게터링의 일종으로 간주될 수 있다.
- <41> 한편, 내부 게터링은 단결정 규소 웨이퍼 내부에 생성된 산소가 관여하는 격자 결함의 변형장을 이용하는 기술

이다. 본 발명은 격자 결함 또는 격자 변형을 이용하는 내부 게터링에 기초하고 있고, 약 10~100 nm의 두께를 가지고 결정 구조를 가지는 반도체막에 적용하기 위해 이하의 수단을 채용하고 있다.

발명의 구성 및 작용

- <42> 본 발명은, 반도체막의 결정화를 조장하는 금속원소를 이용하여 절연 표면 상에 결정 구조를 가진 제1 반도체막을 형성하는 공정과, 제1 반도체막 상에 에칭 스톱퍼으로 작용하는 막(배리어(barrier) 층)을 형성하는 공정과, 그 배리어 층 상에 희가스 원소를 함유하는 제2 반도체막(게터링 사이트)을 형성하는 공정과, 금속원소를 게터링 사이트로 게터링하는 공정과, 제2 반도체막을 제거하는 공정을 포함한다.
- <43> 본 발명에 따라 게터링 사이트를 형성하는 공정에서는, 플라즈마 CVD법에 의해 원료 가스로서 모노실란, 희가스 원소 및 수소를 사용하여 성막하여, 희가스 원소를 고농도로 함유하고 비정질 구조를 가진 반도체막, 대표적으로는, 비정질 규소막으로 하는 것이다. 또한, 모노실란 대신에 디실란 또는 트리실란을 사용하는 것도 가능하다. 플라즈마 CVD법의 경우, 가스로 성막실(체임버라고도 부름)의 내부를 세정할 수 있어, 스퍼터링법에 비해 유지(maintenance)를 덜 요하므로, 대량 생산에 적합한 성막방법이다.
- <44> 또한, 이 방법은 원료 가스의 하나로서 수소를 사용하여 성막하기 때문에, 원료 가스의 하나로서 수소를 사용하지 않는 경우에 비해 막 중에 수소가 감소된 농도로 함유되어 있다. 또한, 원료 가스의 하나로서 수소를 사용하여 성막하기 때문에, 원료 가스의 하나로서 수소를 사용하지 않는 경우에 비해 막 중에 불소도 감소된 농도로 함유되어 있다.
- <45> 본 명세서에 개시된 본 발명에 따라 구성된 반도체막 제조방법은, 원료 가스로서 모노실란, 희가스 원소 및 수소를 성막실에 도입하는 공정과, 플라즈마를 발생시키는 공정과, 막이 형성될 표면 상에 희가스 원소를 $1 \times 10^{18} \sim 1 \times 10^{22} / \text{cm}^3$ 의 농도로 함유하고 비정질 구조를 가진 반도체막을 형성하는 공정을 포함한다.
- <46> 상기 구성에서 플라즈마를 발생시킬 때, 성막실 내의 압력은 2.666 Pa~133.3 Pa, 바람직하게는, 53.32 Pa(0.4 Torr) 이하인 것이 바람직하다.
- <47> 또한, 상기 구성에서, 희가스에 대한 수소의 유량비(H_2 /희가스)는 0.2~5로 제어된다.
- <48> 또한, 상기 구성에서, 플라즈마를 발생시키는 RF 전력 밀도는 $0.0017 \text{ W/cm}^2 \sim 1 \text{ W/cm}^2$ 이다. RF 전력 밀도가 1 W/cm^2 보다 작지 않으면, 막이 가루로 되거나 막 표면에 반구형 기포를 형성하는 등의 결함을 가진다.
- <49> 또한, 상기 구성에서, 원료 가스로서 모노실란, 희가스 원소 및 수소를 사용하고, 모노실란:희가스의 비율 0.1:99.9~1:9, 바람직하게는, 1:99~5:95로 제어하면서 성막함으로써, 희가스 원소를 고농도로 함유하고 비정질 구조를 가지는 반도체막, 대표적으로는, 비정질 규소막을 얻는다. 또한, 모노실란 대신에 디실란 또는 트리실란을 사용하는 것도 가능하다. 성막 온도는 300~500℃인 것이 바람직하다.
- <50> 또한, 상기 구성에서, 반도체막 중의 불소 농도는 $2 \times 10^{16} / \text{cm}^3 \sim 8 \times 10^{16} / \text{cm}^3$, 바람직하게는, $1 \times 10^{15} / \text{cm}^3 \sim 1 \times 10^{17} / \text{cm}^3$ 이다.
- <51> 본 명세서에 개시된 본 발명에 따라 구성된 반도체장치 제조방법은, 절연 표면 상에 비정질 구조를 가진 제1 반도체막을 형성하는 제1 공정과, 비정질 구조를 가진 제1 반도체막에 금속원소를 첨가하는 제2 공정과, 제1 반도체막을 결정화시켜 결정 구조를 가진 제1 반도체막을 형성하는 제3 공정과, 결정 구조를 가진 제1 반도체막의 표면 상에 배리어 층을 형성하는 제4 공정과, 그 배리어 층 상에 플라즈마 CVD법에 의해 희가스 원소를 함유하는 제2 반도체막을 형성하는 제5 공정과, 금속원소를 제2 반도체막으로 게터링하여, 결정 구조를 가진 제1 반도체막 중의 금속원소를 제거 또는 감소시키는 제6 공정과, 제2 반도체막을 제거하는 제7 공정을 포함한다.
- <52> 상기 구성에서, 제2 반도체막은 성막실에 원료 가스로서 모노실란, 희가스 및 수소를 도입하여 플라즈마를 발생시키는 플라즈마 CVD법에 의해 형성된다.
- <53> 또한, 상기 구성에서, 금속원소는 규소의 결정화를 조장하는 것으로, Fe, Ni, Co, Ru, Rh, Pd, Os, Ir, Pt, Cu 및 Au로부터 선택된 일 종류 또는 다수 종류의 원소이다.
- <54> 또한, 상기 구성에서, 희가스 원소는 He, Ne, Ar, Kr 및 Xe로부터 선택된 일 종류 또는 다수 종류의 원소이다.

<55> [실험 1]

<56> 플라즈마 CVD법에 의해 원료 가스로서 모노실란, 아르곤 및 수소를 사용하여 반도체 기판 상에 형성된 비정질 규소막 중의 아르곤 농도의 RF 전력 밀도 의존성을 조사하기 위한 실험을 행하였다.

<57> 먼저, 반도체 기판을 체임버 내로 이송하여, 가열한 후 300℃로 유지하고, 체임버 내의 압력을 배기계에 의해 66.65 Pa(0.5 Torr)로 되게 조정하였다. 이어서, 가스 도입계로부터 체임버 내로 SiH₄ 가스를 100 sccm의 유량으로 도입하고, RF 전원으로부터 27.12 MHz의 방전 주파수 및 20 W의 RF 전력(0.033 W/cm²의 RF 전력 밀도(전극 면적 600 cm²))으로 방전시키면서 플라즈마 CVD법에 의해 제1 비정질 규소막을 형성하였다. 이 제1 비정질 규소막은 참조(레퍼런스)용이다.

<58> 그 다음, 제1 비정질 규소막 상에 두께 200 nm의 제2 비정질 규소막을 형성하였다. 이 제2 비정질 규소막은, 온도를 300℃로 유지한 후, 배기계에 의해 체임버 내의 압력이 26.66 Pa(0.2 Torr)가 되도록 조정하고, 가스 도입계로부터 체임버 내에 SiH₄ 가스를 100 sccm의 유량으로, 아르곤 가스를 500 sccm의 유량으로 그리고 질소 가스를 200 sccm의 유량으로 도입하고, RF 전원으로부터 27.12 MHz의 방전 주파수 및 20 W의 RF 전력(0.033 W/cm²의 RF 전력 밀도(전극 면적 600 cm²))으로 방전시키면서 플라즈마 CVD법에 의해 형성되었다.

<59> 이어서, 투입 RF 전력 조건만을 변경시킨 상태에서 제2 비정질 규소막 상에 제3 비정질 규소막(RF 전력 밀도 0.166 W/cm²), 제4 비정질 규소막(RF 전력 밀도 0.333 W/cm²), 및 제5 비정질 규소막(RF 전력 밀도 0.5 W/cm²)을 순차로 형성하였다.

<60> 이렇게 하여 반도체 기판상에 얻어진 적층막에 대하여 SIMS 분석을 행하였다. 막 중의 아르곤 농도를 측정된 결과를 도 2(A)에 나타내고, 불소 농도를 측정된 결과를 도 2(B)에 나타내고, 질소 농도를 측정된 결과를 도 3(A)에 나타내고, 산소 농도를 측정된 결과를 도 3(B)에 나타낸다. 도 3(A)로부터 막 중의 질소 농도는 1×10¹⁶ ~ 1×10¹⁷ /cm³이고, 도 3(B)로부터 막 중의 산소 농도는 4×10¹⁷ ~ 3×10¹⁸ /cm³인 것을 알 수 있다. 도면에 나타내지는 않았으나, 막 중의 탄소 농도는 1×10¹⁶ ~ 5×10¹⁷ /cm³이었다.

<61> 도 2(A), 도 2(B), 도 3(A) 및 도 3(B)로부터 명백한 바와 같이, 원료 가스로서 수소, 아르곤 및 모노실란 가스를 사용한 결과, 비정질 규소막 중의 아르곤 농도가 1×10²⁰ ~ 1×10²¹ /cm³까지 증가하였다. 따라서, 수소, 아르곤 및 모노실란 가스를 원료 가스로 사용하는 플라즈마 CVD법에 의해, 고농도, 구체적으로는, 1×10²⁰ ~ 1×10²¹ /cm³의 농도로 아르곤을 함유하는 비정질 규소막을 형성할 수 있다. 한편, 원료 가스로서 모노실란과 아르곤 가스만을 사용한 경우에는, 막 중의 아르곤 농도가 약 1×10¹⁸ /cm³ 정도, 즉, 5×10¹⁷ ~ 2×10¹⁸ /cm³ 정도로 함유되었다.

<62> 또한, 원료 가스로서 수소, 아르곤 및 모노실란 가스를 사용함으로써, 비정질 규소막 중의 불소 농도가 2×10¹⁶ ~ 8×10¹⁶ /cm³까지 저감되었다.

<63> 또한, RF 전력 밀도를 증가시킴에 따라 비정질 규소막 중의 아르곤 농도가 증가하였다. 그러나, RF 전력 밀도를 증가시켜도 막 중의 불소, 질소, 산소 또는 탄소 농도는 거의 변화가 보이지 않았다.

<64> [실험 2]

<65> 다음에, 플라즈마 CVD법을 사용하고 체임버 내의 압력 조건을 변화시키면서 비정질 규소막 중의 아르곤 농도의 체임버 내의 압력 의존성을 조사하였다.

<66> 먼저, 실험 1과 동일한 조건으로 플라즈마 CVD법에 의해 참조용의 제1 비정질 규소막을 반도체 기판 상에 형성하였다.

<67> 그 다음, 제1 비정질 규소막 상에 두께 200 nm의 제2 비정질 규소막을 형성하였다. 이 제2 비정질 규소막은, 온도를 300℃로 유지한 후, 배기계에 의해 체임버 내의 압력을 5.332 Pa(0.04 Torr)이 되게 조절하고, 가스 도입계로부터 SiH₄ 가스를 100 sccm의 유량으로, 아르곤 가스를 200 sccm의 유량으로 그리고 수소 가스를 50 sccm

의 유량으로 도입하고, RF 전원으로부터 27.12 MHz의 방전 주파수 및 20 W의 RF 전력(0.033 W/cm²의 RF 전력 밀도)으로 방전시키면서 플라즈마 CVD법에 의해 형성되었다.

<68> 그 다음, 챔버 내의 압력과 가스 유량의 조건을 변화시키면서 제2 비정질 규소막 상에 제3 비정질 규소막(압력 = 4 Pa(0.03 Torr), SiH₄ 가스 유량 100 sccm, 아르곤 가스 유량 50 sccm, 수소 가스 유량 40 sccm), 및 제 4 비정질 규소막(압력 = 2.666 Pa(0.02 Torr), SiH₄ 가스 유량 100 sccm, 아르곤 가스 유량 15 sccm, 수소 가스 유량 12 sccm)을 순차로 적층 형성하였다.

<69> 그 다음, 이렇게 하여 반도체 기판상에 얻어진 적층막에 대하여 SIMS 분석을 행하였다. 막 중의 아르곤 농도를 측정된 결과를 도 4(A)에 나타내고, 불소 농도를 측정된 결과를 도 4(B)에 나타내고, 질소 농도를 측정된 결과를 도 5(A)에 나타내고, 산소 농도를 측정된 결과를 도 5(B)에 나타낸다. 탄소 농도는 $1 \times 10^{16} \sim 5 \times 10^{17} / \text{cm}^3$ 이었다.

<70> 도 4(A), 도 4(B), 도 5(A) 및 도 5(B)로부터 명백한 바와 같이, 압력이 감소함에 따라, 즉, 진공도가 증가함에 따라, 비정질 규소막 중의 아르곤 농도가 감소하였다. 그러나, 압력을 감소시켜도 막 중의 불소, 질소, 산소 및 탄소 농도는 거의 변화가 보이지 않았다.

<71> [실험 3]

<72> 여기서는, 플라즈마 CVD법에 의해 모노실란, 아르곤 원소 및 수소를 원료 가스로 하여 형성한 비정질 규소막의 막질에 대하여 설명한다.

<73> 모노실란, 아르곤 원소 및 수소를 원료 가스로 하여 형성한 비정질 규소막을 푸리에 변환 적외선 분광법(FT-IR법)에 의해 얻어진 분광 스펙트럼 데이터를 도 16에 나타낸다. 도 16에서는, 640/cm의 파수(波數)에서 Si-Si 결합의 피크가 보이고, 2020/cm의 파수에서도 다른 피크가 보인다. 2000/cm의 파수는 Si-H 결합의 피크에 대응하고, 2100/cm의 파수는 Si-H₂ 결합의 피크에 대응하는 것을 알 수 있다. 도 16의 2020/cm의 파수에서의 피크는 주로 Si-H 결합 및 소량의 Si=H₂ 결합 때문이다.

<74> 이하, 본 발명의 실시형태에 대하여 상세히 설명한다.

<75> [실시형태 1]

<76> 본 발명에 따른 대표적인 TFT 제조과정을 도 1(A)~도 1(G)를 참조하여 이하 간단히 설명한다. 여기서는, 게터링 사이트로서, 희가스 원소를 함유하고 본 발명의 비정질 구조를 가진 반도체막을 사용하는 예를 설명한다.

<77> 도 1(A)에서, 부호 10은 절연 표면을 가진 기판을 나타내고, 부호 11은 블록킹층으로서 작용하는 절연막을 나타내고, 부호 12는 비정질 구조를 가진 반도체막을 나타낸다.

<78> 도 1(A)에서, 기판(10)은 유리 기판, 석영 기판 또는 세라믹 기판일 수 있다. 또한, 실리콘 기판, 금속 기판 또는 스테인리스 강 기판의 표면에 절연막이 형성된 것을 사용할 수도 있다. 또한, 본 공정의 처리 온도에 견딜 수 있는 내열성을 가지는 플라스틱 기판도 사용될 수 있다.

<79> 도 1(A)에 도시된 바와 같이, 먼저, 기판(10) 상에, 산화규소막, 질화규소막 또는 산화질화규소막(SiN_xO_y)과 같은 하지 절연막(11)을 형성한다. 대표적으로는, 하지 절연막(11)은 2층 구조로 이루어지고, SiH₄, NH₃ 및 N₂O를 반응 가스로 사용하여 50~100 nm의 두께로 형성되는 제1 산화질화규소막과, SiH₄ 및 N₂O를 반응 가스로 사용하여 100~150 nm의 두께로 형성되는 제2 산화질화규소막으로 이루어져 있다. 또한, 하지 절연막(11)의 제1 층은 10 nm 이하의 두께를 가진 질화규소막(SiN막)이거나 제2 산화질화규소막(SiN_xO_y)(x ≫ y)인 것이 바람직하다. 게터링시, 니켈은 산소 농도가 높은 영역으로 이동하는 경향이 있다. 따라서, 반도체막과 접하고 있는 하지 절연막이 질화규소막인 것은 매우 유효하다. 제1 산화질화규소막, 제2 산화질화규소막 및 질화규소막을 순차로 적층한 3층 구조를 사용하는 것도 가능하다.

<80> 그 다음, 하지 절연막 상에 비정질 구조를 가진 제1 반도체막(12)을 형성한다. 제1 반도체막(12)은 규소를 주 성분으로 하는 반도체 재료로 형성된다. 대표적으로는, 플라즈마 CVD법, 감압 CVD법 또는 스퍼터링법에 의해 비정질 규소막 또는 비정질 규소-게르마늄막을 10~100 nm의 두께로 형성한다. 후의 결정화를 통해 양호한 결정 구조를 가지는 반도체막을 얻기 위해, 비정질 구조를 가진 제1 반도체막(12)에 함유된 산소 및 질소와 같은

불순물의 농도를 $5 \times 10^{18} / \text{cm}^3$ (이차 이온 질량 분석법(SIMS)으로 측정된 원자 농도) 이하로 하는 것이 바람직하다. 이들 불순물은 후의 결정화를 방해하는 요인으로서 작용한다. 결정화 후에도, 이들 불순물은 트랩 중심 및 재결합 중심의 밀도를 증가시키는 요인이 된다. 따라서, 고순도의 원료 가스를 사용하는 것 외에, 반응실의 내부를 경면(鏡面) 처리(전계 연마 처리)하고 무오일(oil-free) 진공배기계를 구비한 초고진공 처리를 위해 고안된 CVD 장치를 이용하는 것이 바람직하다.

<81> 그 다음, 비정질 구조를 가진 제1 반도체막(12)을 일본 공개특허공고 8-78329호 공보에 개시된 기술을 이용하여 결정화한다. 이 공보의 기술은 결정화를 조장하는 금속원소를 비정질 규소막에 선택적으로 첨가한 후 가열하여, 금속원소가 첨가된 영역으로부터 확산하는 결정 구조를 가진 결정성 반도체막을 형성하는 것이다. 먼저, 비정질 구조를 가진 제1 반도체막(12)의 표면에, 결정화를 조장하는 촉매 기능을 나타내는 금속원소(여기서는, 니켈)를 증량 환산으로 1~100 ppm 함유하는 초산 니켈 용액을 스피너를 이용하여 도포하여 니켈 함유층(13)을 형성한다(도 1(B)). 이 도포 방법 외에도, 스퍼터링법, 증착법 또는 플라즈마 처리에 의한 매우 얇은 막을 형성하는 방법 등의 다른 방법으로 니켈 함유층(13)을 형성할 수도 있다. 본 실시형태에서는 표면 전체에 도포하는 것을 예로 들었으나, 마스크를 형성하여 니켈 함유층을 선택적으로 형성하는 것도 가능하다.

<82> 그 다음, 결정화를 위해 가열처리를 행한다. 이 경우, 반도체의 결정화를 조장하도록 금속원소가 접하여 있는 반도체막의 부분에 실리사이드가 형성되고, 이 실리사이드를 핵으로 하여 결정화가 진행된다. 그리하여, 도 1(C)에 도시된 바와 같이, 결정 구조를 가진 제1 반도체막(14)이 형성된다. 결정화 후의 제1 반도체막(14)내의 산소 농도는 $5 \times 10^{18} / \text{cm}^3$ 이하인 것이 바람직하다. 여기서는, 탈수소화를 위한 열처리(450℃, 1시간) 후에, 결정화를 위한 열처리(550~650℃, 4~24시간)를 행한다. 강광(强光)의 조사에 의해 결정화를 행하는 경우, 적외광, 가시광 또는 자외광 또는 이들의 조합 중의 어느 하나를 사용할 수 있다. 대표적으로는, 할로겐 램프, 금속 할라이드 램프, 크세논 아크 램프, 탄소 아크 램프, 고압 나트륨 램프 또는 고압 수은 램프로부터 방출되는 광을 사용한다. 광원을 1~60초, 바람직하게는 30~60초간 1~10회 반복적으로 점등하여, 반도체막을 순간적으로 약 600~1000℃까지 가열한다. 필요에 따라서는, 강광의 조사 전에, 비정질 구조를 가진 제1 반도체막(14)에 함유된 수소를 방출시키기 위한 열처리를 행할 수도 있다. 또한, 열처리와 강광의 조사를 동시에 행하여 결정화하는 것도 가능하다. 생산성을 고려하여, 강광의 조사에 의해 결정화를 행하는 것이 바람직하다.

<83> 이렇게 얻어진 제1 반도체막(14)내에는 금속원소(여기서는, 니켈)가 잔존한다. 금속원소는 막 내에 균일하게 분포되어 있지 않을 수도 있으나 $1 \times 10^{19} / \text{cm}^3$ 를 초과하는 평균 농도로 잔존하고 있다. 이러한 상태에서도, TFT 뿐만 아니라 각종 다른 반도체 소자를 형성하는 것이 가능하지만, 금속원소는 아래에서 설명하는 방법에 의해 제거된다.

<84> 그 다음, 결정화율(막의 전체 용적에서의 결정 성분의 비율)을 증가시키고 결정립 내에 잔존하는 결함을 보수하기 위해, 결정 구조를 가진 제1 반도체막에 레이저 빔을 조사하는 것이 바람직하다. 레이저 빔을 조사하면, 표면에 얇은 산화막(도시되지 않음)이 형성된다. 레이저 빔으로서, 400 nm 이하의 파장을 가진 엑시머 레이저 빔, YAG 레이저의 제2 고조파 또는 제3 고조파를 사용한다. 또한, 연속 발진 레이저(YAG 레이저, YVO₄ 레이저, YLF 레이저, YA10₃ 레이저, 유리 레이저, 루비 레이저, 알렉산드라이트 레이저 또는 티탄:사파이어 레이저)를 사용하여 기본파의 제2 고조파 내지 제4 고조파를 조사할 수도 있다. 대표적으로는, Nd:YVO₄ 레이저(기본파, 1064 nm)의 제2 고조파(532 nm) 또는 제3 고조파(355 nm)를 사용할 수도 있다. 연속 발진 레이저를 사용하는 경우, 출력 10 W의 연속 발진 YVO₄ 레이저로부터 방출된 레이저 빔을 비선형 광학 소자를 통해 고조파로 변환시킨다. 또는, 공진기내에 YVO₄ 결정 및 비선형 광학 소자를 일체화하여 고조파를 방출시키는 방법을 사용할 수도 있다. 광학계에 의해 피조사면에서의 형상이 직사각형 또는 타원형인 레이저 빔을 형성하여 피처리물에 조사하는 것이 바람직하다. 피조사면 상에서의 레이저 빔의 형상(레이저 스폿)은 광학계의 빔 형성 수단에 의해 짧은 직경이 3~100 μm이고 긴 직경이 100 μm 이상인 타원형이 되도록 설정된다. 타원형 대신에, 레이저 빔은 짧은 변의 길이가 3~100 μm이고 긴 변의 길이가 100 μm 이상인 직사각형 형상으로 될 수도 있다. 상기한 형상은 기관의 표면을 레이저 빔으로 효율적으로 어닐하는 관점에서 직사각형 또는 타원형으로 한다. 여기서는, 레이저 빔이 레이저 어닐에 적합한 에너지 밀도를 가지는 경우, 실시자가 긴 직경(또는 긴 변)의 길이를 적당히 결정할 수 있다는 관점에서 긴 직경(또는 긴 변)의 길이를 100 μm 이상으로 한다. 이 경우, 에너지 밀도는 약 0.01~100 MW/cm² (바람직하게는 0.01~10 MW/cm²)이어야 한다. 약 10~2000 cm/s의 속도로 반도체막을 레이저 빔에 대하여 상대적으로 이동시키면서 레이저 빔을 조사할 수도 있다.

- <85> 결정화후 레이저 빔의 조사에 의해 형성된 산화막은 충분하지 않다. 따라서, 오존 함유 수용액(대표적으로는, 오존수)을 사용하여 산화막(화학적 산화물이라고 불림)을 형성하여, 전체 두께가 1~10 nm인 산화막으로 된 배리어 층(15)을 형성하고, 이 배리어 층(15) 상에 회가스 원소를 함유하는 제2 반도체막(16)을 형성한다(도 1(D)). 여기서는, 결정 구조를 가진 제1 반도체막(14)에 레이저 빔을 조사하여 형성한 산화막도 배리어 층의 일부로 간주된다. 배리어 층(15)은 후의 공정에서 제2 반도체막(16)만을 선택적으로 제거할 때 에칭 스톱퍼로서 작용한다. 화학적 산화물은 오존 함유 수용액을 사용하는 대신에, 황산, 염산, 질산 및 과산화 수소를 혼합한 수용액으로의 처리에 의해서도 마찬가지로 형성될 수 있다. 또한, 배리어 층(15)은 산화 분위기에서의 적외선 조사에 의해 오존을 발생시켜 결정 구조를 가진 반도체막의 표면을 산화시킴으로써 형성될 수도 있다. 또한, 배리어 층(15)은 플라즈마 CVD법, 스퍼터링법 또는 증착법에 의해 약 1~10 nm의 두께로 산화막을 퇴적하여 형성할 수도 있다. 배리어 층을 플라즈마 CVD법, 스퍼터링법 또는 증착법으로 형성하는 경우, 결정 구조를 가진 반도체막의 표면을 세척하여, 자연 산화막 또는 레이저 빔 조사에 의해 형성된 산화막을 제거한 후에 배리어 층을 형성하는 것이 바람직하다.
- <86> 플라즈마 CVD법을 사용하여 배리어 층을 형성하는 경우, 원료 가스로서 실란 가스(모노실란, 디실란 또는 트리실란) 및 질소 산화물 가스(NO_x로 표현될 수 있는 가스)를 사용하고 펄스 발진에 의해 성막한다. 즉, 원료 가스로 모노실란(SiH₄) 및 아산화질소(N₂O), 또는 TEOS 가스 및 N₂O, 또는 TEOS 가스, N₂O 가스 및 O₂를 사용하여 10 nm 이하, 바람직하게는 5 nm 이하의 두께로 산화질화규소막을 형성한다. 오존 함유 수용액(대표적으로는, 오존수)을 사용하여 얻어지는 산화막(화학적 산화물이라고도 불림) 및 산화 분위기에서의 자외선 조사에 의해 오존을 발생시켜 결정 구조를 가진 반도체막의 표면을 산화시켜 형성되는 산화막과 비교하여, 상기 산화질화규소막은 결정 구조를 가진 제1 반도체막에 매우 긴밀하게 부착되고, 후의 공정(제2 반도체막을 형성하는 공정)에서 박리되지 않는다. 밀착성을 더욱 향상시키기 위해, 배리어 층의 형성 전에 아르곤 플라즈마에 의한 처리를 행할 수도 있다. 또한, 게터링 공정에서, 상기 범위 내의 두께를 가진 산화질화규소막은 금속원소가 배리어 층을 통과하여 게터링 사이트로 이동하는 것을 가능하게 한다.
- <87> 또한, 배리어 층을 형성하기 위해 플라즈마 CVD법을 사용하는 경우, 대기와의 접촉 없이 회가스 원소를 함유하는 제2 반도체막 및 배리어 층을 형성할 수 있다. 또한, 제2 반도체막 및 배리어 층이 동일 처리실 내에서 연속하여 형성되어 스루풋을 높일 수도 있다.
- <88> 또한, 배리어 층(15)은 얇은 산화막을 형성하도록 약 200~350℃로 청정 오븐을 가열하여 형성될 수도 있다. 상기한 방법들 중 어느 하나 또는 이들 방법의 조합에 의해 형성된 배리어 층(15)은 후의 게터링에서 제1 반도체막 층의 니켈이 제2 반도체막으로 이동하는 것을 가능하게 하는 막질 또는 막 두께를 가져야 한다. 본 명세서에서, 배리어 층은 게터링 공정에서 금속원소가 통과할 수 있게 하는 막질 또는 막 두께를 가지고, 또한 게터링 사이트가 되는 층을 제거하는 공정에서 에칭 스톱퍼로서 작용하는 층이다.
- <89> 여기서는, 회가스 원소를 함유하는 제2 반도체막(16)을 플라즈마 CVD법에 의해 형성하여 게터링 사이트를 형성한다. 회가스 원소로서는, 헬륨(He), 네온(Ne), 아르곤(Ar), 크립톤(Kr) 및 크세논(Xe)으로부터 선택된 1종 또는 다수 종류의 원소를 사용할 수 있다. 이들 중에, 저렴한 가스인 아르곤(Ar)을 사용하는 것이 바람직하다. 여기서는, 원료 가스로서 모노실란, 아르곤 및 수소를 사용하여 $1 \times 10^{18} \sim 1 \times 10^{22} / \text{cm}^3$, 바람직하게는 $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ 의 농도로 아르곤을 함유하여 게터링 효과가 얻어지는 제2 반도체막을 플라즈마 CVD법에 의해 형성한다. 제2 반도체막에서는, 불소 농도가 $2 \times 10^{16} \sim 8 \times 10^{16} / \text{cm}^3$ 까지 감소되고, 수소 농도도 비교적 작은 값으로 된다.
- <90> 불활성 가스를 형성하는 회가스 원소 이온을 막 내에 함유시키는 이유는 2가지가 있다. 한가지 이유는 땀글링 결합(dangling bond)을 형성하여 반도체막에 왜곡(distortion)을 부여하기 위한 것이고, 다른 하나의 이유는 반도체막의 격자 사이에 왜곡을 부여하기 위한 것이다. 규소보다 원자 반경이 큰 아르곤(Ar), 크립톤(Kr) 또는 크세논(Xe) 등의 원소를 사용하는 경우 현저한 정도로 반도체막의 격자 사이가 왜곡이 부여된다. 막 내에 함유되어 있는 회가스 원소로 인해, 격자 왜곡뿐만 아니라, 게터링 작용을 얻는데 기여하는 비대칭 결합도 형성된다.
- <91> 그 다음, 열처리를 행하여 제1 반도체 소자에 함유된 금속원소(니켈)의 농도를 감소시키거나 그 금속원소를 제거하기 위한 게터링을 행한다(도 1(E)). 게터링은 광량의 조사 또는 열처리에 의해 행해진다. 게터링으로 인해, 금속원소가 도 1(E)의 화살표의 방향(즉, 기판 측으로부터 제2 반도체막의 표면 쪽의 방향)으로 이동하여, 배리어 층(15)으로 덮인 제1 반도체층(14)에 함유된 금속원소가 제거되거나 또는 그 층 내의 금속원소의 농도가

감소된다. 게터링 시에 금속원소가 이동하는 거리는 적어도 대략 제1 반도체막의 두께이어야 하고, 게터링은 비교적 단시간 내에 달성된다. 여기서는, 니켈이 모두 제2 반도체막(16)으로 이동하여 제1 반도체막(14)에 편석하지 않는다. 즉, 제1 반도체막(14)에는 니켈이 거의 함유되어 있지 않다. 즉, 막 내의 니켈 농도가 $1 \times 10^{18} / \text{cm}^3$ 이하, 바람직하게는 $1 \times 10^{17} / \text{cm}^3$ 이하가 되도록 충분한 정도로 게터링이 행해진다.

<92> 게터링을 위한 열처리 조건 또는 제2 반도체막의 두께에 따라, 제2 반도체막은 부분적으로 결정화되는 일이 있을 수 있다. 제2 반도체막이 결정화되면, 덩글링 결합, 격자 왜곡 및 비대칭 결합이 감소하게 되고, 게터링 효과가 감소한다. 따라서, 열처리 조건 및 제2 반도체막의 두께를 제2 반도체막이 결정화되지 않도록 정하는 것이 바람직하다. 여하튼, 제2 반도체막, 즉, 희가스 원소를 함유하는 비정질 규소막은 희가스 원소를 함유하지 않는 비정질 규소막보다 결정화되기 어려워, 게터링 사이트로서 가장 적합하다.

<93> 게터링을 위한 열처리 조건에 따라, 게터링과 동시에 제1 반도체막의 결정화율을 높여, 결정립 내에 남겨진 결합을 보수할 수 있다. 즉, 결정화율을 향상시킬 수 있다.

<94> 본 명세서에서, 게터링이란, 게터링되는 영역(여기서는, 제1 반도체막)중의 금속원소를 열 에너지에 의해 방출시키고 확산에 의해 게터링 사이트로 이동시키는 것을 말한다. 따라서, 게터링은 처리 온도에 의존하고, 반응 온도가 높을수록 단시간 내에 진행한다.

<95> 강광의 조사에 의한 처리의 경우, 가열을 위한 광원을 1~60초, 바람직하게는 30~60초간 1~10회, 바람직하게는 2~6회 반복적으로 점등한다. 광원의 광 세기는 임의적으로 선택될 수 있지만, 반도체막을 순간적으로 약 600~1000℃, 바람직하게는 약 700~750℃까지 가열할 수 있도록 선택된다.

<96> 가열처리의 경우에는, 질소 분위기에서 450~800℃로 1~24시간, 예를 들어, 550℃로 14시간 가열처리를 행한다. 가열처리 대신에, 강광을 조사할 수도 있다.

<97> 그 다음, 배리어 층(15)을 에칭 스톱퍼으로 하여 부호 16으로 나타난 제2 반도체막만을 선택적으로 제거한다. 그 후, 배리어 층(15)을 제거하고, 제1 반도체막(14)을 공지의 패터닝 기술에 의해 패터닝하여 소망의 형상의 반도체층(17)을 형성한다(도 1(F)). 제2 반도체막만을 선택적으로 에칭하는 방법으로는, 플라즈마를 이용하지 않고 ClF_3 에 의거한 건식 에칭 또는 히드라진 또는 테트라에틸암모늄 히드록사이드(화학적, $(\text{CH}_3)_4\text{NOH}$)를 함유하는 수용액과 같은 알칼리 용액을 이용하는 습식 에칭을 채용할 수 있다. 제2 반도체막이 제거된 후에도, 배리어 층의 표면에서의 니켈 농도를 TXRF로 측정하면, 여전히 높다. 따라서, 불산을 함유하는 에칭제를 사용하여 배리어 층을 제거하는 것이 바람직하다. 배리어 층을 제거한 후에, 레지스트로 된 마스크를 형성하기 전에 오존수로 표면에 얇은 산화막을 형성하는 것도 바람직하다.

<98> 그 다음, 반도체층의 표면을 불산을 함유하는 에칭제로 세정하고, 규소를 주성분으로 하는 절연막을 형성하여 게이트 절연막(18)을 형성한다. 표면 세정 및 게이트 절연막 형성은 대기에서의 노출 없이 연속적으로 행해지는 것이 바람직하다.

<99> 게이트 절연막(18)의 표면을 세정한 후, 게이트 전극(19)을 형성한다. 그 다음, 불순물 원소(P, As 등)를 첨가한다. 본 실시형태에서는, 반도체층에 n형을 부여하도록 인을 첨가하여 소스 영역(20) 및 드레인 영역(21)을 형성한다. 불순물 원소를 첨가한 후, 가열처리를 행하고, 강광을 조사하거나 레이저 빔을 조사하여 불순물 원소를 활성화시킨다. 또한, 활성화와 동시에, 플라즈마에 의한 게이트 절연막의 손상을 회복시키거나, 또는 플라즈마에 의한 게이트 절연막과 반도체층과의 계면의 손상을 회복시킨다. 특히, 실온 내지 300℃까지의 분위기에서 앞면 또는 뒷면으로부터 YAG 레이저의 제2 고조파를 조사하여 불순물 원소를 활성화하는 경우 매우 효과적이다. YAG 레이저는 유지(maintenance)를 거의 필요로 하지 않으므로 바람직한 활성화 수단이다.

<100> 이후의 공정에서, 층간절연막(23)을 형성하고, 탈수소화후에 소스 영역 및 드레인 영역에 이르는 콘택트 홀을 형성하고, 소스 전극(24) 및 드레인 전극(25)을 형성하여, TFT(n채널형 TFT)를 완성한다(도 1(G)).

<101> 이렇게 하여 얻어진 TFT의 채널 형성 영역(22)은 금속원소를 $1 \times 10^{17} / \text{cm}^3$ 이하의 농도로 함유한다.

<102> 본 발명은 도 1(G)의 TFT 구조에만 한정되지 않고, 필요에 따라서는, 채널 형성 영역과 드레인 영역(또는 소스 영역) 사이에 LDD 영역을 가지는 저농도 드레인(LDD) 구조로 될 수도 있다. 이러한 구조에서는, 불순물 원소가 저농도로 첨가된 영역이 채널 형성 영역과 고농도로 불순물을 첨가하여 형성된 소스 영역 또는 드레인 영역과의 사이에 제공된다. 이 영역을 LDD 영역이라고 부른다. 또한, LDD 영역이 게이트 절연막을 사이에 두고 게이트 전극과 접치는 소위 GOLD(게이트-드레인 오버랩 LDD) 구조가 이용될 수도 있다.

- <103> 여기서는 n채널형 TFT에 대하여 설명하였지만, n형 불순물 원소 대신에 p형 불순물 원소를 사용하여 p채널형 TFT를 형성할 수도 있음은 물론이다.
- <104> 또한, 탑 게이트형 TFT를 설명하였지만, 본 발명은 TFT 구조에 관계없이 적용될 수 있다. 예를 들어, 본 발명은 보텀 게이트형(역스태거형) TFT 및 스택스태거형 TFT에도 적용될 수 있다.
- <105> [실시형태 2]
- <106> 본 실시형태에서는, 희가스 원소를 함유하고 비정질 구조를 가진 본 발명의 반도체막을 TFT의 활성층으로 사용한다.
- <107> 먼저, 절연 표면을 가진 기판 상에 게이트 전극을 형성하고, 게이트 전극을 덮도록 게이트 절연막을 형성하고, 희가스 원소를 함유하고 비정질 구조를 가진 본 발명의 제1 반도체막을 게이트 절연막 상에 형성한다. 여기서 사용한 원료 가스는 모노실란, 아르곤 및 수소이고, 아르곤을 $1 \times 10^{18} \sim 1 \times 10^{22} / \text{cm}^3$, 바람직하게는 $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ 의 농도로 함유하고, 불소를 $2 \times 10^{16} \sim 8 \times 10^{16} / \text{cm}^3$ 의 농도로 함유하고, 수소를 비교적 낮은 농도로 함유하도록 플라즈마 CVD법에 의해 비정질 구조를 가진 제1 반도체막을 형성한다. 그 다음, 그 위에, 한가지 도전형(n형 또는 p형)을 가진 불순물 원소를 함유하는 제2 반도체막을 적층 형성한다. 그 다음, 비정질 구조를 가진 제1 반도체막의 불필요한 부분을 활성층이 될 부분을 제외하고 에칭에 의해 제거한다. 이어서, 전기 도전막을 전면(全面)에 형성한 후, 이 도전막의 일부와 한가지 도전형(n형 또는 p형)을 가진 불순물 원소를 함유하는 제2 도전막의 일부를 제거하여 반도체막의 소스 영역 및 드레인 영역을 형성하고, 동시에, 전기 도전막으로 된 드레인 배선 및 소스 배선을 형성한다. 또한, 제1 반도체막을 일부 제거하여 채널 에치(channel-etched)형 보텀 게이트 구조의 TFT를 제조한다. 화소 전극을 제공할 경우, 상기 TFT는 액정 표시장치의 화소부에 사용될 수 있다.
- <108> 또한, 본 발명은 비정질 규소 TFT로 불리는 상기한 TFT에 한정되지 않고, 폴리실리콘 TFT라 불리는 TFT의 활성층에 적용될 수도 있다.
- <109> 이 경우, 희가스 원소를 함유하고 비정질 구조를 가진 본 발명의 제1 반도체막을 실시형태 1에서 나타낸 하지 절연막 상에 형성되는 비정질 구조를 가진 제1 반도체막(12)으로서 사용한다. 결정화 기술(고상 성장법, 레이저 결정화법 또는 촉매로서 금속원소를 사용한 열처리)에 의한 고상 성장법을 이용하여 결정화하여 결정 구조를 가진 반도체막을 형성하고, 패터닝하여 TFT의 활성층으로 사용한다. 본 발명의 비정질 구조를 가진 반도체막은 수소 및 불소를 낮은 농도로 함유하기 때문에 유리하게 결정화된다. 여기서 사용한 원료 가스는 모노실란, 아르곤 및 수소이고, 아르곤을 $1 \times 10^{18} \sim 1 \times 10^{22} / \text{cm}^3$, 바람직하게는, $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ 의 농도로 함유하도록 플라즈마 CVD법에 의해 비정질 구조를 가진 제1 반도체막을 형성한다.
- <110> 결정화를, 예를 들어, 레이저를 사용하여 행하는 경우에는, 희가스 원소 및 질소를 함유하고 비정질 구조를 가진 본 발명의 제1 반도체막을 절연 표면을 가진 기판 상에 형성한 후, 레이저에 의한 결정화를 행한다.
- <111> 사용되는 레이저 빔은 펄스 발진형 또는 연속 발광형 엑시머 레이저, YAG 레이저, YVO₄ 레이저, YLF 레이저, YAIO₃ 레이저, 유리 레이저, 루비 레이저, 알렉산드라이트 레이저 또는 티탄:사파이어 레이저로부터 방출되는 것일 수 있다. 이들 레이저를 사용하는 경우, 레이저 발진기로부터 방출되는 레이저 빔을 광학계에 의해 선형으로 집광시켜 반도체막 상에 조사한다. 결정화 조건은 실시자에 의해 적절히 선택된다. 그러나, 펄스 발진형 엑시머 레이저를 사용하는 경우에는, 펄스 발진 주파수를 30 Hz로 선택하고, 레이저 에너지 밀도를 100~400 mJ/cm²(대표적으로는 200~300 mJ/cm²)로 선택한다. 또한, 펄스 발진형 YAG 레이저 또는 YVO₄ 레이저를 사용하는 경우에는, 제2 고조파 또는 제3 고조파를 사용하고, 펄스 발진 주파수를 1~10 kHz로 선택하고, 레이저 에너지 밀도를 300~600 mJ/cm²(대표적으로는, 350~500 mJ/cm²)로 선택한다. 100~1000 μm, 예를 들어, 400 μm의 폭을 가지도록 선형으로 집광된 레이저 빔을 기판 전면에 조사하고, 이때, 선형 빔의 오버랩률(overlap ratio)을 80~98%로 한다.
- <112> YVO₄ 레이저로 대표되는 연속 발진형 레이저를 사용하는 경우, 출력이 10 W인 연속 발진 YVO₄ 레이저로부터 방출된 레이저 빔을 비선형 광학 소자를 통해 고조파(제2 고조파 내지 제4 고조파)로 변환시킨다. 또는, 공진기 내에 YVO₄ 결정 및 비선형 광학 소자를 일체화하여 고조파를 방출시키는 방법을 사용할 수도 있다. 레이저 빔을 광학계에 의해 피조사면에서 직사각형 또는 타원 형상으로 가공하여 피처리물에 조사하는 것이 바람직하다. 여

기서는, 에너지 밀도는 약 $0.01 \sim 100 \text{ MW/cm}^2$ (바람직하게는 $0.01 \sim 10 \text{ MW/cm}^2$) 이어야 한다. 반도체막을 레이저 빔에 대해 약 $0.5 \sim 2000 \text{ cm/sec}$ 의 속도로 이동시키면서 반도체막에 레이저 빔을 조사할 수도 있다.

<113> [실시형태 3]

<114> 희가스 원소를 함유하고 비정질 구조를 가진 본 발명의 반도체막을, TFT 등의 소자를 기판 상에 형성한 후 기판 으로부터 그 소자를 분리할 때 에칭에 의해 또는 레이저 빔의 조사 시에 층의 내부나 계면에서 박리를 나타내는 층(박리층)으로 사용할 수도 있다. 이 박리층은 기판상에 접하여 형성되고, 이 박리층 상에 절연막과 TFT를 형성한다.

<115> 비정질 구조를 가진 종래의 반도체막과 비교하여, 희가스 원소를 함유하고 비정질 구조를 가진 본 발명의 반도체막은 상이한 에칭 레이트로 에칭되므로, 각종 에칭 공정에서 에칭 스톱퍼로서 사용될 수 있다.

<116> 또한, 희가스 원소를 함유하는 본 발명의 비정질 반도체막은 실시형태 1에서 설명한 것과 다른 방법에 의해 결정화된 반도체막 및 그 밖의 일반적인 반도체막에 대한 게터링 사이트로서 사용될 수 있다.

<117> 이하, 상기한 바와 같이 구성된 본 발명을 실시예에 의거하여 더 상세히 설명한다.

<118> [실시예 1]

<119> 본 실시예를 도 6~도 8을 참조하여 설명한다. 여기서는, 화소부와 이 화소부의 주변에 제공되는 구동회로의 TFT(n채널형 TFT 및 p채널형 TFT)를 동일 기판 상에 동시에 제조하는 방법을 상세히 설명한다.

<120> 먼저, 기판(100) 상에 하지(下地) 절연막(101)을 형성하고, 결정 구조를 가진 제1 반도체막을 얻는다. 그 다음, 이 반도체막을 소망의 형상으로 에칭하여, 섬 형상으로 서로 분리된 반도체층(102~106)을 형성한다.

<121> 기판(100)으로서, 유리 기판(#1737)을 사용한다. 하지 절연막(101)으로는, 플라즈마 CVD법에 의해 400°C 의 성막 온도로 SiH_4 , NH_3 및 N_2O 를 원료 가스로 사용하여 형성된 산화질화규소막(101a)(조성비: Si=32%, O=27%, N=24%, H=17%)을 50 nm (바람직하게는 $10 \sim 200 \text{ nm}$)의 두께로 성막한 다음, 오존수로 표면을 세척한 후, 표면 상의 산화막을 묽은 불산(1/100으로 희석)으로 제거한다. 그 다음, 그 위에, 플라즈마 CVD법에 의해 400°C 의 성막 온도로 SiH_4 및 N_2O 를 원료 가스로 사용하여 형성된 산화질화 수소화 규소막(101b)(조성비: Si=32%, O=59%, N=7%, H=2%)을 100 nm (바람직하게는 $50 \sim 200 \text{ nm}$)의 두께로 적층 형성한다. 또한, 대기에서의 노출 없이, 플라즈마 CVD법에 의해 300°C 의 성막 온도로 SiH_4 를 성막 가스로 사용하여 비정질 구조를 가진 반도체막(본 실시예에서는, 비정질 규소막)을 54 nm (바람직하게는 $25 \sim 80 \text{ nm}$)의 두께로 형성한다.

<122> 본 실시예에서는, 하지막(101)을 2층 구조로 나타내었으나, 상기 절연막의 단층 또는 2층 이상을 적층한 구조를 채용할 수도 있다. 또한, 반도체막의 재료에 한정은 없으나, 공지의 방법(스퍼터링법, LPCVD법, 플라즈마 CVD법 등)을 이용하여 규소 또는 규소 게르마늄($\text{Si}_x\text{Ge}_{1-x}$ ($X = 0.0001 \sim 0.02$)) 합금으로 형성하는 것이 바람직하다. 또한, 플라즈마 CVD 장치는 단일 웨이퍼형 또는 배치(batch)형 장치일 수 있다. 또한, 하지 절연막과 반도체막을 대기에서의 노출 없이 동일 성막실에서 연속적으로 형성할 수도 있다.

<123> 이어서, 비정질 구조를 가진 반도체막의 표면을 세척한 후, 표면상에 오존수로 약 2 nm 의 두께를 가진 매우 얇은 산화막을 형성한다. 그 다음, TFT의 스톱퍼층 값을 제어하기 위해, 미량의 불순물 원소(붕소 또는 인)를 도핑한다. 여기서는, 질량 분리없이 디보란(B_2H_6)을 플라즈마 여기하는 이온 도핑법을 사용하여 가속 전압을 15 kV 로 하고, 수소로 1%까지 희석된 디보란 가스 유량을 30 sccm 로 하고, 도즈량을 $2 \times 10^{12} / \text{cm}^2$ 로 하는 도핑 조건 하에 비정질 규소막에 붕소를 첨가한다.

<124> 그 다음, 중량 환산으로 10 ppm 의 니켈을 함유하는 니켈 초산염 용액을 스피너를 이용하여 도포한다. 도포 대신에, 스퍼터링법에 의해 니켈 원소를 전면에 스프레이하는 방법을 사용할 수도 있다.

<125> 그 다음, 가열처리를 행하여 결정화하여 결정 구조를 가진 반도체막을 형성한다. 이 가열처리에는, 전기로 또는 강광의 조사를 이용한 가열 처리를 행할 수도 있다. 전기로의 이용하는 가열처리의 경우, $500 \sim 650^\circ\text{C}$ 에서 $4 \sim 24$ 시간 가열처리를 행할 수 있다. 여기서는, 탈수소화를 위한 가열처리(500°C , 1시간) 후에, 결정화를 위한 가열처리(550°C , 4시간)를 행하여, 결정 구조를 가진 규소막을 얻었다. 노(爐)를 이용한 가열처리에 의해 결정화를 행할 수 있으나, 램프 어닐 장치를 이용하여 결정화를 행할 수도 있다. 또한, 여기서는 규소의 결정화를 촉진시키는 금속원소로서 니켈을 사용하는 결정화 기술을 사용하였으나, 다른 공지의 결정화 기술, 예를 들어,

고상 성장법 및 레이저 결정화법을 사용할 수도 있다.

- <126> 그 다음, 결정 구조를 가진 규소막의 표면상의 산화막을 묽은 불산 등에 의해 제거한 후, 결정화율을 높이고 결정립 내에 잔존하는 결함을 복구하기 위한 제1 레이저광(XeCl: 파장 308 nm)의 조사를 대기 중에서 또는 산소 분위기에서 행한다. 레이저광에는, 400 nm 이하의 파장을 가진 엑시머 레이저광, 또는 YAG 레이저의 제2 고조파 또는 제3 고조파를 사용한다. 어떤 경우든지, 약 10~1000 Hz의 반복 주파수를 가진 펄스 레이저광을 사용하고, 광학계에 의해 펄스 레이저광을 100~500 mJ/cm²으로 집광하고, 90~95%의 오버랩률로 조사를 행하여 규소막의 표면을 주사한다. 여기서는, 제1 레이저광의 조사를 30 Hz의 반복 주파수 및 393 mJ/cm²의 에너지 밀도로 대기 중에서 행한다. 조사를 대기 중에서 또는 산소 분위기 하에서 행하기 때문에, 제1 레이저광 조사에 의해 표면 상에 산화막이 형성된다.
- <127> 그 다음, 제1 레이저광 조사에 의해 형성된 산화막을 묽은 불산으로 제거한 후, 질소 분위기 또는 진공 중에서 제2 레이저광 조사를 행하여 반도체막의 표면을 평탄화한다. 레이저광(제2 레이저광)으로서는, 400 nm 이하의 파장을 가진 엑시머 레이저광 또는 YAG 레이저의 제2 고조파 또는 제3 고조파를 사용한다. 제2 레이저광의 에너지 밀도는 제1 레이저광의 에너지 밀도보다 크게, 바람직하게는, 30~60 mJ/cm²만큼 크게 한다. 여기서는, 제2 레이저광 조사를 30 Hz의 반복 주파수 및 453 mJ/cm²의 에너지 밀도로 행하여, 반도체막 표면의 요철의 P-V 값을 5 nm 이하로 한다. 제2 레이저광 조사의 경우, 제1 레이저광 조사에 의해 형성된 요철의 레벨차(P-V(peak to valley) 값: 높이의 최고값과 최소값의 차이)가 감소, 즉, 평탄화된다. 여기서는, AFM(원자력 현미경)으로 요철의 P-V 값을 관찰할 수 있다.
- <128> 또한, 본 실시예에서는 제2 레이저광 조사를 표면 전체에 걸쳐 행하고 있으나, 오프 전류의 감소가 화소부의 TFT에 특히 영향을 미치므로 적어도 화소부에 선택적으로 조사를 행하는 공정을 채택할 수도 있다.
- <129> 본 실시예에서는, 제2 레이저광 조사를 이용한 평탄화의 예를 설명하였으나, 이것이 특별히 행해질 필요는 없다.
- <130> 그 다음, 표면을 오존수로 120초간 처리하여 총 두께 1~5 nm의 산화막으로 이루어진 배리어 층을 형성한다.
- <131> 그 다음, 실시형태 1에서 나타낸 플라즈마 CVD법에 의해 게터링 사이트가 될 아르곤 원소를 포함하는 비정질 규소막을 배리어 층 상에 150 nm의 두께로 형성한다.
- <132> 본 실시예에서의 플라즈마 CVD법의 성막 조건은, 성막 압력을 26.26 Pa(0.2 Torr)로 하고, 가스(SiH₄) 유량을 100 sccm, 가스(Ar) 유량을 500 sccm으로 하여 가스 도입계로부터 도입한다. 이외에도, 방전 주파수를 27.12 MHz로 하고 300 W의 RF 전력(RF 전력 밀도 0.5 W/cm²)으로 방전을 행한다. 상기한 조건 하에서, 비정질 규소막에 함유된 아르곤 원소의 원자 농도는 1×10²⁰~1×10²¹/cm³이다. 그 다음, 램프 어닐 장치를 사용하여 650℃에서 3분간 가열처리를 행하여 게터링을 행한다.
- <133> 이어서, 게터링 사이트가 되는, 아르곤 원소를 함유하는 비정질 반도체막을, 배리어 층을 에칭 스톱퍼로 하여 선택적으로 제거한 후, 묽은 불산으로 배리어 층을 선택적으로 제거한다. 게터링시에 니켈은 산소 농도가 높은 영역으로 이동하는 경향이 있으므로, 산화막으로 이루어진 배리어 층을 게터링 후에 제거하는 것이 바람직하다.
- <134> 그 다음, 얻어진 결정 구조를 가진 규소막(폴리실리콘막이라고도 함)의 표면 상에 오존수로 얇은 산화막을 형성한 후, 레지스트로 된 마스크를 형성하고, 소망의 형상으로 에칭 처리를 행하여, 서로 분리되는 섬형 반도체층(102~106)을 형성한다. 반도체층을 형성한 후, 레지스트로 된 마스크를 제거한다.
- <135> 그 다음, 불산을 함유하는 에칭제로 산화막을 제거하고, 동시에, 규소막의 표면을 세정한다. 그 후, 게이트 절연막(107)이 되는, 규소를 주성분으로 하는 절연막을 형성한다. 본 실시예에서는, 플라즈마 CVD법에 의해 산화질화규소막(조성비: Si=32%, O=59%, N=7%, H=2%)을 115 nm의 두께로 형성한다.
- <136> 그 다음, 도 6(A)에 도시된 바와 같이, 게이트 절연막(107) 상에, 두께 20~100nm의 제1 도전막(108a)과 두께 100~400 nm의 제2 도전막(108b)을 적층 형성한다. 본 실시예에서는, 두께 50 nm의 질화 탄탈막과 두께370 nm의 텅스텐막을 게이트 절연막(107) 상에 순차적으로 적층한다.
- <137> 제1 도전막 및 제2 도전막을 형성하기 위한 도전성 재료로서는, Ta, W, Ti, Mo, Al 및 Cu로 이루어진 군에서 선택된 원소 또는 상기 원소를 주성분으로 하는 합금 재료 또는 화합물 재료를 사용한다. 또한, 제1 도전막 및

제2 도전막으로서, 인과 같은 불순물 원소가 도핑된 다결정 규소막으로 대표되는 반도체막 또는 AgPdCu 합금을 사용할 수도 있다. 또한, 본 발명은 2층 구조에 한정되지 않는다. 예를 들어, 두께 50 nm의 텅스텐막, 두께 500 nm의 알루미늄과 규소의 합금막(Al-Si) 및 두 30 nm의 질화 탄탈막을 순차적으로 적층한 3층 구조를 채용할 수도 있다. 또한, 3층 구조의 경우, 제1 도전막의 텅스텐 대신에 질화 텅스텐을 사용할 수도 있고, 제2 도전막의 알루미늄과 규소의 합금막(Al-Si) 대신에 알루미늄과 티탄의 합금막(Al-Ti)을 사용할 수도 있고, 제3 도전막의 질화 티탄막 대신에 티탄막을 사용할 수도 있다. 또한, 단층 구조를 채용할 수도 있다.

<138> 그 다음, 도 6(B)에 도시된 바와 같이, 노광 공정에 의해 마스크(110~115)를 형성하고, 게이트 전극 및 배선을 형성하기 위한 제1 에칭 처리를 행한다. 제1 에칭 처리는 제1 및 제2 에칭 조건으로 행한다. 에칭 처리에는 ICP(유도 결합형 플라즈마) 에칭 방법을 사용하는 것이 바람직하다. ICP 에칭법을 사용하고, 에칭 조건(코일형 전극에 인가되는 전기 에너지, 기관축의 전극에 인가되는 전기 에너지, 기관축의 전극의 온도 등)을 적절히 조절하여, 소망의 테이퍼(taper) 형상을 가지도록 막을 에칭한다. 에칭 가스로서는, Cl₂, BCl₃, SiCl₄ 및 CCl₄로 대표되는 염소계 가스, CF₄, SF₆ 및 NF₃로 대표되는 불소계 가스, 및 O₂를 적절히 사용할 수 있다.

<139> 본 실시예에서는, 150 W의 RF(13.56 Mhz) 전력을 기관축(시료 스테이지)에도 가하여, 실질적으로 부(負)의 셀프 바이어스 전압을 인가한다. 기관축 전극 면적은 12.5 cm×12.5 cm이고, 코일형 전극 면적(여기서는 코일이 형성된 석영 디스크를 설명함)은 직경 25 cm의 디스크이다. 제1 에칭 조건 하에서 W에 대한 에칭 레이트는 200.39 nm/min이고, TaN에 대한 에칭 레이트는 80.32 nm/min이고, TaN에 대한 W의 선택비는 2.5이다. 또한, 제1 에칭 조건에서, W의 테이퍼 각은 약 26°이다. 그 후, 레지스트로 된 마스크(110~115)를 제거하지 않고 제1 에칭 조건을 제2 에칭 조건으로 바꾼다. CF₄ 및 Cl₂를 에칭 가스로 사용하고 가스의 유량비를 30/30 (sccm)로 하고, 1 Pa의 압력 하에 코일형 전극에 500 W의 RF(13.56 Mhz) 전력을 인가하여, 플라즈마를 발생시켜 30초간 에칭을 행한다. 또한, 기관축(시료 스테이지)에도 20 W의 RF(13.56 Mhz) 전력을 인가하여, 실질적으로 부의 셀프 바이어스 전압을 인가한다. CF₄ 및 Cl₂를 혼합한 제2 에칭 조건 하에서는, W 막 및 TaN 막이 동일한 정도로 에칭된다. 제2 에칭 조건에서, W에 대한 에칭 레이트는 58.97 nm/min이고, TaN에 대한 에칭 레이트는 66.43 nm/min이다. 게이트 절연막 상에 어떠한 잔사(殘渣)도 남기지 않고 에칭을 행하기 위해서는 에칭 시간을 10~20%만큼 증가시킬 수도 있다.

<140> 상기한 바와 같은 제1 에칭 처리에서, 레지스트로 된 마스크의 형상을 적절한 것으로 함으로써, 기관축에 인가되는 바이어스 전압의 영향으로 제1 도전층의 단부 및 제2 도전층의 단부를 테이퍼 형상으로 한다. 테이퍼부의 각도는 15~45°로 설정하는 것으로 충분하다.

<141> 그리하여, 제1 에칭 처리에 의해 제1 도전층과 제2 도전층으로 이루어진 제1 형상의 도전층(117~121)(제1 도전층(117a~121a) 및 제2 도전층(117b~121b))이 형성된다. 게이트 절연막이 되는 절연막(107)이 약 10~20 nm만 큼 에칭되고, 제1 형상의 도전층(117~121)에 의해 덮이지 않는 영역이 얇아진 게이트 절연막(116)이 된다.

<142> 이어서, 레지스트로 된 마스크를 제거하지 않고 제2 에칭 처리를 행한다(도 6(C)). 여기서는, SF₆, Cl₂ 및 O₂를 에칭 가스로 사용하고, 가스의 유량비를 24/12/24 (sccm)로 하고, 1.3 Pa의 압력 하에 코일형 전극에 700 W의 RF(13.56 Mhz) 전력을 인가하여 플라즈마를 발생시켜 25초간 에칭한다. 또한, 기관축(시료 스테이지)에도 10 W의 RF(13.56 Mhz) 전력을 인가하여, 실질적으로 부의 셀프 바이어스 전압을 기관축에 인가한다. 제2 에칭 처리에서, W에 대한 에칭 레이트는 227.3 nm/min이고, TaN에 대한 에칭 레이트는 32.1 nm/min이고, TaN에 대한 W의 선택비는 7.1이고, 절연막(116)인 SiON에 대한 에칭 레이트는 33.7 nm/min이고, SiON에 대한 W의 선택비는 6.83이다. SF₆를 에칭 가스로 사용하는 경우, 절연막(116)에 대한 선택비는 상기한 바와 같이 높다. 따라서, 막 두께의 감소가 억제될 수 있다. 본 실시예에서는, 절연막(116)의 막 두께가 약 8 nm만큼 감소된다.

<143> 제2 에칭 처리에 의해, W의 테이퍼 각은 70°가 되고, 제2 도전층(124b~129b)이 형성된다. 한편, 제1 도전층은 거의 에칭되지 않아 제1 도전층(124a~129a)이 된다. 제1 도전층(124a~129a)은 제1 도전층(117a~121a)과 대체로 동일한 크기를 가진다. 실제로는, 제1 도전층의 폭이 제2 에칭 처리 전에 비해 약 0.3 μm만큼, 즉, 전체 선포에서 0.6 μm만큼 감소될 수도 있다. 도 6(B) 및 도 6(C)에서, 제1 도전층의 테이퍼 크기에 거의 변화가 없다. 그러나, 테이퍼부의 선포가 배선 폭에 의존하므로 제1 도전층의 테이퍼는 배선 폭에 따라 변한다.

<144> 또한, 2층 구조 대신에, 50 nm 두께의 텅스텐막, 500 nm 두께의 알루미늄과 규소의 합금막(Al-Si) 및 30 nm의 질화탄탈막을 순차적으로 적층한 3층 구조를 사용하는 경우, BCl₃, Cl₂ 및 O₂를 원료 가스로 사용하고, 가스 유량비를 65/10/5 (sccm)로 하고, 기관축(시료 스테이지)에 300 W의 RF(13.56 Mhz) 전력을 인가하고, 1.2 Pa의 압

력 하에 코일형 전극에 450 W의 RF(13.56 Mhz) 전력을 인가하여 플라즈마를 발생시키는 제1 에칭 처리의 제1 에칭 조건 하에서 117초간 에칭을 행한다. 제1 에칭 처리의 제2 에칭 조건에 대해서는, CF₄, Cl₂ 및 O₂를 원료 가스로 사용하고, 가스 유량비를 25/25/10 (sccm)로 하고, 기관측(시료 스테이지)에 20 W의 RF(13.56 Mhz) 전력을 인가하고, 1 Pa의 압력 하에 코일형 전극에 500 W의 RF(13.56 Mhz) 전력을 인가하여 플라즈마를 발생시킨다. 상기 조건에서는, 약 30초간 에칭을 행하는 것으로 충분하다. 제2 에칭 처리에서는, BCl₃ 및 Cl₂를 에칭 가스로 사용하고, 가스 유량비를 20/60 (sccm)로 하고, 기관측(시료 스테이지)에 100 W의 RF(13.56 Mhz) 전력을 인가하고, 1.2 Pa의 압력 하에 코일형 전극에 600 W의 RF(13.56 Mhz) 전력을 인가하여 플라즈마를 발생시켜 에칭을 행한다.

<145> 그 다음, 레지스트로 된 마스크를 제거한 후, 제1 도핑 처리를 행하여 도 6(D)의 상태를 얻는다. 이 도핑 처리는 이온 도핑법 또는 이온 주입법으로 행해질 수 있다. 이온 도핑은 1.5×10^{14} 원자/cm²의 도즈량 및 60~100 keV의 가속 전압의 조건 하에 행해진다. n형 도전성을 부여하는 불순물 원소로서는, 전형적으로는 인(P) 또는 비소(As)를 사용한다. 이 경우, 제1 및 제2 도전층(124~128)이 n형 도전성을 부여하는 불순물 원소에 대한 마스크가 되어, 자기정합적으로 제1 불순물 영역(130~134)이 형성된다. n형 도전성을 부여하는 불순물 원소는 제1 불순물 영역(130~134)에 $1 \times 10^{16} \sim 1 \times 10^{17}$ /cm³의 농도로 첨가된다. 여기서는, 제1 불순물 영역과 동일한 농도 범위를 가진 영역을 n⁻ 영역이라고도 부른다.

<146> 본 실시예에서는 레지스트로 된 마스크를 제거한 후 제1 도핑 처리를 행하고 있으나, 레지스트로 된 마스크를 제거하지 않고 제1 도핑 처리를 행할 수도 있다. 도 6(D)에서는, 제1 도전층의 테이퍼 크기가 동일하지만, 실제로는, 제1 도전층의 테이퍼 크기가 배선 폭에 따라 변한다. 따라서, 서로 다른 배선 폭을 가진 다수의 배선들이 동일한 기관 상에 형성되는 경우, 도핑되는 영역의 폭이 서로 다르게 된다.

<147> 이어서, 도 7(A)에 도시된 바와 같이, 레지스트로 된 마스크(135~137)를 형성하고, 제2 도핑 처리를 행한다. 마스크(135)는 구동회로의 p채널형 TFT를 형성하는 반도체층의 채널 형성 영역 및 그 주변을 보호하기 위한 마스크이고, 마스크(136)는 구동회로의 n채널형 TFT들 중 하나를 형성하는 반도체층의 채널 형성 영역 및 그 주변을 보호하기 위한 마스크이고, 마스크(137)는 화소부의 TFT를 형성하는 반도체층의 채널 형성 영역, 그 주변 및 보유 용량을 보호하기 위한 마스크이다.

<148> 제2 도핑 처리에서의 이온 도핑 조건으로는, 도즈량을 1.5×10^{15} 원자/cm²로 하고, 가속 전압을 60~100 keV로 하여, 인(P)을 도핑한다. 여기서는, 제2 도전층(124b~126b)을 마스크로 하여 자기정합적으로 각 반도체층에 불순물 영역이 형성된다. 물론, 마스크(135~137)로 덮인 영역에는 인이 첨가되지 않는다. 그리하여, 제2 불순물 영역(138~140) 및 제3 불순물 영역(142)이 형성된다. n형 도전성을 부여하는 불순물 원소가 제2 불순물 영역(138~140)에는 $1 \times 10^{20} \sim 1 \times 10^{21}$ /cm³의 농도 범위로 첨가된다. 여기서는 제2 불순물 영역과 동일한 농도 범위를 가진 영역을 n⁺ 영역이라고도 부른다.

<149> 또한, 제3 불순물 영역은 제1 도전층에 의해 제2 불순물 영역에서의 농도보다 낮은 농도로 형성되고, 제3 불순물 영역에는 n형 도전성을 부여하는 불순물 원소가 $1 \times 10^{18} \sim 1 \times 10^{19}$ /cm³의 농도 범위로 첨가된다. 도핑이 테이퍼 형상을 가진 제1 도전층의 일부를 통과하여 행해지므로, 제3 불순물 영역은 테이퍼부의 단부 쪽으로 갈수록 불순물 농도가 증가하는 농도 구배를 가진다. 여기서는, 제3 불순물 영역과 동일한 농도 범위를 가진 영역을 n⁻ 영역이라고도 부른다. 또한, 제2 도핑 처리에서 마스크(136, 137)로 덮인 영역에는 불순물 원소가 첨가되지 않고, 이 영역이 제1 불순물 영역(144, 145)이 된다.

<150> 그 다음, 레지스트로 된 마스크(135~137)를 제거한 후, 레지스트로 된 마스크(146~148)를 새로이 형성하고, 도 7(B)에 도시된 바와 같이 제3 도핑 처리를 행한다.

<151> 구동회로에서는, 상기한 바와 같은 제3 도핑 처리에 의해, p형 도전성을 부여하는 불순물 원소가 p채널형 TFT를 형성하는 반도체층 및 보유 용량을 형성하는 반도체층에 첨가되어 있는 제4 불순물 영역(149, 150) 및 제5 불순물 영역(151, 152)이 형성된다.

<152> 또한, p형 도전성을 부여하는 불순물 원소가 제4 불순물 영역(149, 150)에는 $1 \times 10^{20} \sim 1 \times 10^{21}$ /cm³의 농도 범위로 첨가된다. 제4 불순물 영역(149, 150)에서는, 이전의 공정에서 인(P)이 첨가되었으나(n⁻ 영역), p형 도전성

을 부여하는 불순물 원소가 인의 농도보다 1.5~3배 높은 농도로 첨가되므로, 제4 불순물 영역(149, 150)은 p형 도전성을 가진다. 여기서는 제4 불순물 영역과 동일한 농도 범위를 가진 영역을 p^+ 영역이라고도 부른다.

- <153> 또한, 제5 불순물 영역(151, 152)은 제2 도전층(125a)의 테이퍼부와 겹치는 영역에 형성되고, 제5 불순물 영역(151, 152)에는 p형 도전성을 부여하는 불순물 원소가 $1 \times 10^{18} \sim 1 \times 10^{20} / \text{cm}^3$ 의 농도 범위로 첨가된다. 여기서는 제5 불순물 영역과 동일한 농도 범위를 가진 영역을 p^- 영역이라고도 부른다.
- <154> 상기한 공정들을 통해, n형 또는 p형 도전성을 가진 불순물 영역들이 각 반도체층에 형성된다. 도전층(124~127)은 TFT의 게이트 전극이 된다. 또한, 도전층(128)은 화소부의 보유 용량을 형성하는 전극들 중의 하나가 된다. 또한, 도전층(129)은 화소부의 소스 배선을 형성한다.
- <155> 도전층(124~127) 및 불순물 영역(제1 불순물 영역~제5 불순물 영역)을 형성하는 경우, 상기한 공정 순서에 한정되지 않는다. 각각의 에칭 처리 순서 및 각각의 도핑 처리 순서는 적당히 변경 가능하다.
- <156> 그 다음, 거의 표면 전체를 덮는 절연막(도시되지 않음)을 형성한다. 본 실시예에서는, 플라즈마 CVD법에 의해 두께 50 nm의 산화규소막을 형성한다. 물론, 절연막은 산화규소막에 한정되는 것은 아니고, 규소를 함유하는 다른 절연막이 단층 또는 적층 구조로 사용될 수도 있다.
- <157> 그 다음, 각 반도체층에 첨가된 불순물 원소를 활성화하는 공정을 행한다. 이 활성화 공정에서는, 램프 광원을 사용한 급속 열 어닐(RTA)법, YAG 레이저 또는 엑시머 레이저로부터의 광을 후면으로부터 조사하는 방법, 노를 이용한 가열처리법 또는 이들 방법을 조합하여 사용한다.
- <158> 또한, 본 실시예에서는 활성화 전에 절연막을 형성하는 예를 나타내었으나, 절연막을 형성하는 공정을 활성화 후에 행할 수도 있다.
- <159> 그 다음, 제1 층간절연막(153)을 질화규소막으로 형성한 후, 가열처리(300~550°C, 1~12시간)를 행하여 반도체층을 수소화하는 공정을 실시한다(도 7(C)). 이 공정은 제1 층간절연막(153)에 함유된 수소에 의해 반도체층의 dangling 결합을 중단시키는 공정이다. 반도체층은 산화규소막으로 형성된 절연막(도시되지 않음)의 존재 여부에 관계없이 수소화될 수 있다. 한편, 본 실시예에서는, 알루미늄을 주성분으로 하는 재료를 제2 도전층에 사용하므로, 제2 도전층이 수소화 공정에 견딜 수 있는 가열처리 조건을 적용하는 것이 중요하다. 수소화를 위한 다른 수단으로서, 플라즈마 수소화(플라즈마에 의해 여기된 수소를 이용)를 행할 수도 있다.
- <160> 그 다음, 제1 층간절연막(153) 상에 유기 절연재료로 제2 층간절연막(154)을 형성한다. 본 실시예에서는, 두께 1.6 μm 의 아크릴 수지막을 형성한다. 그 다음, 소스 배선(129)에 이르는 콘택트 홀(도시되지 않음), 각각 도전층(127) 및 도전층(128)에 이르는 콘택트 홀(도시되지 않음) 및 각 불순물 영역에 이르는 콘택트 홀(도시되지 않음)을 형성한다. 본 실시예에서는, 다수의 에칭 처리를 순차적으로 행하고 있고, 제1 층간절연막을 에칭 스톱퍼로 하여 제2 층간절연막을 에칭하고, 절연막(도시되지 않음)을 에칭 스톱퍼로 하여 제1 층간절연막을 에칭한 후, 절연막(도시되지 않음)을 에칭한다.
- <161> 그 후, 배선 및 화소 전극을 Al, Ti, Mo, W 등을 사용하여 형성한다. 전극 및 화소 전극의 재료로서는, Al 또는 Ag을 주성분으로 하는 막 또는 이들 막의 적층막과 같이, 반사성이 우수한 재료를 사용하는 것이 바람직하다. 그리하여, 소스 전극 또는 드레인 전극(155~160), 게이트 배선(162), 접속 배선(161) 및 화소 전극(163)이 형성된다.
- <162> 상기한 바와 같이, n채널형 TFT(201), p채널형 TFT(202) 및 n채널형 TFT(203)를 가진 구동회로와, n채널형 TFT로 이루어진 화소 TFT(204) 및 보유 용량(205)을 가진 화소부(207)가 동일 기관상에 형성될 수 있다(도 8). 본 명세서에서, 상기한 기관을 편의상 액티브 매트릭스 기관이라 부른다.
- <163> 화소부(207)에서, 화소 TFT(204)(n채널형 TFT)는 채널 형성 영역(167), 게이트 전극을 형성하는 도전층(127)의 외측에 형성된 제1 불순물 영역(n^- 영역), 및 소스 영역으로서 기능하는 제2 불순물 영역(n^+ 영역)을 가진다. 또한, 보유 용량(205)의 전극들 중의 하나로서 기능하는 반도체층에는, 제4 불순물 영역(150) 및 제5 불순물 영역(152)이 형성되어 있다. 보유 용량(205)은 절연막(게이트 절연막과 동일한 막)을 유전체로 하여 제2 전극(128) 및 반도체층(150, 152, 168)으로 구성되어 있다.
- <164> 또한, 구동회로(206)에서, n채널형 TFT(201)(제1 n채널형 TFT)는 채널 형성 영역(164), 절연막을 사이에 두고 게이트 전극을 형성하는 도전층(124)의 일부와 겹쳐 있는 제3 불순물 영역(n^- 영역)(142), 및 소스 영역 또는 드

레인 영역으로서 기능하는 제2 불순물 영역(n^+ 영역)(138)을 가진다.

- <165> 또한, 구동회로(206)에서, p채널형 TFT(202)는 채널 형성 영역(165), 절연막을 사이에 두고 게이트 전극을 형성하는 도전층(125)의 일부와 겹쳐 있는 제5 불순물 영역(p^- 영역)(151), 및 소스 영역 또는 드레인 영역으로서 기능하는 제4 불순물 영역(p^+ 영역)(149)을 가진다.
- <166> 또한, 구동회로(206)에서, n채널형 TFT(203)(제2 n채널형 TFT)는 채널 형성 영역(166), 게이트 전극을 형성하는 도전층(126)의 외측에 있는 제1 불순물 영역(n^- 영역)(144), 및 소스 영역 또는 드레인 영역으로서 기능하는 제2 불순물 영역(n^+ 영역)(139)을 가진다.
- <167> 상기 TFT(201~203)들이 적절히 조합되어, 시프트 레지스터 회로, 버퍼 회로, 레벨 시프터 회로, 래치 회로 등을 형성하여, 구동회로(206)를 형성한다. 예를 들어, CMOS 회로를 형성하는 경우, n채널형 TFT(201)와 P채널형 TFT(202)가 상보형으로 접속될 수도 있다.
- <168> 특히, 구동 전압이 높은 버퍼 회로에는 핫 캐리어 효과에 의한 열화(劣化)를 방지하는 목적에서 n채널형 TFT(203)의 구조가 적합하다.
- <169> 또한, GOLD 구조인 n채널형 TFT(201)의 구조는 신뢰성을 최우선으로 하는 회로에 적합하다.
- <170> 이상으로부터, 반도체막 표면의 평탄성을 향상시킴으로써 신뢰성이 향상될 수 있다. 따라서, GOLD 구조를 가진 TFT에서는, 게이트 절연막을 사이에 두고 게이트 전극과 겹치는 불순물 영역의 면적이 감소되는 경우에도 충분한 신뢰성이 얻어질 수 있다. 구체적으로, GOLD 구조를 가진 TFT에서, 게이트 전극의 테이퍼부가 되는 부분의 크기가 감소되는 경우에도 충분한 신뢰성이 얻어질 수 있다.
- <171> GOLD 구조를 가진 TFT에서, 게이트 절연막을 얇게 하면 기생 용량이 증가하게 된다. 그러나, 게이트 전극(제1 도전층)의 테이퍼부의 크기를 줄여 기생 용량을 감소시킴으로써, TFT는 f-특성이 향상되고 고속 동작이 가능해지고 충분한 신뢰성을 갖게 된다.
- <172> 화소부(207)의 화소 TFT에서도, 제2 레이저광 조사에 의해 오프 전류가 감소되고 및 편차가 감소될 수 있다.
- <173> 또한, 본 실시예에서는, 반사형 표시장치를 형성하기 위한 액티브 매트릭스 기관의 제조예를 설명하였으나, 화소 전극을 투명 도전막으로 형성하면, 포토마스크의 수를 하나 증가시켜 투과형 표시장치를 형성할 수 있다.
- <174> [실시예 2]
- <175> 본 실시예에서는, 실시예 1에서 제조한 액티브 매트릭스 기관으로부터 액티브 매트릭스형 액정 표시장치를 제조하는 공정을 도 9를 참조하여 설명한다.
- <176> 실시예 1에 따라 도 8에 도시된 바와 같은 액티브 매트릭스 기관을 얻은 후, 도 8의 액티브 매트릭스 기관상에 배향막을 형성하고, 러빙 처리를 행한다. 본 실시예에서는, 배향막을 형성하기 전에, 아크릴 수지막과 같은 유기 수지막을 패터닝하여, 기관 간격을 유지시키기 위해 소망의 위치에 주상(柱狀) 스페이서를 형성한다. 주상 스페이서 대신에, 구형(球形) 스페이서를 기관의 전면에 걸쳐 산포할 수도 있다.
- <177> 그 다음, 대향 기관을 준비한다. 대향 기관에는, 착색층 및 차광층이 각 화소에 대응하여 배치된 컬러 필터가 제공되어 있다. 차광층은 구동회로부에도 배치된다. 이 컬러 필터 및 차광층을 덮도록 평탄화막을 형성한다. 평탄화막 상에는 투명 도전막으로 된 대향 전극이 화소부에 형성되어 있다. 그리고, 대향 기관의 전면에 배향막을 형성하고, 러빙 처리를 행한다.
- <178> 그 다음, 화소부 및 구동회로가 형성되어 있는 액티브 매트릭스 기관과 대향 기관을 밀봉재로 접합한다. 밀봉재 내에는 충전재가 혼입되어 있고, 이 충전재가 주상 스페이서와 함께 두 기관 사이의 간격을 유지한 채 두 기관이 접합된다. 그 후, 기관들 사이에 액정 재료를 주입하고, 봉지재(도시되지 않음)에 의해 완전히 봉지(封止)한다. 액정 재료로서는 공지의 액정 재료를 사용할 수 있다. 이렇게 하여, 액티브 매트릭스형 액정 표시장치가 완성된다. 필요에 따라서는, 액티브 매트릭스 기관 또는 대향 기관을 소망의 형상으로 절단한다. 또한, 공지의 기술을 이용하는 편광판을 표시장치에 제공하는 것도 가능하다. 그 다음, 공지의 기술을 이용하여 FPC를 기관에 부착한다.
- <179> 이렇게 제조된 액정 모듈의 구조를 도 9의 상면도를 참조하여 설명한다.

- <180> 화소부(304)는 액티브 매트릭스 기관(301)의 중앙에 위치되어 있다. 소스 신호선을 구동하기 위한 소스 신호선 구동회로(302)가 화소부(304)의 상방에 위치되어 있다. 게이트 신호선을 구동하기 위한 게이트 신호선 구동회로(303)는 화소부(304)의 좌측 및 우측에 위치되어 있다. 본 실시예에서는 게이트 신호선 구동회로(303)들이 화소부에 대해 대칭으로 위치하고 있으나, 액정 모듈이 화소부의 일측에 단지 하나의 게이트 신호선 구동회로만을 구비할 수도 있다. 상기 두가지 배치 중에서 설계자는 액정 모듈의 기관 크기 또는 액정 모듈의 수명을 고려하여 보다 적합한 배치를 선택할 수 있다. 그러나, 회로 동작 신뢰성, 구동 효율 등의 관점에서, 게이트 신호선 구동회로가 도 9에 도시된 바와 같이 대칭으로 배치되는 것이 바람직하다.
- <181> 개요성 인쇄 회로(FPC)(305)로부터 구동회로에 신호가 입력된다. FPC(305)는, 기관(301)의 소정 위치에 배치된 배선에 도달하도록 층간절연막 및 수지막에 콘택트 홀을 형성하고 접속 전극을 형성한 후, 이방성 도전막 등을 통해 압착된다. 본 실시예에서는 접속 전극이 ITO로 형성되어 있다.
- <182> 구동회로 및 화소부를 둘러싸는 주변을 따라 기관에 밀봉재(307)를 도포하고, 액티브 매트릭스 기관에 이미 형성된 스페이서로 두 기관 사이의 간격(기관(301)과 대향 기관(306) 사이의 간격)을 유지한 채 밀봉재(307)에 의해 대향 기관(306)을 기관(301)에 접합한다. 그 다음, 밀봉재(307)로 덮이지 않은 기관의 영역을 통해 액정 소자가 주입된 다음, 기관들이 봉지재(308)에 의해 밀폐된다. 상기한 공정들을 통해 액정 모듈이 완성된다.
- <183> 본 실시예에서는 모든 구동회로를 기관 상에 형성하고 있으나, 일부 구동회로에 수 개의 IC를 사용할 수도 있다.
- <184> 또한, 본 실시예는 실시예 1과 자유롭게 조합될 수 있다.
- <185> [실시예 3]
- <186> 실시예 1은 화소 전극이 반사성 금속 재료로 형성된 반사형 표시장치의 예를 설명하고 있다. 본 실시예에서는 화소 전극이 투광성 도전막으로 형성된 투과형 표시장치의 예를 설명한다.
- <187> 층간절연막을 형성하는 공정까지의 제조 공정은 실시예 1의 공정과 동일하므로, 여기서는 그에 대한 설명을 생략한다. 실시예 1에 따라 층간절연막을 형성한 후, 투광성 도전막으로 화소 전극(601)을 형성한다. 투광성 도전막의 예로서는, ITO(산화 인듐 주석 합금)막, 산화 인듐-산화 아연 합금(In₂O₃-ZnO)막, 산화 아연(ZnO)막 등을 들 수 있다.
- <188> 그 후, 층간절연막(600)에 콘택트 홀을 형성한다. 이어서, 화소 전극과 겹치는 접속 전극(602)을 형성한다. 접속 전극(602)은 콘택트 홀을 통해 드레인 영역에 접속된다. 접속 전극을 형성함과 동시에, 다른 TFT들의 소스 전극 또는 드레인 전극을 형성한다.
- <189> 본 실시예에서는 모든 구동회로를 기관 상에 형성하고 있으나, 일부 구동회로에 수 개의 IC를 사용할 수도 있다.
- <190> 이상과 같이 하여, 액티브 매트릭스 기관이 완성된다. 이 액티브 매트릭스 기관으로 실시예 2에 따라 액정 모듈을 제조한다. 액정 모듈에 백라이트(604)와 도광(導光)판(605)을 제공하고, 커버(606)로 덮어 액티브 매트릭스형 액정 표시장치를 완성한다. 이 액정 표시장치의 부분 단면도가 도 10에 도시되어 있다. 커버는 접착제 또는 유기 수지를 사용하여 액정 모듈에 접합된다. 기관을 대향 기관에 접합할 때, 기관들을 프레임으로 둘러싸고 기관과 프레임 사이의 공간에 접합을 위한 유기 수지로 채운다. 표시장치가 투과형이므로, 액티브 매트릭스 기관과 대향 기관에는 각각 편광판(603)을 접합시킬 필요가 있다.
- <191> 본 실시예는 실시예 1 또는 2의 어느 구성과도 자유롭게 조합될 수 있다.
- <192> [실시예 4]
- <193> 본 실시예에서는, EL(전계 발광) 소자가 제공된 발광 표시장치를 제조하는 예를 도 11(A) 및 도 11(B)를 참조하여 설명한다.
- <194> 도 11(A)는 EL 모듈의 상면도이고, 도 11(B)는 도 11(A)의 선 A-A'를 따라 절단한 단면도이다. 절연 표면을 가진 기관(900)(예를 들어, 유리 기관, 결정화된 유리 기관, 플라스틱 기관 등) 상에, 화소부(902), 소스측 구동회로(901) 및 게이트측 구동회로(903)를 형성한다. 화소부 및 구동회로는 상기한 실시예들에 따라 얻어질 수 있다.
- <195> 또한, 부호 918은 밀봉재를 나타내고, 부호 919는 보호막(DLC막 등)을 나타낸다. 화소부 및 구동회로부를 밀봉

재(918)로 덮고, 밀봉재를 보호막(919)으로 덮는다. 또한, 보호막(919)은 접착제를 사용하여 커버재(920)로 봉지된다. 커버재(920)는 열 또는 외력에 의한 변형에 견디기 위해 기관(900)과 동일한 재료, 예를 들어, 유리 기관으로 되어 있는 것이 바람직하다. 커버재(920)는 샌드블라스팅 등에 의해 도 11(B)에 도시된 오목 형상(깊이 3~10 μm)을 가지도록 가공된다. 커버재(920)를 더 가공하여 건조제(921)가 배치될 수 있는 오목부(깊이 50~200 μm)를 형성한다. 또한, 다면취(多面取)로 EL 모듈을 제조하는 경우에는, 기관과 커버재를 서로 부착시킨 후, 끝면이 서로 일치하도록 CO₂ 레이저를 사용하여 분단할 수도 있다.

- <196> 부호 908은 소스측 구동회로(901) 및 게이트측 구동회로(903)에 입력되는 신호를 전송하기 위한 배선을 나타내고, 이 배선은 외부 입력 단자인 FPC(가요성 인쇄 회로)(909)로부터 비디오 신호 및 클럭 신호를 받는다. 도면에는 FPC만이 도시되어 있으나, 인쇄 배선판(PWB)이 FPC에 부착될 수도 있다. 본 명세서에서의 발광장치는 발광장치의 본체뿐만 아니라 FPC 또는 PWB가 부착된 발광장치도 포함하는 것으로 한다.
- <197> 다음에, 도 11(B)를 참조하여 단면 구조를 설명한다. 기관(900) 상에 절연막(910)이 제공되어 있고, 이 절연막(910) 위에 화소부(902) 및 게이트측 구동회로(903)가 형성되어 있고, 화소부(902)는 전류 제어용 TFT(911) 및 이 전류 제어용 TFT(911)의 드레인에 전기적으로 접속된 화소 전극(912)을 포함하는 다수의 화소로 이루어져 있다. 또한, 게이트측 구동회로(903)는 n채널형 TFT(913)와 p채널형 TFT(914)가 조합되어 있는 CMOS 회로를 사용하여 형성된다.
- <198> 상기 TFT(911, 912, 913)를 포함하는 실시예 1의 n채널형 TFT(201) 및 p채널형 TFT(202)에 따라 제조될 수도 있다.
- <199> TFT와 EL 소자 사이에 제공되는 절연막의 재료로서는, 알칼리 금속 이온 또는 알칼리토 금속 이온과 같은 불순물 이온의 확산을 차단할 뿐만 아니라 알칼리 금속 이온 또는 알칼리토 금속 이온과 같은 불순물 이온을 적극적으로 흡수하는 재료를 사용하고, 또한, 후속 처리 온도에 견딜 수 있는 재료를 사용하는 것이 좋다. 상기한 조건들을 만족시키는 재료로서는, 다량의 불소를 함유하는 질화규소막이 있다. 질화규소막에 함유된 불소의 농도는 $1 \times 10^{19} / \text{cm}^3$ 이상이고, 질화규소막 내의 불소의 조성비가 1~5%인 것이 바람직하다. 질화규소막 내의 불소는 알칼리 금속 또는 알칼리토 금속에 결합하고 막에 흡착된다. 또한, 다른 예로서는, 알칼리 금속 이온, 알칼리토 금속 이온 등을 흡착하는 안티몬(Sb) 화합물, 주석(Sn) 화합물 또는 인듐(In) 화합물로 이루어진 입자들을 함유하는 유기 수지막, 예를 들어, 오산화 안티몬($\text{Sb}_2\text{O}_5 \cdot n\text{H}_2\text{O}$) 입자를 함유하는 유기 수지막이 있다. 이 유기 수지막은 평균 입자 크기가 10~20 nm인 입자들을 함유하고, 투광성이 높다. 오산화 안티몬 입자로 대표되는 안티몬 화합물은 알칼리 금속 이온 또는 알칼리토 금속 이온과 같은 불순물 이온을 흡착하기 쉽다.
- <200> 화소 전극(912)은 발광 소자(EL 소자)의 양극으로서 기능한다. 또한, 화소 전극(912)의 양끝에 बैं크(915)가 형성되고, 화소 전극(912) 상에 EL층(916) 및 발광 소자의 음극(917)이 형성된다.
- <201> EL 층(916)으로서, 발광층, 전하 수송층 및 전하 주입층을 자유롭게 조합하여 EL 층(발광 및 발광을 위한 캐리어의 이동을 위한 층)을 형성할 수 있다. 예를 들어, 저분자계 유기 EL 재료 또는 고분자계 유기 EL 재료를 사용할 수 있다. 또한, EL 층으로서, 일중항 여기에 의해 발광(형광)하는 발광 재료(일중항 화합물)로 형성된 박막 또는 삼중항 여기에 의해 발광(인광)하는 발광 재료(삼중항 화합물)로 형성된 박막을 사용할 수 있다. 또한, 전하 수송층 또는 전하 주입층에 탄화 규소와 같은 무기 재료를 사용할 수 있다. 유기 EL 재료 또는 무기 재료에 공지의 재료를 사용할 수 있다.
- <202> 음극(917)은 모든 화소에 공통인 배선으로도 기능하고, 접속 배선(908)을 통해 FPC(909)에 전기적으로 접속되어 있다. 또한, 화소부(902) 및 게이트측 구동회로(903)에 포함된 소자들 모두가 음극(917), 밀봉재(918) 및 보호막(919)으로 덮여 있다.
- <203> 밀봉재(918)로는 가시광에 투과성 또는 반투과성인 재료를 사용하는 것이 바람직하다. 또한, 밀봉재(918)는 가능한 한 수분 또는 산소를 투과시키지 않는 재료로 형성되는 것이 바람직하다.
- <204> 또한, 밀봉재(918)로 발광 소자를 완전히 덮은 후, DCL막 등으로 이루어진 보호막(919)을 도 11(A) 및 도 11(B)에 도시된 바와 같이 적어도 밀봉재(918)의 표면(노출면)에 제공하는 것이 바람직하다. 또한, 보호막을 기관의 배면을 포함하여 전면에 제공할 수도 있다. 여기서, 외부 입력 단자(FPC)가 제공되는 부분에는 보호막이 퇴적되지 않도록 주의할 필요가 있다. 마스크를 사용할 수도 있다. 또는, 보호막을 형성하지 않게 하기 위해, CVD 장치에서 마스크 테이프로서 사용되는 테이프를 외부 입력 단자부를 덮을 수도 있다.
- <205> 상기한 구조로 밀봉재(918) 및 보호막으로 발광 소자를 봉입(封入)함으로써, 발광 소자를 외부로부터 완전히 차

단할 수 있다. 그리하여, EL 층의 산화에 의한 열화를 촉진하는 수분 또는 산소와 같은 물질이 외부로부터 침입하는 것을 방지할 수 있다. 따라서, 신뢰성이 높은 발광장치를 얻을 수 있다.

- <206> 또한, 화소 전극이 음극이고, EL 층 및 양극이 적층되어, 도 11(A) 및 도 11(B)의 것과 반대 방향으로 발광을 방출하도록 하는 구조를 채용할 수도 있다. 도 12는 그의 일 예를 나타내고 있다. 이 예의 상면도는 도 11(A)의 것과 동일하므로, 생략한다.
- <207> 이하에, 도 12에 도시된 단면 구조를 설명한다. 기판(1000)으로서는, 유리 기판 및 석영 기판 외에, 반도체 기판 또는 금속 기판을 사용할 수 있다. 기판(1000) 상에 절연막(1010)이 제공되고, 이 절연막(1010) 위에 화소부(1002) 및 게이트층 구동회로(1003)가 형성되고, 화소부(1002)는 전류 제어용 TFT(1011) 및 이 전류 제어용 TFT(1011)의 드레인에 전기적으로 접속된 화소 전극(1012)을 포함하는 다수의 화소로 이루어져 있다. 또한, 게이트층 구동회로(1003)는 n채널형 TFT와 p채널형 TFT가 조합되어 있는 CMOS 회로를 사용하여 형성된다.
- <208> 화소 전극(1012)은 발광 소자(EL 소자)의 음극으로서 기능한다. 또한, 화소 전극(1012)의 양끝에 बैं크(1015)가 형성되고, 화소 전극(1012) 상에 EL 층(1016) 및 발광 소자의 양극(1017)이 형성된다.
- <209> 양극(1017)은 모든 화소에 공통인 배선으로도 기능하고, 접속 배선(1008)을 통해 FPC(1009)에 전기적으로 접속되어 있다. 또한, 화소부(1002) 및 게이트층 구동회로(1003)에 포함된 소자들 모두가 양극(1017), 밀봉재(1018), 및 DLC막 등으로 이루어진 보호막(1019)으로 덮여 있다. 또한, 커버재(1020) 및 기판(1000)이 접착체에 의해 접합된다. 또한, 커버재에 오목부가 제공되고, 이 오목부에 건조제(1021)가 배치된다.
- <210> 밀봉재(1018)로서는, 가시광에 투과성 또는 반투과성인 재료를 사용하는 것이 바람직하다. 또한, 밀봉재(1018)는 가능한 한 수분 또는 산소를 투과시키지 않는 재료로 형성되는 것이 바람직하다.
- <211> 또한, 도 12에서는, 화소 전극이 음극이고, EL 층과 양극이 적층되어 있다. 따라서, 발광 방향은 도 12에서 화살표로 나타낸 방향이 된다.
- <212> 본 실시예에서는, 실시예 1에서 얻어진 높은 전기적 특성 및 신뢰성을 가지는 TFT를 사용하므로, 종래의 소자에 비해 신뢰성이 높은 발광 소자를 형성할 수 있다. 또한, 이러한 발광 소자를 가진 발광 장치를 표시부로 사용하여, 고성능의 전자기기를 얻을 수 있다.
- <213> 본 실시예는 실시예 1과 자유롭게 조합될 수 있다.
- <214> [실시예 5]
- <215> 본 발명을 실시하여 형성된 구동회로 및 화소부는 다양한 모듈(액티브 매트릭스형 액정 모듈, 액티브 매트릭스형 EL 모듈 및 액티브 매트릭스형 EC 모듈)에 사용할 수 있다. 즉, 본 발명은 표시부에 모듈을 탑재하는 모든 전자기기에 실시될 수 있다.
- <216> 이러한 전자기기로서는, 비디오 카메라, 디지털 카메라, 헤드 장착형 디스플레이(고글형 디스플레이), 자동차 내비게이션 시스템, 프로젝터, 자동차 오디오, 퍼스널 컴퓨터, 휴대형 정보 단말기(모바일 컴퓨터, 휴대 전화기 또는 휴대형 전자 서적) 등이 있다. 이들 전자기기의 예를 도 13(A)~도 13(F), 도 14(A)~도 14(D), 및 도 15(A)~도 15(C)에 나타낸다.
- <217> 도 13(A)는 본체(2001), 화상 입력부(2002), 표시부(2003) 및 키보드(2004)를 포함하는 퍼스널 컴퓨터를 나타낸다.
- <218> 도 13(B)는 본체(2101), 표시부(2102), 음성 입력부(2103), 조작 스위치(2104), 배터리(2105) 및 수상(受像)부(2106)를 포함하는 비디오 카메라를 나타낸다.
- <219> 도 13(C)는 본체(2201), 카메라부(2202), 수상부(2203), 조작 스위치(2204) 및 표시부(2204)를 포함하는 모바일 컴퓨터를 나타낸다.
- <220> 도 13(D)는 본체(2301), 표시부(2302) 및 암(arm)부(2303)를 포함하는 고글형 디스플레이를 나타낸다.
- <221> 도 13(E)는 프로그램이 기록된 기록 매체를 사용하는 플레이어를 나타내고, 이 플레이어는 본체(2401), 표시부(2402), 스피커부(2403), 기록 매체(2404) 및 조작 스위치(2405)를 포함한다. 이 플레이어는 기록 매체로서 DVD(Digital Versatile Disc) 또는 CD를 사용하고, 음악 및 영화를 감상하고, 게임 및 인터넷을 즐길 수 있다.
- <222> 도 13(F)는 본체(2501), 표시부(2502), 접안부(2503), 조작 스위치(2504) 및 수상부(도시되지 않음)를 포함하는

디지털 카메라를 나타낸다.

- <223> 도 14(A)는 투사 장치(2601) 및 스크린(2602)을 포함하는 프론트형 프로젝터를 나타낸다. 실시예 3을 투사 장치(2601)의 부품을 구성하는 액정 모듈(2808)에 적용하여 장치 전체를 완성할 수 있다.
- <224> 도 14(B)는 본체(2701), 투사 장치(2702), 미러(2703) 및 스크린(2704)을 포함하는 리어형 프로젝터를 나타낸다. 실시예 3을 투사 장치(2702)의 부품을 구성하는 액정 모듈(2808)에 적용하여 장치 전체를 완성할 수 있다.
- <225> 또한, 도 14(C)는 도 14(A) 및 도 14(B)의 투사 장치(2601, 2702)의 구조의 일 예를 나타낸다. 투사 장치(2601, 2702) 각각은 광원 광학계(2801), 미러(2802, 2804~2806), 다이크로익 미러(2803), 프리즘(2807), 액정 표시장치(2808), 위상차 판(2809) 및 투사 광학계(2810)로 구성된다. 투사 광학계(2810)는 투사 렌즈를 포함하는 광학계로 구성된다. 본 실시예는 3판식의 예를 나타내지만, 이것에 특별히 한정되는 것은 아니고, 예를 들어, 단판식으로 될 수도 있다. 또한, 도 14(C)에 화살표로 나타낸 광로에 실시자가 광학 렌즈, 편광 기능을 가진 필름, 위상차를 조절하기 위한 필름 또는 IR 필름과 같은 광학계를 적절히 배치할 수도 있다.
- <226> 또한, 도 14(D)는 도 14(C)에 도시된 광원 광학계(2801)의 구조의 일 예를 나타내는 도면이다. 본 실시예에 따르면, 광원 광학계(2801)는 반사기(2811), 광원(2812), 렌즈 어레이(2813, 2814), 편광 변환 소자(2815) 및 집광 렌즈(2816)로 구성된다. 또한, 도 14(D)에 도시된 광원 광학계는 일 예일 뿐이고, 이것에 특별히 한정되는 것은 아니다. 예를 들어, 실시자가 광학 렌즈, 편광 기능을 가진 필름, 위상차를 조절하기 위한 필름 또는 IR 필름과 같은 광학계를 광원 광학계에 적절히 배치할 수도 있다.
- <227> 그러나, 도 14(A) 및 도 14(B)에 도시된 프로젝터에서는, 투과형 전기광학장치를 사용하는 경우를 나타내고 있고, 반사형 전기광학장치 및 EL 모듈을 적용하는 예는 나타내지 않았다.
- <228> 도 15(A)는 본체(2901), 음성 출력부(2902), 음성 입력부(2903), 표시부(2904), 조작 스위치(2905), 안테나(2906) 및 화상 입력부(CCD, 이미지 센서 등)(2907)을 포함하는 휴대 전화기를 나타낸다.
- <229> 도 15(B)는 본체(3001), 표시부(3002, 3003), 기록 매체(3004), 조작 스위치(3005) 및 안테나(4006)를 포함하는 휴대형 책(전자 책)을 나타낸다.
- <230> 도 15(C)는 본체(3101), 지지대(3102) 및 표시부(3103)를 포함하는 디스플레이를 나타낸다.
- <231> 또한, 도 15(C)에 도시된 디스플레이는 중소형 또는 대형이고, 예를 들어, 디스플레이의 화면 크기가 5~20 인치이다. 또한, 1×1 m 크기의 기관을 다면취(多面取)하여 이러한 크기의 디스플레이를 대량 생산하는 것이 바람직하다.
- <232> 상기한 바와 같이, 본 발명의 적용 범위는 매우 넓고, 본 발명은 모든 분야의 전자기기에 적용 가능하다. 본 발명의 전자기기는 실시예 1~4의 임의의 구성과 자유롭게 조합하여 실시될 수 있다.

발명의 효과

- <233> 본 발명에 의하면, 고농도로, 구체적으로는, $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ 의 농도로 아르곤을 함유하고 $1 \times 10^{17} / \text{cm}^3$ 이하의 농도로 불소를 함유하는 비정질 규소막을 플라즈마 CVD법에 의해 형성할 수 있다.
- <234> 또한, 본 발명에 의하면, 결정화를 조장하는 금속원소를 충분히 감소 또는 제거한 결정 구조를 가진 반도체막을 얻을 수 있어, 이 반도체막을 활성층으로 사용하는 TFT의 전기적 특성을 향상시키고 소자간 편차를 감소시킬 수 있다. 특히, 액정 표시장치에서는, TFT 특성 편차에 기인하는 표시 얼룩을 감소시킬 수 있다.
- <235> 또한, OLED를 가진 반도체장치에서는, 화소 전극에 일정 전류를 공급하도록 배치된 TFT(구동회로 또는 화소에 배치된 OLED에 전류를 공급하는 TFT)의 온(on) 전류(I_{on})의 편차를 감소시키고, 휘도의 편차를 억제할 수 있다.
- <236> 또한, 본 발명에 의하면, 결정화를 조장하는 금속원소뿐만 아니라 불순물인 다른 금속원소(Fe, Cu 등)도 제거 또는 감소시킬 수 있다.

도면의 간단한 설명

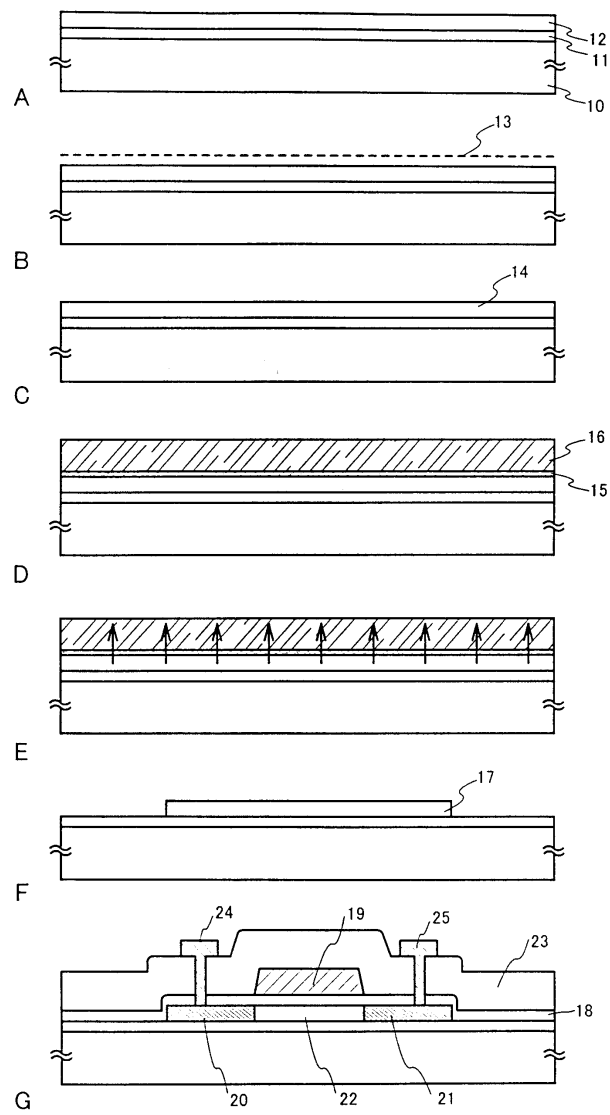
- <1> 도 1(A)~도 1(G)는 TFT의 제작공정을 나타내는 도면,
- <2> 도 2(A)는 아르곤 농도를 나타내는 SIMS 데이터(RF 전력 의존성)의 도면이고, 도 2(B)는 불소 농도를 나타내는

SIMS 데이터의 도면(실험 1),

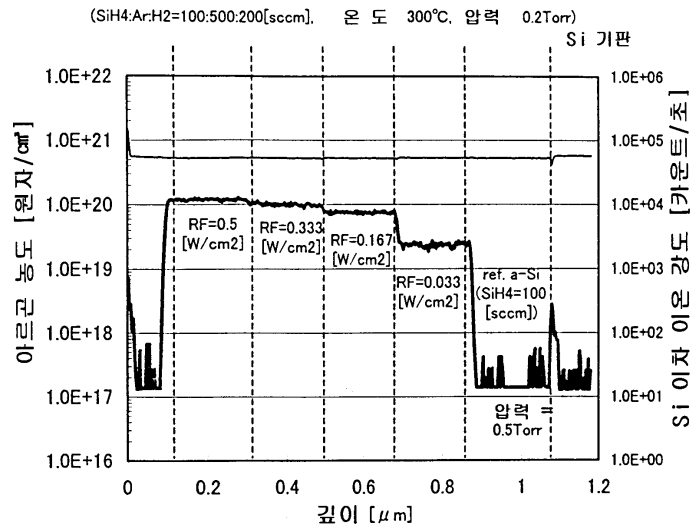
- <3> 도 3(A)는 산소 농도를 나타내는 SIMS 데이터의 도면이고, 도 3(B)는 질소 농도를 나타내는 SIMS 데이터의 도면(실험 1),
 - <4> 도 4(A)는 아르곤 농도를 나타내는 SIMS 데이터(압력 의존성)의 도면이고, 도 4(B)는 불소 농도를 나타내는 SIMS 데이터의 도면(실험 2),
 - <5> 도 5(A)는 산소 농도를 나타내는 SIMS 데이터의 도면이고, 도 5(B)는 질소 농도를 나타내는 SIMS 데이터의 도면(실험 2),
 - <6> 도 6(A)~도 6(D)는 액티브 매트릭스 기판의 제작공정을 나타내는 도면,
 - <7> 도 7(A)~도 7(C)는 액티브 매트릭스 기판을 나타내는 도면,
 - <8> 도 8은 액티브 매트릭스 기판을 나타내는 도면,
 - <9> 도 9는 AM-LCD의 외관을 나타내는 도면,
 - <10> 도 10은 투과형 액정 표시장치를 나타내는 도면,
 - <11> 도 11(A)는 EL 모듈의 상면도이고, 도 11(B)는 EL 모듈의 단면도,
 - <12> 도 12는 EL 모듈의 단면도,
 - <13> 도 13(A)~도 13(F)는 전자기기의 예를 나타내는 도면,
 - <14> 도 14(A)~도 14(D)는 전자기기의 예를 나타내는 도면,
 - <15> 도 15(A)~도 15(C)는 전자기기의 예를 나타내는 도면,
 - <16> 도 16은 FT-IR법에 의한 분광 스펙트럼 데이터를 나타내는 도면.
 - <17> (도면의 주요 부분에 대한 부호의 설명)
- | | |
|--|--|
| <ul style="list-style-type: none"> <18> 201: n채널형 TFT <19> 203: n채널형 TFT <20> 205: 보유 용량 <21> 207: 화소부 <22> 128: 제2 전극 <23> 138~140: 제2 불순물 영역 <24> 144, 145: 제1 불순물 영역 <25> 151, 152: 제5 불순물 영역 <26> 155~160: 드레인 전극 <27> 162: 게이트 배선 <28> 164~168: 채널 형성 영역 | <ul style="list-style-type: none"> 202: p채널형 TFT 204: 화소 TFT 206: 구동회로 124~127: 게이트 전극 129: 소스 배선 142: 제3 불순물 영역 149, 150: 제4 불순물 영역 154; 제2 층간절연막 161: 접속 배선 163: 화소 전극 |
|--|--|

도면

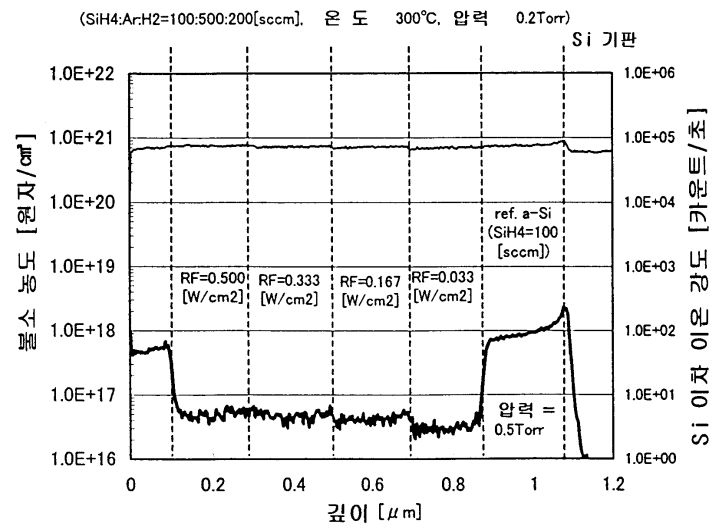
도면1



도면2

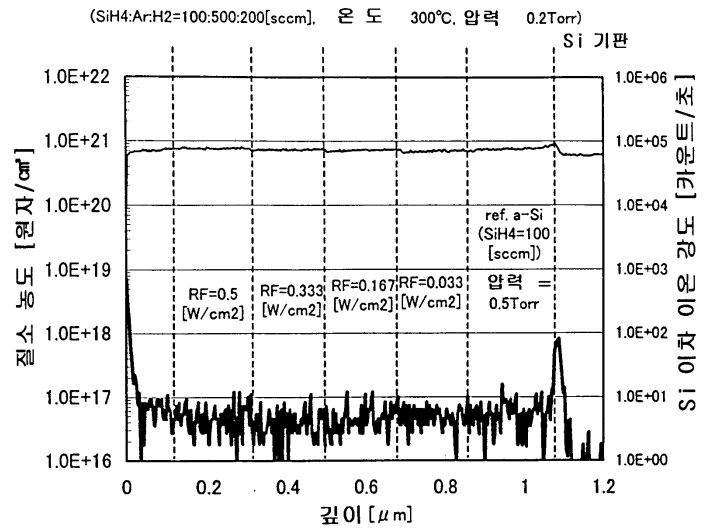


A

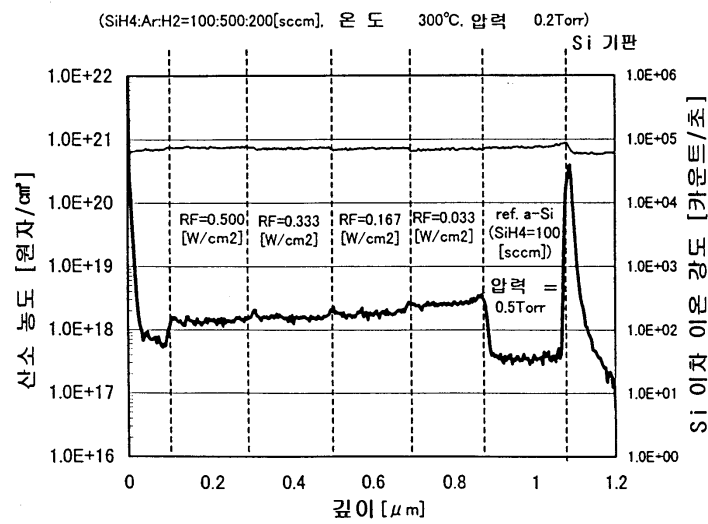


B

도면3

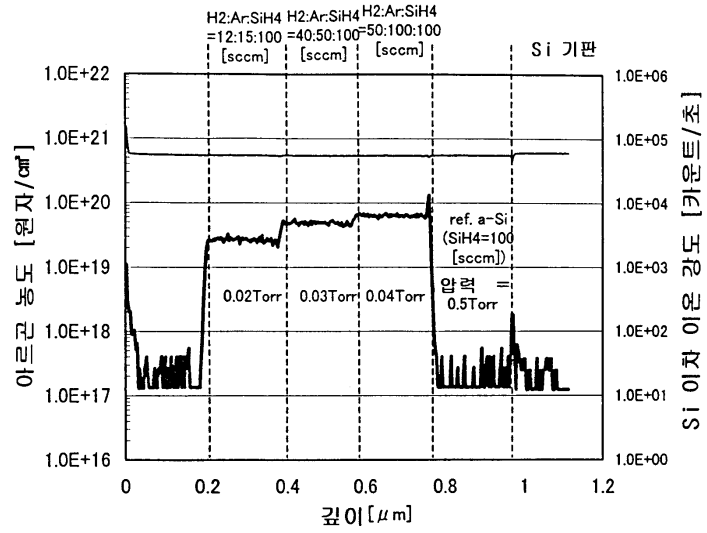


A

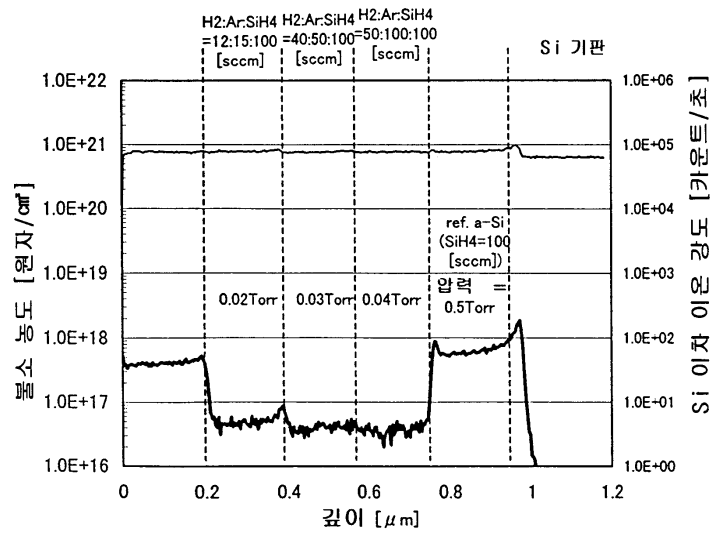


B

도면4

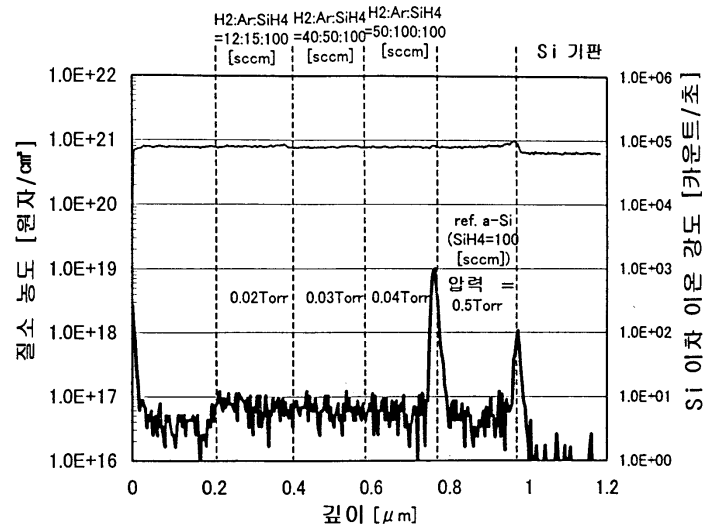


A

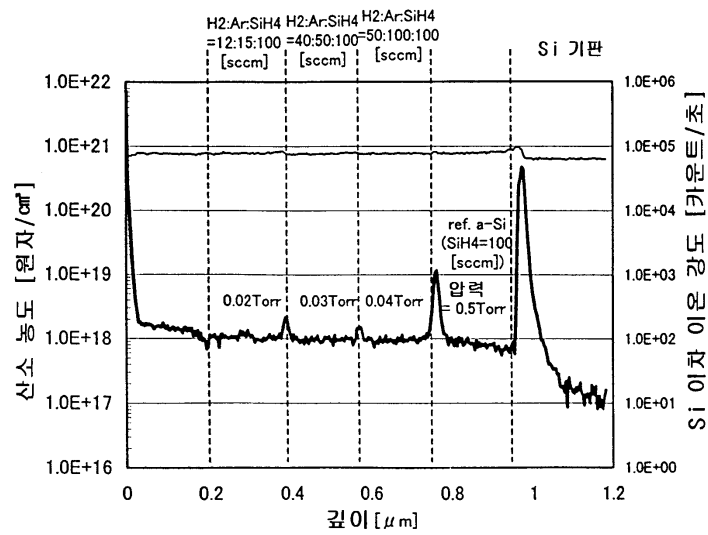


B

도면5

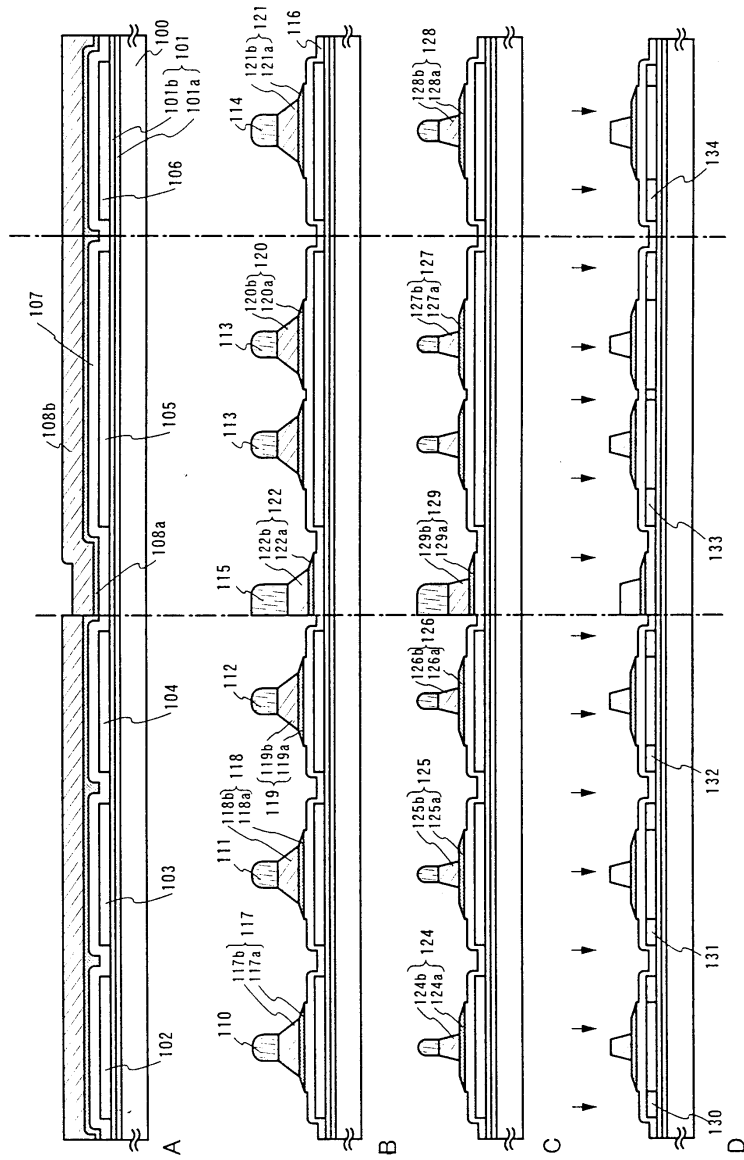


A

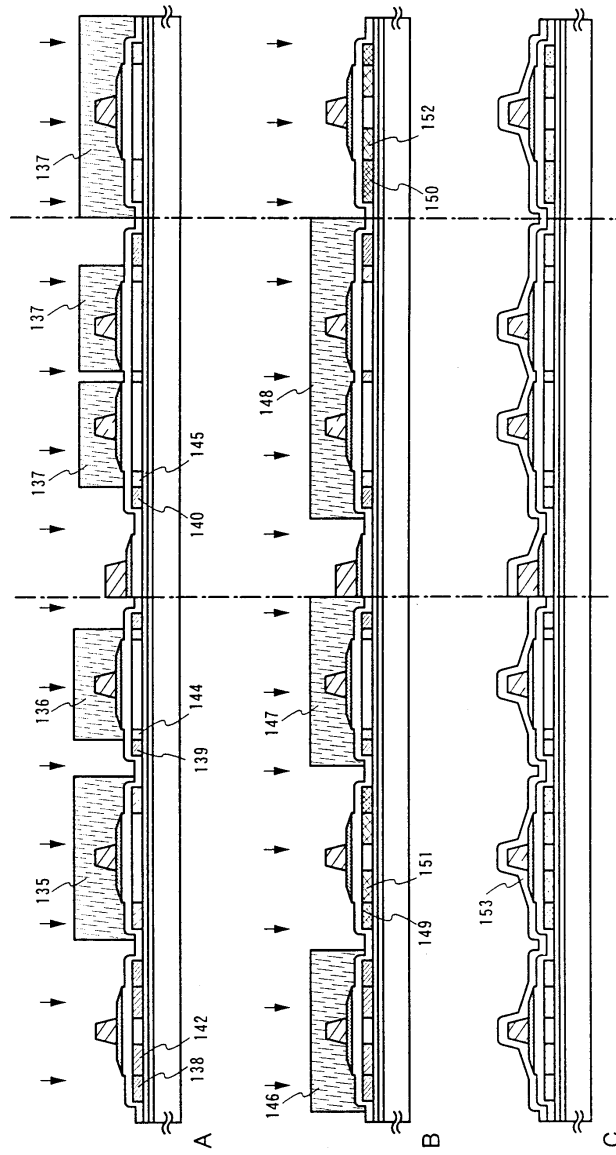


B

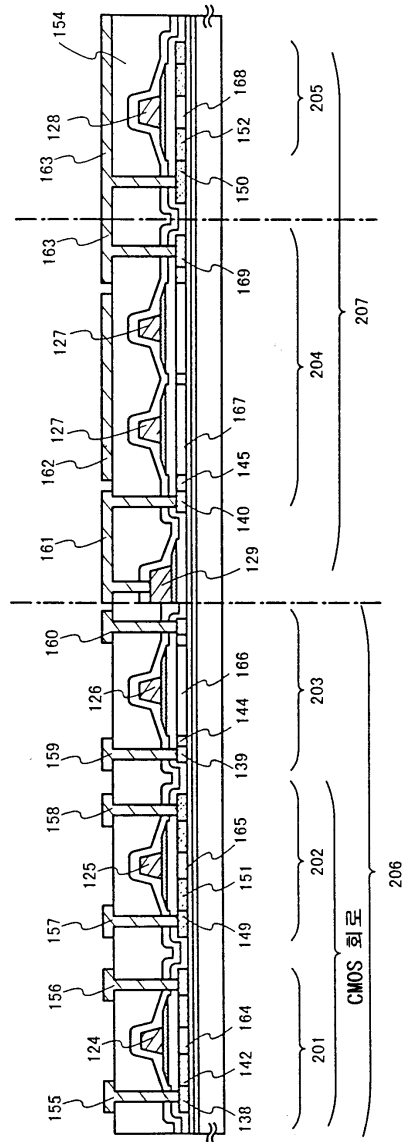
도면6



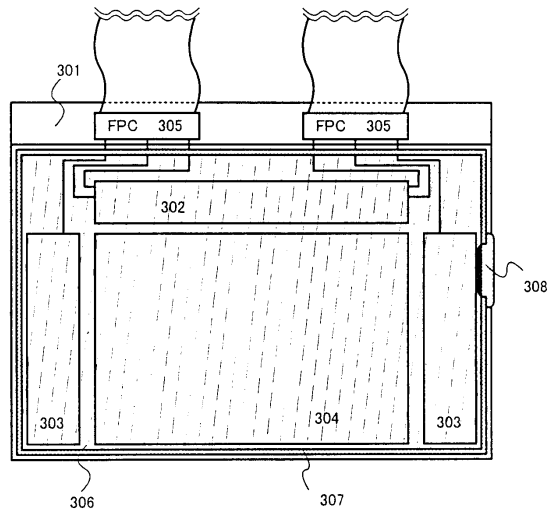
도면7



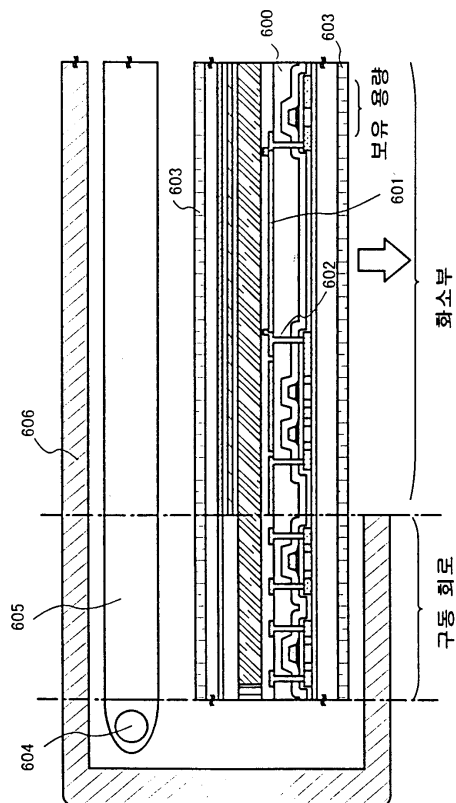
도면8



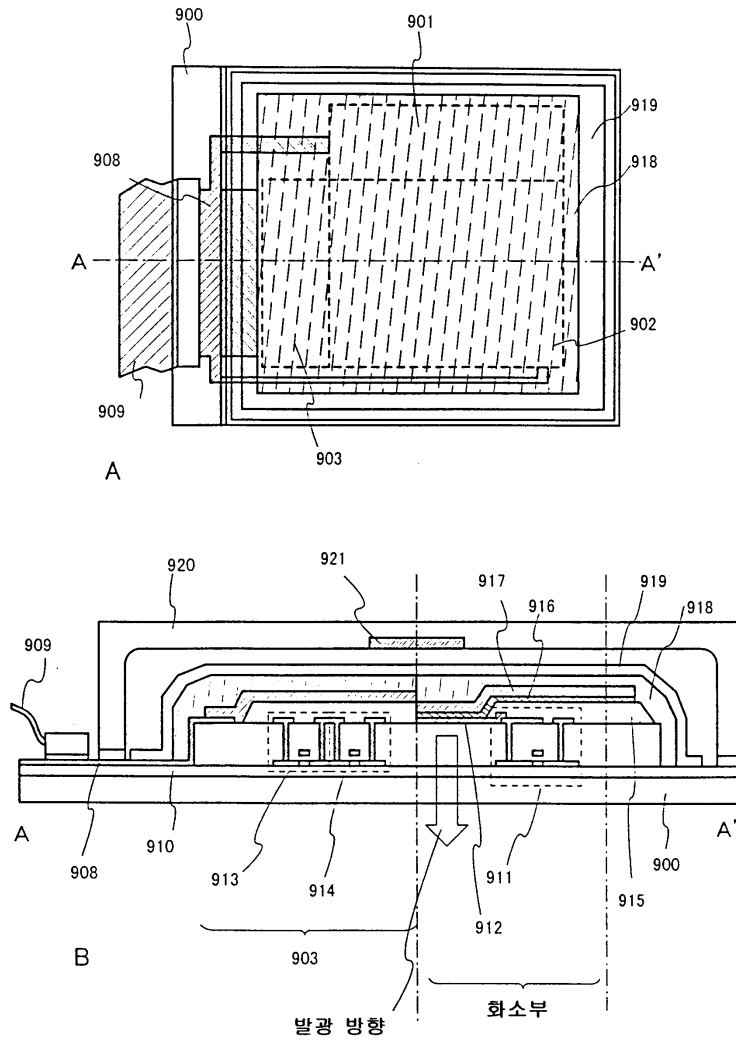
도면9



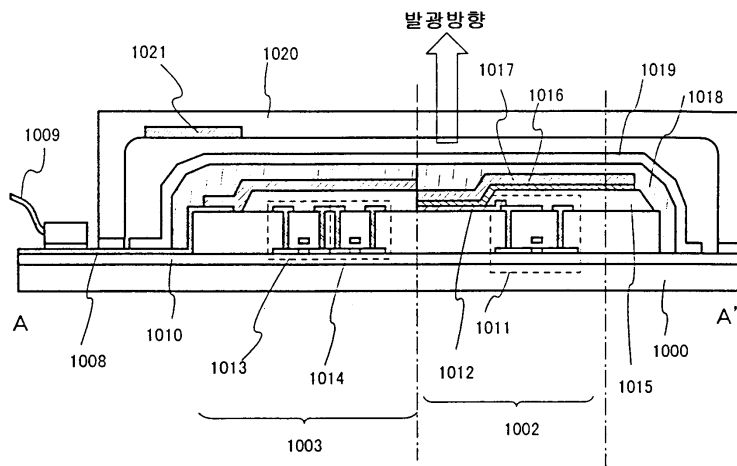
도면10



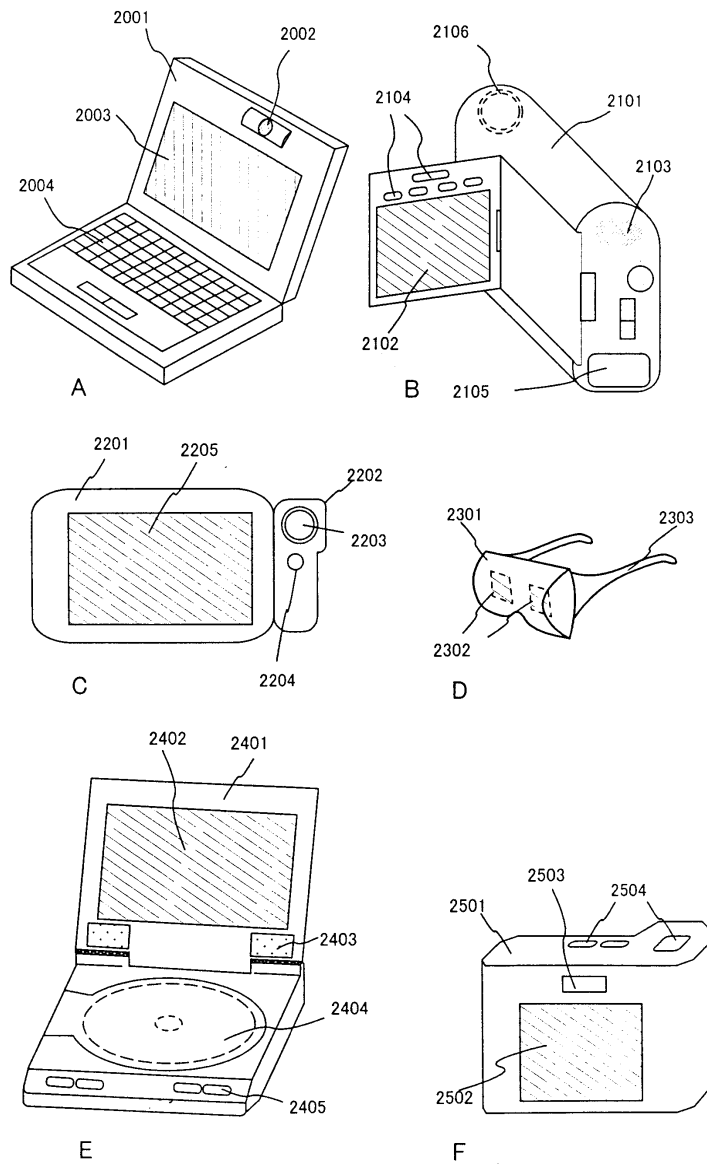
도면11



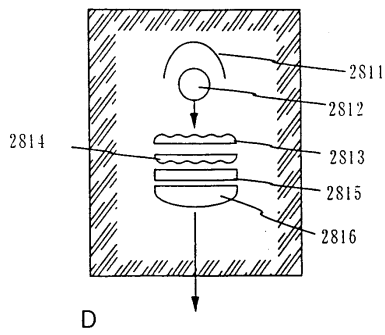
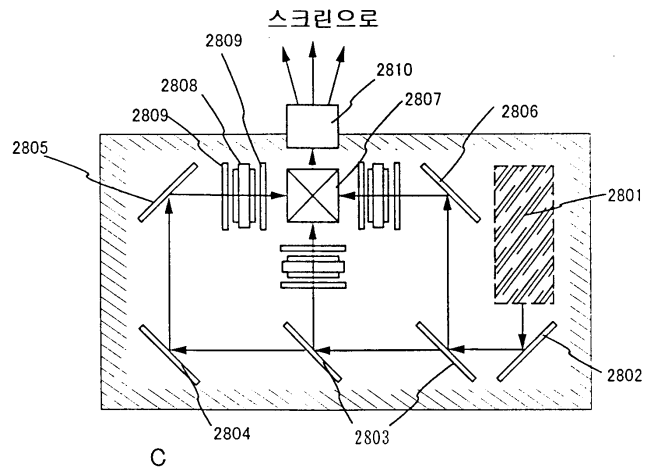
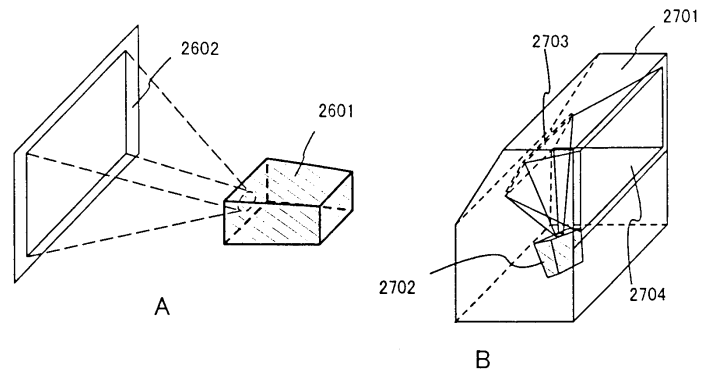
도면12



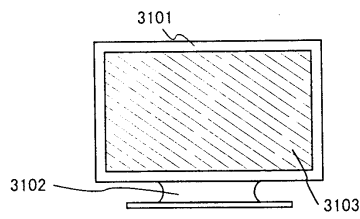
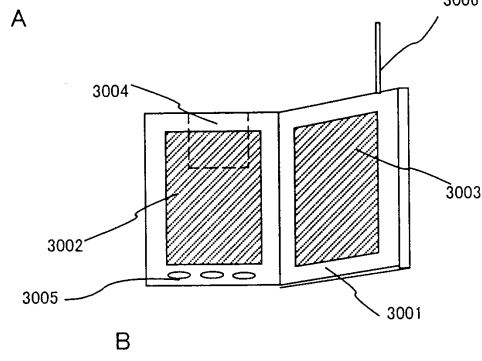
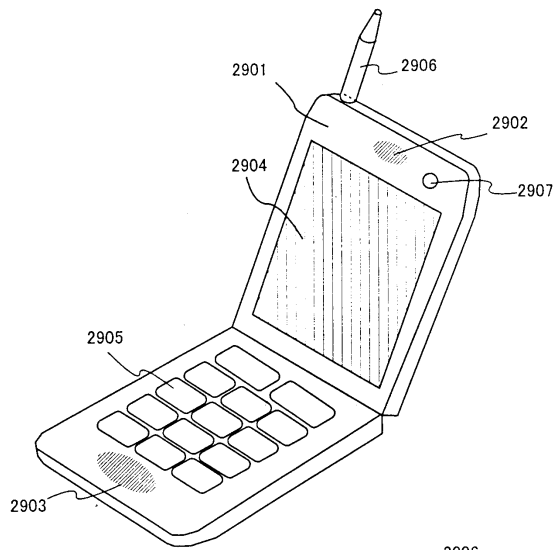
도면13



도면14



도면15



C

도면16

