



(21)申請案號：109109618

(22)申請日：中華民國 109 (2020) 年 03 月 23 日

(51)Int. Cl.：

*H01L23/52 (2006.01)**H01L25/075 (2006.01)**H01L27/06 (2006.01)**H01L27/088 (2006.01)**H01L29/16 (2006.01)**H01L29/20 (2006.01)**H01L29/40 (2006.01)**H01L29/66 (2006.01)**H01L29/778 (2006.01)*

(30)優先權：2019/03/21 美國

62/821,946

(71)申請人：美商創世舫科技有限公司(美國) TRANSPHORM TECHNOLOGY, INC. (US)

美國

(72)發明人：吳毅鋒 WU, YIFENG (CN)；葛瑞特斯 約翰克里克 GRITTERS, JOHN KIRK (US)

(74)代理人：李世章；彭國洋

(56)參考文獻：

TW 201448208A

TW 201603239A

TW 201714307A

TW 201909423A

US 2012/0223321A1

US 2012/0256190A1

US 2015/0162326A1

US 2016/0064313A1

審查人員：郭德豐

申請專利範圍項數：12 項 圖式數：10 共 51 頁

(54)名稱

用於三族氮化物元件的整合設計

(57)摘要

一種半導體元件，包括 III-N 元件和場效電晶體 (FET)。III-N 元件包括在 III-N 材料結構的第一側上的基板、在與基板相對的 III-N 材料結構的一側上的第一閘極、第一源極和第一汲極。FET 包括第二半導體材料結構、第二閘極、第二源極和 second 汲極，且第二源極在第二半導體材料結構的與第二汲極相對的一側上。FET 的第二汲極直接接觸並電連接至 III-N 元件的第一源極，且通孔穿過 III-N 材料結構的一部分而形成，從而暴露出基板的頂表面的一部分，且第一閘極透過通孔電連接至基板。

A semiconductor device comprises a III-N device and a Field Effect Transistor (FET). The III-N device comprises a substrate on a first side of a III-N material structure, a first gate, a first source, and a first drain on a side of the III-N material structure opposite the substrate. The FET comprises a second semiconductor material structure, a second gate, a second source, and a second drain, and the second source being on an opposite side of the second semiconductor material structure from the second drain. The second drain of the FET is directly contacting and electrically connected to the first source of the III-N devices, and a via-hole is formed through a portion of the III-N material structure exposing a portion of the top surface of the substrate and the first gate is electrically connected to the substrate through the via-hole.

指定代表圖：

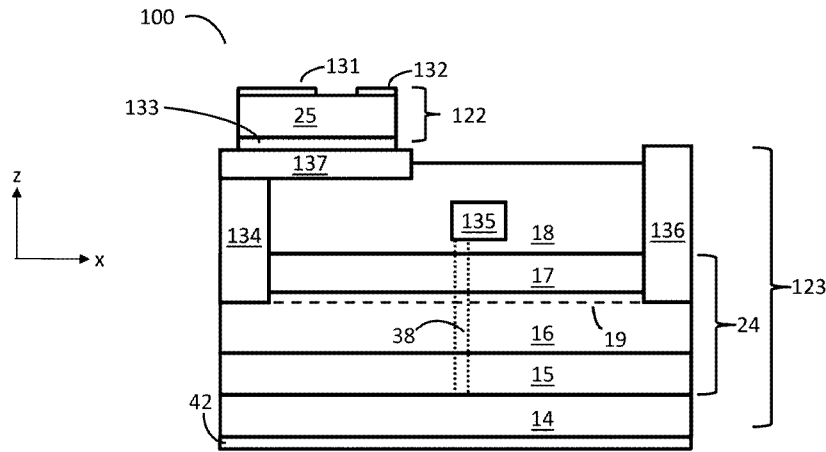


圖2A

符號簡單說明：

- 14:導電基板
- 15:III-N 緩衝層
- 16:III-N 通道層
- 17:III-N 阻障層
- 18:絕緣體層
- 19:2DEG 通道
- 24:III-N 材料結構
- 25:半導體主體
- 38:通孔
- 42:連接器
- 100:元件
- 122:低壓增強型元件
- 123:高壓空乏型 III-N 元件
- 131:FET 源極電極
- 132:FET 閘極電極
- 133:FET 汲極電極
- 134:源極電極
- 135:閘極電極
- 136:汲極電極
- 137:源極焊墊



I844645

【發明摘要】

【中文發明名稱】用於三族氮化物元件的整合設計

【英文發明名稱】INTEGRATED DESIGN FOR III-NITRIDE DEVICES

【中文】

一種半導體元件，包括 III-N 元件和場效電晶體（FET）。III-N 元件包括在 III-N 材料結構的第一側上的基板、在與基板相對的 III-N 材料結構的一側上的第一閘極、第一源極和第一汲極。FET 包括第二半導體材料結構、第二閘極、第二源極和第二汲極，且第二源極在第二半導體材料結構的與第二汲極相對的一側上。FET 的第二汲極直接接觸並電連接至 III-N 元件的第一源極，且通孔穿過 III-N 材料結構的一部分而形成，從而暴露出基板的頂表面的一部分，且第一閘極透過通孔電連接至基板。

【英文】

A semiconductor device comprises a III-N device and a Field Effect Transistor (FET). The III-N device comprises a substrate on a first side of a III-N material structure, a first gate, a first source, and a first drain on a side of the III-N material structure opposite the substrate. The FET comprises a second semiconductor material structure, a second gate, a second source, and a second drain, and the second source being on an opposite side of the second semiconductor material structure from the second drain. The second drain of the FET is directly contacting and electrically connected to the first source of the III-N devices, and a via-hole is formed through a portion of the III-N material structure exposing a portion of the top surface of the substrate and the first gate is electrically connected to the substrate through the via-hole.

【指定代表圖】第 (2A) 圖。

【代表圖之符號簡單說明】

1 4 : 導 電 基 板

1 5 : I I I - N 緩 衝 層

1 6 : I I I - N 通 道 層

1 7 : I I I - N 阻 障 層

1 8 : 絕 緣 體 層

1 9 : 2 D E G 通 道

2 4 : I I I - N 材 料 結 構

2 5 : 半 導 體 主 體

3 8 : 通 孔

4 2 : 連 接 器

1 0 0 : 元 件

1 2 2 : 低 壓 增 強 型 元 件

1 2 3 : 高 壓 空 乏 型 I I I - N 元 件

1 3 1 : F E T 源 極 電 極

1 3 2 : F E T 閘 極 電 極

1 3 3 : F E T 汲 極 電 極

1 3 4 : 源 極 電 極

1 3 5 : 閘 極 電 極

1 3 6 : 汲 極 電 極

1 3 7 : 源 極 焊 墊

【特徵化學式】

無

【發明說明書】

【中文發明名稱】用於三族氮化物元件的整合設計

【英文發明名稱】INTEGRATED DESIGN FOR III-NITRIDE DEVICES

【技術領域】

【0001】 所揭示的技術係關於被設計為實現提高的效能和可靠性的半導體電子元件。

【先前技術】

【0002】 當前，典型的功率半導體元件，包括諸如電晶體、二極體、功率MOSFET和絕緣閘雙極性電晶體（IGBT）的元件，是用矽（Si）半導體材料製造的。最近，由於其優異的性質，寬帶隙材料（SiC、III-N、III-O、金剛石）已被考慮用於功率元件。III族氮化物或III-N族半導體元件（例如氮化鎵（GaN）元件）正在成為吸引人的候選對象以用於承載大電流、支援高電壓並在快速切換時間內提供極低的導通電阻。

【0003】 大多數習知的III-N高電子遷移率電晶體（HEMT）和相關的電晶體元件處於常開（normally on）狀態（即具有負閾值電壓），這意味著它們可以在零閘極電壓下傳導電流。這些具有負閾值電壓的元件被稱為空乏型（空乏模式；D-mode）元件。在電力電子裝置中，最好具有處於常閉（normally off）狀態的元件（即具有正閾值電壓的元件），此元件在零閘極電壓下不傳導大量電流，以藉由防止元件意外打開來避免損壞元件或其他電路

部件。常閉元件通常稱為增強型（增強模式；E-mode）元件。

【0004】 迄今為止，可靠地加工和製造高壓III-N增強型電晶體是非常困難的。單個高壓增強型電晶體的一種替代方案，是將高壓空乏型III-N電晶體與低壓增強型電晶體（例如低壓矽FET）結合為共源共閘（cascode）電路配置，如圖1的示意圖所示，以形成混合元件，此混合元件可由與單個高壓增強型III-N電晶體相同的方式操作，並且在許多情況下實現與單個高壓增強型III-N電晶體相同或相似的輸出特性。圖1的混合元件包括高壓空乏型III-N電晶體23和低壓增強型電晶體22，它們可以可選地都包裝在單個封裝10中，此封裝包括源極引線11、閘極引線12和汲極引線13。低壓增強型電晶體22的源極電極31和高壓空乏型III-N電晶體23的閘極電極35電連接至源極引線11。低壓增強型電晶體22的閘極電極32電連接至閘極引線12。高壓空乏型III-N電晶體23的汲極電極36電連接到汲極引線13。高壓空乏型III-N電晶體23的源極電極34電連接至低壓增強型電晶體22的汲極電極33。低壓增強型電晶體22包括本徵主體二極體37，其與電晶體22的通道反平行地延伸。

【發明內容】

【0005】 本文描述了用於III-N元件的整合設計，對於這些元件，低壓增強型元件和高壓空乏型III-N元件被整合到單個電子部件封裝中以形成混合元件，此混合元件可以與

單個高壓增強型III-N電晶體相同的方式操作和/或具有與單個高壓增強型III-N電晶體相同的輸出特性。當不需要區分任何電晶體或開關或二極體時，術語元件通常會被使用。

【0006】 在第一態樣中，描述了一種半導體元件。半導體元件包括III-N元件和場效電晶體（FET）。III-N元件包括在III-N材料結構的第一側上的基板、在與基板相對的III-N材料結構的一側上的第一閘極、第一源極和第一汲極。FET包括第二半導體材料結構、第二閘極、第二源極和第二汲極，且第二源極在第二半導體材料結構的與第二汲極相對的一側上。FET的第二汲極直接接觸並電連接至III-N元件的第一源極，且通孔穿過III-N材料結構的一部分而形成，從而暴露出基板的頂表面的一部分，且第一閘極至少部分形成在通孔中並電連接至基板。

【0007】 在第二態樣中，描述了電子部件。電子部件包括增強型電晶體。電子部件還包括空乏型電晶體。空乏型電晶體包括基板。電子部件還包括封裝。封裝包括導電結構封裝基座，且封裝同時包圍增強型電晶體和空乏型電晶體。空乏型電晶體的汲極電極電連接到封裝的汲極引線，增強型電晶體的閘極電極電連接到封裝的閘極引線，增強型電晶體的源極電極電連接到導電結構封裝基座，其中空乏型電晶體的閘極電極直接接觸並電連接到導電基板，導電基板直接接觸並電連接到導電結構封裝基座，且導電結構封裝基座電連接到封裝的源極引線。

【0008】 在第三態樣中，描述了半橋電路。半橋電路包括連接至高壓節點的高側開關、連接至接地節點的低側開關、以及連接至高側開關與低側開關之間的節點的電感器。低側開關包括低壓增強型電晶體和高壓空乏型電晶體。半橋電路被配置為使得在第一操作模式下，電流在第一方向上流過高側開關並流過電感器，同時高側開關被偏壓為接通（ON）並且低側開關被偏壓為斷開（OFF）。在第二操作模式中，電流在第二方向上流過低側開關並流過電感器，同時高側開關被偏壓為OFF，而低側開關被偏壓為OFF。在第三操作模式中，電流在第二方向上流過低側開關並流過電感器，同時高側開關被偏壓為OFF，而低側開關被偏壓為ON，其中在第二操作模式期間，穿過低側開關的反向DC電流大於50 A，且其中在第三操作模式期間，III-N空乏型電晶體的導通電阻增加小於5%。

【0009】 在第四態樣中，描述了包裝在封裝中的電子部件。電子部件包括混合III-N元件。混合III-N元件包括以共源共閘配置設置的低壓增強型電晶體和高壓III-N空乏型電晶體。被封裝的電子部件能夠在正向方向上阻擋600 V，並且在部件封裝的閘極偏壓為OFF時能夠在反向方向上承受大於50 A的電流，其中在電子部件的閘極被偏壓為OFF的同時，在反向方向上承受該電流之後，當閘極被偏壓為ON時，電子部件的電阻小於5%。

【0010】 本文描述的每個元件和電晶體可包括以下一或多個特徵。基板可以是p型摻雜的，其電洞濃度大於 1×10^{19}

個電洞/cm³。基板可以電耦合至電路接地。III-N緩衝層可以具有大於4 μm的厚度並且能夠阻擋大於600 V。FET的汲極可以藉由焊料、焊膏或導電環氧樹脂電連接到III-N元件的源極。閘極電極金屬可以包括Ti/Al或Ni/Au。III-N材料結構可以以Ga極性定向或N極性定向來定向。增強型電晶體的汲極電極直接接觸並電連接至空乏型電晶體的源極電極。增強型電晶體的源極電極透過導電基板耦合至空乏型電晶體的閘極電極。增強型電晶體具有比空乏型電晶體低的擊穿電壓。III-N空乏型電晶體的閘極電極可電連接至矽基板。矽基板可直接接觸並電連接至導電結構封裝基座，並且結構封裝基座被配置為連接至電路接地。增強型電晶體可以是矽MOSFET。

【0011】 如本文所使用的「混合增強型電子元件或部件」，或簡稱為「混合元件或部件」，是由空乏型電晶體和增強型電晶體形成的電子元件或部件，其中，與增強型電晶體相比，空乏型電晶體能夠具有更高的操作和/或擊穿電壓，並且此混合元件或部件被配置為與單個增強型電晶體類似地操作，其擊穿和/或操作電壓約和空乏型電晶體一樣高。亦即，混合增強型元件或部件包括具有以下性質的至少3個節點。當第一節點（源極節點）和第二節點（閘極節點）保持相同的電壓時，混合增強型元件或部件可以阻擋施加至第三節點（汲極節點）相對於源極節點的正高電壓（即大於增強型電晶體能夠阻擋的最大電壓的電壓）。當閘極節點相對於源極節點保持在足夠的正電壓（即大於增強型

電晶體的閾值電壓)時，電流從源極節點流到汲極節點，或從汲極節點流到源極節點(當相對於源極節點向汲極節點施加足夠的正電壓時)。當增強型電晶體是低壓元件並且空乏型電晶體是高壓元件時，混合部件可以與單個高壓增強型電晶體類似地操作。空乏型電晶體的擊穿和/或最大操作電壓，可以是增強型電晶體的擊穿和/或最大操作電壓的至少兩倍、至少三倍、至少五倍、至少十倍或至少二十倍。

【0012】 如本文所使用的術語III族氮化物或III-N族材料、層、元件等，是指由根據化學計量式 $B_w Al_x In_y Ga_z N$ 的化合物半導體材料構成的材料或元件，其中 $w + x + y + z$ 約為1而 $0 \leq w \leq 1$ 、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 且 $0 \leq z \leq 1$ 。III-N材料、層或元件可以藉由在合適的基板上直接生長(例如藉由金屬有機化學氣相沉積)，或在合適的基板上生長、與原始基板分離並接合到其他基板上而形成或製備。

【0013】 如本文所使用，如果兩個或多個接點或其他項目(例如導電通道或部件)被具有足夠導電性的材料連接以確保接點或其他項目的每一者處的電位意欲在任何偏壓條件下都是相同的(例如約為相同)，則此兩個或多個接點或其他項目被稱為「電連接」。

【0014】 如本文所使用，「阻擋電壓」是指當在電晶體、元件或部件上施加電壓時，電晶體、元件或部件阻止顯著電流(例如大於正常導通期間操作電流的0.001倍的電流)流過電晶體、元件或部件的能力。換言之，當電晶體、元

件或部件阻擋施加在其上的電壓時，流過電晶體、元件或部件的總電流將不大於正常導通期間操作電流的0.001倍。斷態電流大於此值的元件表現出高損耗和低效率，並且通常不適合許多應用，尤其是功率切換應用。

【0015】 如本文所使用，「高壓元件」，例如高壓切換電晶體、HEMT、雙向開關或四象限開關（FQS），是針對高壓應用而優化的電子元件。亦即，當元件關閉時，它能夠阻斷高電壓，例如大約300 V或更高、大約600 V或更高或大約1200 V或更高，並且當元件開啟時，對於所使用之應用具有足夠低的導通電阻（ R_{ON} ），例如，當大量電流流過元件時，它會經歷足夠低的傳導損耗。高壓元件至少能夠在其所使用的電路中阻擋等於高壓供應或最大電壓的電壓。高壓元件可能能夠阻擋300 V、600 V、1200 V、1700 V、2500 V或應用所需的其他合適的阻擋電壓。換言之，高壓元件可阻擋0 V與至少 V_{max} 之間的所有電壓，其中 V_{max} 為可由電路或電源供應器供應的最大電壓，且 V_{max} 可例如為300 V、600 V、1200 V、1700 V、2500 V或應用所需的其他合適的阻擋電壓。對於雙向或四象限開關，當開關OFF時，阻擋電壓可以具有小於某個最大值的任何極性（ $\pm V_{max}$ ，例如 ± 300 V或 ± 600 V、 ± 1200 V等），並且當開關處於ON狀態時，電流可以處於任一方向。

【0016】 如本文所使用，「III-N元件」是基於III-N異質結構的元件。III-N元件可以設計為作為電晶體或開關操作，其中元件的狀態由閘極端子控制，或作為兩端子元件

操作，此元件在沒有閘極端子的情況下阻擋電流在一個方向上流動而在另一個方向上導電。III-N 元件可以是適用於高壓應用的高壓元件。在這樣的高壓元件中，當元件被偏壓為斷開時（例如閘極上相對於源極的電壓小於元件閾值電壓），它至少能夠支持小於或等於使用元件的應用中的高壓（例如可為 100 V、300 V、600 V、1200 V、1700 V、2500 V 或更高）的所有源極-汲極電壓。當高壓元件被偏壓為開啟時（例如，閘極上相對於源極或相關電源端子的電壓大於元件閾值電壓），它能夠以低導通電壓（亦即源極和汲極端子之間或相對的電源端子之間的低電壓）傳導大量電流。最大允許導通電壓是在使用元件的應用中可以承受的最大導通狀態電壓。

【0017】 如本文使用的術語「在.....之上」、「在.....之下」、「在.....之間」和「在.....上」，指一個層相對於其他層的相對位置。因此，例如，設置在另一層之上或之下的一個層，可與此另一層直接接觸或可具有一或多個中介層。再者，設置在兩個層之間的一個層，可與這兩個層直接接觸，或可具有一或多個中介層。相對的，在第二層「上」的第一層，係與此第二層接觸。另外，假設相對於基板執行操作而不考慮基板的絕對定向，而提供了一層相對於其他層的相對位置。

【0018】 在其中使用高壓切換電晶體的典型功率切換應用中，電晶體在大部分時間中處於兩種狀態之一。在通常被稱為「ON 狀態」的第一狀態下，閘極電極處相對於源極電

極的電壓高於電晶體閾值電壓，並且大量電流流過電晶體。在這種狀態下，源極和汲極之間的電壓差通常很低，通常不超過數伏，例如約0.1至5伏。在通常被稱為「OFF狀態」的第二狀態下，閘極電極處相對於源極電極的電壓低於電晶體閾值電壓，且除了OFF狀態的漏電流之外，沒有大量電流流過電晶體。在此第二狀態下，源極和汲極之間的電壓範圍可以從大約0 V到電路高壓供應的值，在一些情況下可以高達100 V、300 V、600 V、1200 V、1700 V或更高，但可以小於電晶體的擊穿電壓。在一些應用中，電路中的電感元件會導致源極和汲極之間的電壓甚至高於電路高壓供應。另外，在閘極被切換導通或斷開之後，短時間內電晶體處於上述兩種狀態之間的轉變模式。當電晶體處於斷開狀態時，可以說是在源極和汲極之間「阻擋電壓」。如本文所使用，「阻擋電壓」是指當在電晶體、元件或部件上施加電壓時，電晶體、元件或部件阻止顯著電流（例如大於正常導通狀態的導電期間平均操作電流的0.001倍的電流）流過電晶體、元件或部件的能力。換言之，當電晶體、元件或部件阻擋施加在其上的電壓時，流過電晶體、元件或部件的總電流將不大於正常導通狀態的導電期間平均操作電流的0.001倍。

【0019】 當使用圖1的混合增強型元件代替習知的高壓增強型電晶體時，此混合元件如下操作。當混合元件處於導通狀態時，電流流過增強型電晶體的通道和空乏型電晶體的通道，並且兩個電晶體中每個電晶體上的電壓可能很

小，通常為數伏或更小。當混合元件處於斷開狀態時，由混合元件阻擋的電壓在增強型電晶體和空乏型電晶體之間分配。增強型電晶體阻擋大約 $|V_{th,D}|$ 和 $V_{br,E}$ 之間的電壓，其中 $|V_{th,D}|$ 是空乏型電晶體的閾值電壓的絕對值，且 $V_{br,E}$ 是增強型電晶體的擊穿電壓。混合元件上的其餘電壓被高壓空乏型電晶體阻擋。

【0020】 在附加圖式與下面的描述中闡述本說明書所描述的標的的一或多個所揭示實施方式的細節。額外的特徵和變異也可以包括在實施方式中。根據說明書、圖式以及申請專利範圍，將可顯然理解其他的特徵、態樣與優點。

【圖式簡單說明】

【0021】 圖 1 是先前技術的電子部件的示意圖。

【0022】 圖 2 A 是混合 III-N 元件的截面圖。

【0023】 圖 2 B 和 2 C 分別是圖 2 A 的混合 III-N 元件的平面圖和截面圖。

【0024】 圖 3 是封裝的電子部件元件的透視圖。

【0025】 圖 4 是電子部件的示意圖。

【0026】 圖 5 A、5 B 和 5 C 圖示了透過半橋降壓轉換器電路的電流路徑的示意圖。

【0027】 圖 6 A 和 6 B 圖示了在不同操作模式期間穿過半橋降壓轉換器的低側開關的電流路徑的示意圖。

【0028】 圖 7 A、7 B 和 7 C 圖示了穿過半橋升壓轉換器電路的電流路徑的示意圖。

【0029】 圖 8 是混合 III-N 元件的另一種配置的截面圖。

【0030】 圖 9 是混合 III-N 元件的另一種配置的截面圖。

【0031】 圖 10 是混合 III-N 元件的另一種配置的截面圖。

【0032】 在各種圖式中，類似的元件符號指示類似的元件。

【實施方式】

【0033】 本文描述了混合增強型電子部件，其包括組裝到單個電子部件封裝中的空乏型電晶體和增強型電晶體。以共源共閘（cascode）電路配置來設置空乏型電晶體（可為高壓 III-N 元件）和增強型電晶體（可為低壓矽 FET 元件）以形成混合元件，此混合元件可由與單個高壓增強型 III-N 電晶體相同的方式操作，並且在許多情況下可以實現與單個高壓增強型 III-N 電晶體相同或相似的輸出特性。空乏型電晶體具有比增強型電晶體更大的擊穿電壓（例如，至少三倍大）。當混合電子部件被偏壓在斷開狀態下時，可被其阻擋的最大電壓至少與空乏型電晶體的最大阻擋或擊穿電壓一樣大。配置本文中描述的混合電子部件，使得與封裝中的習知混合元件相比，可靠性和 / 或效能得到改善，同時降低了組裝過程的複雜性和成本。

【0034】 圖 2 A 圖示了電子元件的截面圖，電子元件包括低壓增強型元件 122（例如矽 FET 元件），低壓增強型元件 122 電連接到高壓空乏型 III-N 元件 123（例如 GaN HEMT 元件），以形成單個高壓混合 III-N 元件 100。增強型元件 122 包括半導體主體層 25、在半導體主體層 25 的第一側上的 FET 源極電極 131 和 FET 閘極電極 132、以及

在半導體主體層 25 的與 FET 源極電極 131 相對側上的 FET 汲極電極 133。

【0035】 圖 2A 的空乏型 III-N 元件 123 包括生長在合適的導電基板 14 上的 III-N 材料結構 24 (例如 GaN 和 AlGaIn 的組合)，基板可以是導電半導體，諸如矽 (例如 p 型或 n 型 Si)、GaN 或任何其他足夠導電的基板。例如，基板可以被 p 型摻雜為具有大於 1×10^{19} 個電洞 / cm^3 的電洞濃度，或者基板可以被 n 型摻雜為具有大於 1×10^{19} 個電子 / cm^3 的電子濃度。基板可以具有高導熱率或低導熱率；在低導熱率的基板的情況下，可以使基板變薄以改善散熱。基板可以具有與 III-N 材料結構 24 的任何材料層的晶格常數和 / 或熱膨脹係數相似或不同的晶格常數和 / 或熱膨脹係數。可以在與 III-N 材料結構 24 相對的基板的背面上形成背面金屬層 42 (例如，Ti/Ni/Ag)。背面金屬層 42 可以用作接合層，以允許使用焊料、焊膏、導電環氧樹脂、導電膠帶或其他合適的附接方法將基板附接到元件封裝基座 (例如引線框架)，而允許將元件基板 14 高品質地機械、熱和電連接到元件封裝基座。

【0036】 III-N 材料結構 24 可以包括在基板 14 上方生長的 III-N 緩衝層 15，例如 GaN 或 AlGaIn。藉由在層中包括錯位或點缺陷，或者藉由在層中摻雜諸如 Fe、C 和 / 或 Mg 的補償元素，可以使緩衝層 15 絕緣或實質上沒有無意的 n 型移動載子。整個緩衝層可以具有實質均勻的組成，或者組成可以變化。例如，在一些實施方式中，例如藉由對緩

衝層中的鋁成分進行分級來對緩衝層進行成分分級（例如，基板可以是 $Al_xGa_{1-x}N$ ，其中 x 在整個基板中變化）。緩衝層 15 的厚度和組成可以針對高壓應用進行優化。亦即，緩衝層能夠在其所使用的電路中阻擋等於高壓電供應或最大電壓的電壓。例如，緩衝層 15 可以能夠阻擋大於 600 V 或大於 900 V。緩衝層 15 的厚度可以大於 4 μm ，例如 III-N 緩衝層的厚度可以在 5 μm 和 8 μm 之間。

【0037】 III-N 材料結構可以進一步包括在 III-N 緩衝層 15 上方的 III-N 通道層 16（例如，GaN）和在 III-N 通道層 16 上方的 III-N 阻障層 17（例如，AlGaN、AlInN 或 AlGaInN）。III-N 阻障層 17 的帶隙大於 III-N 通道層 16 的帶隙。III-N 通道層 16 具有與 III-N 阻障層 17 不同的組成，並且 III-N 阻障層 17 的厚度和組成被選擇為使得二維電子氣體（2DEG）通道 19（在圖 2A 中以虛線指示）在與層 17 和 16 之間的界面相鄰的 III-N 通道層 16 中感應出。

【0038】 通常，III-N 高電子遷移率電晶體（HEMT）由藉由分子束磊晶（MBE）或金屬有機化學氣相沉積（MOCVD）在反應器或其他技術中生長的磊晶（即 epi）III-N 材料結構形成。III-N 材料結構可以在 III 族極性（例如 Ga 極性）定向上生長，諸如 [0 0 0 1]（C 平面）定向，如圖 2A 所示。亦即，HEMT 的源極、閘極和汲極接點形成在 III-N 材料結構的 III 族面（例如 [0 0 0 1] 面）上，III 族面通常在 III-N 材料結構的與形成 III-N 層的基板相對的側上。或者，可以在以諸如 [0 0 0 -1] 定向的 N 極性（即

N面)定向生長的III-N材料結構上形成III-N HEMT(未圖示)。在這種情況下,HEMT的源極、閘極和汲極接點形成在III-N材料結構的N面(例如[0 0 0 -1]面)上方。在此,III-N材料結構可包括在III-N緩衝層之上的III-N阻障層和在III-N阻障層17上方的III-N通道層16。III-N阻障層17的帶隙大於III-N通道層16的帶隙,並且選擇III-N阻障層17的厚度和組成,使得在與III-N通道層16和III-N阻障層17之間的界面相鄰的III-N通道層16中感應出二維電子氣體(2DEG)通道19。N極性III-N材料具有與III族極性III-N材料相反的方向的偏振場,因此可以實現不能使用III族極性結構製造的III-N元件。

【0039】 在III-N材料結構的頂表面上方生長或沉積絕緣體層18(例如,介電層)。絕緣體18可以例如由氧化鋁(Al_2O_3)、二氧化矽(SiO_2)、 Si_xN_y 、 $\text{Al}_{1-x}\text{Si}_x\text{N}$ 、 $\text{Al}_{1-x}\text{Si}_x\text{O}$ 、 $\text{Al}_{1-x}\text{Si}_x\text{ON}$ 或任何其他寬帶隙絕緣體形成,或包括以上這些成分。儘管絕緣體18被示為單層,但是其可以替代地由在不同處理步驟期間沉積的數個層形成以形成單個組合的絕緣體層。絕緣體層18可以始終是恆定的,或者可以由不同類型的絕緣材料形成,例如,絕緣體層可以具有由MOCVD SiN形成的第一部分(例如藉由MOCVD沉積的SiN)和由PECVD SiN形成的第二部分(例如藉由PECVD沉積的SiN)。

【0040】 源極電極134和汲極電極136形成在元件100的與基板相對的一側上,使得元件100被表徵為橫向III-N元

件（即，源極和汲極位於元件的同一側上，且電流在源極 134 和汲極 136 之間橫向流過元件）。源極電極 134 和汲極電極 136 歐姆接觸並且電連接到形成在層 16 中的元件 2DEG 通道 19。源極電極 134 和汲極電極 136，例如源極和汲極接點，可以由金屬堆疊形成。可以在 III-N 阻障層 17 中形成凹部，以允許改善源極電極 134 和汲極電極 136 與 2DEG 通道 19 的歐姆接觸。金屬堆疊可以是 Ti/Al/Ni/Au、Ti/Al 或其他合適的金屬。源極接點 134 和汲極接點 136 可以藉由金屬蒸發和沉積後退火處理形成。也可以使用其他歐姆接觸處理，包括濺射和乾式蝕刻處理。

【0041】 元件 100 還包括閘極電極 135，例如閘極接點。可以形成閘極電極 135，使得絕緣體層 18 至少部分位於閘極電極和 III-N 材料結構 24 之間，如圖 2A 所示，或者可替代地，可以形成閘極電極 135，使得閘極電極 135 與 III-N 材料結構 24（未圖示）接觸。閘極電極 135 可以由合適的導電材料形成，例如金屬堆疊，例如鈦/鋁（Ti/Al）或鎳/金（Ni/Au），並且可以藉由金屬蒸發或濺射或化學氣相沉積或各種原子層沉積（ALD）來沉積。閘極電極 135 可以替代地是另一種導電材料或包括一或多種具有大功函數的材料堆疊，諸如具有大功函數的半導體材料（例如，p 型多晶矽、氧化銻錫、氮化鎢、氮化銻或氮化鈦）。

【0042】 閘極電極 135 藉由通孔 38 電連接到基板 14，通孔 38 穿過 III-N 材料結構 24 的一部分（例如直通磊晶通孔或

TEV) 形成，通孔 38 暴露出基板 14 的頂表面的一部分，如圖 2 A 中的虛線區域所示。閘極電極 135 的金屬至少部分地形成在通孔 38 中，使得 III-N 元件 23 的閘極電極 135 電連接到基板 14。儘管圖 2 A 中的虛線區域圖示了經過 2DEG 通道 19 的通孔 38，但是通孔 38 以使得 2DEG 通道 19 在源極電極 134 和汲極電極 136 之間連續的方式形成(例如在元件的主動區之外的區域中形成通孔)，如圖 2 B 和 2 C 進一步所示。

【0043】 圖 2 B 和 2 C 分別示出了圖 2 A 的 III-N 元件 123 的平面圖和截面圖，其中圖 2 C 的截面圖由圖 2 B 的虛線 27 指示。元件的主動區由虛線區域 26 指示。通常在主動區之外，蝕刻或以其他方式處理半導體材料(例如藉由離子佈植)，使得不存在導電通道，從而防止了被設計為彼此隔離的元件部分之間的短路。如圖 2 B 和 2 C 所示，通孔 38 和 38' 形成在主動區 26 的外部，並延伸穿過 III-N 材料結構 24，從而暴露出基板 14 的頂表面的一部分。閘極電極金屬至少部分地形成在通孔 38 和 38' 中，使得閘極電極 135 電連接到基板 14。如本文所使用的，電晶體的「主動區」是指源極區和汲極區以及在圖 2 B 和 2 C 中位於源極電極 134 和汲極電極 136 之間的包含元件通道的區域，即區域 26。

【0044】 現在，再次參考圖 2 A，低壓增強型元件 122 電連接到高壓空乏型 III-N 元件 123，以形成混合 III-N 元件 100。在此，增強型元件 122 的汲極電極 133 透過源極接點的一部分直接接觸(例如安裝)並電連接到 III-N 元件 123

的源極電極 134 上，將源極接點的此部分圖示為形成在絕緣層 18 的一部分上的源極焊墊 137。如圖 2A 所示，源極焊墊 137 可在空乏型元件 123 的主動區上方延伸，使得增強型元件 122 直接安裝在空乏型元件 123 的主動區上方。可替代地，絕緣層 18 可以延伸到空乏型元件 123 的主動區的外部，源極焊墊 137 可以延伸在絕緣層 18 上方，在空乏型元件 123 的主動區的外部，並且增強型元件 122 可以被安裝在源極焊墊 137 上，在空乏型元件 123 的主動區的外部。增強型元件 122 的汲極 133 可以例如由焊料、焊膏、導電環氧樹脂、導電帶或其他合適的附接方法連接到空乏型元件 123 的源極焊墊 137，而允許在 FET 汲極電極 133 與源極電極 134 的源極焊墊 137 之間的高品質地機械、熱和電連接。組裝在單個封裝中的習知混合元件通常並排共裝在陶瓷絕緣基板（例如 AlN 墊片）上，並且需要外部導線連接器才能將 FET 汲極連接到 HEMT 源極。然而，如圖 2A 所示，將增強型元件 122 直接安裝在空乏型元件 123 上，消除了對外部導線連接器和陶瓷基板的需要。這大大降低了電路的寄生電感，從而允許更高的額定電流和更快的開關速度。

【0045】 圖 3 是整合到電子部件封裝 200 中的混合 III-N 元件 100 的透視圖。封裝 200 是三端封裝，包括導電結構封裝基座 310（例如鋁、銅或鎳引線框）、閘極引線 312（即第一端子）、源極引線 311（即第二端子）和汲極引線 313（即第三端子），其中閘極引線 312 和汲極引線 313 與導電結構封裝基座 310 電隔離，而源極引線 311 電連接至導電結

構封裝基座 310。可以可選地包括安裝孔 29。另外，包裝 200 可以包括包圍元件的塑料或金屬殼體（未圖示）。混合元件的基板 14 直接安裝並電連接到導電結構封裝基座 310。基板 14 可以例如藉由焊料、導電環氧樹脂、導電帶或其他合適的附接方法安裝到封裝基座，而允許將基板 14 高質地機械、熱和電連接到結構封裝基座 310。通常，在習知的混合元件封裝方法中，在元件基板 14 和封裝基座 310 之間使用陶瓷或絕緣基板（例如 AlN 墊片）以將基板與封裝電隔離。封裝基座 310 可以直接安裝到散熱器（未圖示），使得封裝基座 310 和散熱器處於電和熱接觸，即，它們電連接，並且由混合元件產生的熱量可以透過散熱器散逸。散熱器也可以是電路接地，也可以電連接到電路接地，在這種情況下，封裝基座 310、基板 14 和 III-N 元件的閘極 135 分別電連接到電路接地。

【0046】 封裝 200 的閘極引線 312 藉由連接器 41 耦合（例如電連接）到增強型元件 122 的閘極電極 132。封裝 200 的汲極引線 313 藉由連接器 43 耦合（例如電連接）到 III-N 元件 123 的汲極電極 136。導電結構封裝基座 310 藉由連接器 42 耦合（例如電連接）到增強型元件 122 的源極電極 131。III-N 元件 123 的閘極電極 135 透過導電基板 14 和通孔 38/38' 耦合（例如電連接）到導電結構封裝基座 310。連接器 41、42 和 43 可包括單個引線接合（如圖所示）或多個平行引線接合、帶、導電金屬夾或其他包含導電材料（例

如鋁（Al）、金（Au）、銅（Cu）或其他合適的材料）的連接器。

【0047】 如圖3所示，空乏型III-N元件123的閘極接點135藉由穿過III-N材料結構24形成的通孔38/38'與基板14電連接。而且，如前所述，基板14直接安裝到導電結構封裝基座310，使得它們電連接。如習知方法中所要求的，此配置允許III-N元件的閘極電極135被電耦合（例如電連接）到封裝元件200的源極引線311，而無需使用外部導線連接器。此配置還允許閘極電極135電耦合（例如，電連接）到增強型元件122的源極電極131。閘極電極135可包含在空乏型元件123的頂表面上暴露的接觸墊區域（如圖3所示），這對於元件測試（例如元件探測）可能是實用的，但是，優選地，在諸如介電層18之類的介電材料中完全密封閘極電極135的頂表面，使得在空乏型元件123的頂表面上沒有閘極電極135的暴露區域。另外，習知的混合元件組裝方法通常在元件基板14與封裝基座310之間使用陶瓷或絕緣墊片（例如，AlN墊片），以將基板與封裝源極引線311電隔離。這需要使用附加的導線連接器來將閘極電極135連接到封裝源極引線311。當絕緣墊片被包括在封裝基座310和空乏型元件的基板14之間時，基板14不被保持在固定電壓處，而是處於浮置電位（例如，在空乏型元件閘極135的電壓和空乏型元件汲極136的電壓之間的某處），從而在空乏型元件汲極136和空乏型元件基板14之間產生一個電壓差，此電壓差顯著小於空乏型元件

的汲極 136 和空乏型元件的閘極 135 之間的電壓差。去除陶瓷墊片並將基板 14 連接到封裝基座 310，將基板電壓固定在 0 V（即接地電位），從而在 III-N 緩衝層 15 上保持全閘極-汲極電壓。因此，需要對 III-N 緩衝層 15 進行仔細的設計考慮，以保持足夠的元件擊穿電壓特性（例如，可以使緩衝層 15 變厚，以防止由於緩衝層上的電位增加而引起的洩漏和 / 或擊穿）。因此，混合 III-N 元件 100 可以在不包括陶瓷墊片並且不超過三個連接器的情況下組裝到部件封裝 200 中，而需要陶瓷墊片或者在沒有通孔 38 的情況下組裝的習知組裝方法需要 4 個或更多個連接器。這減少了封裝所需部件的數量（例如材料清單或 BOM），從而降低了整體組裝成本。圖 3 的部件封裝 200 圖示了引線封裝，諸如 TO-220 或 TO-247。但是，可以使用具有無引線封裝的替代實施例，諸如四方扁平無引線（QFN）、表面安裝元件（SMD）或無損耗封裝（LFPAK）。另外，封裝 200 的部件可以由最適合設計者和封裝類型的需求的方式定向或佈置。

【0048】 圖 4 圖示了圖 1 的混合元件的電路示意圖，並且還指示了元件中固有存在的各種寄生電感和電容。空乏型元件 23 的寄生閘極-汲極電容（ C_{GD} ）表示為電容器 57。增強型元件 22 的本徵主體二極體由二極體 37 表示。增強型元件 22 的源極連接的寄生電感表示為電感器 54，且空乏型元件 23 的閘極連接的寄生電感表示為電感器 53。當在類似於圖 3 的封裝 200 的部件封裝中實現圖 4 的電路時，電感器 54

表示將增強型元件 122 的源極 131 連接到封裝基座 310 的導線（例如圖 3 中的導線 42）的電感，其中由圖 4 中的虛線 56 包圍的區域表示圖 3 的封裝基座 310。封裝源極引線 311 可以連接到電路接地 55。為了使空乏型元件 23 的閘極電極 35 連接到增強型元件 22 的源極電極 31，使用外部閘極導線連接器來將空乏型元件 23 的閘極電極 35 連接到封裝源極引線 11（或到封裝基座）。此閘極導線連接器在空乏型元件 23 的閘極電極 35 與封裝源極引線 11（或封裝基座）之間產生顯著的電感（由電感器 53 表示）。寄生電感 53 和 54 會減慢元件的開啟和關閉時間並增加切換損耗，從而降低元件的效能。

【0049】 在圖 2 A 所示的混合元件 100 中，空乏型元件 123 的閘極電極 135 藉由通孔 38 電連接到基板 14。因此，如圖 3 所示，當將元件 100 實現到封裝 200 中時，由於空乏型元件 123 的閘極 135 與導電基板 14 電連接且導電基板 14 直接安裝到封裝基座 310（並由此電連接到封裝基座 310），不需要在閘極 135 和封裝基座 310 之間的外部導線連接器。此外，與對應於圖 1 的元件所需的外部連接的寄生電感 53 相比，透過通孔 38 到基板 14 的閘極連接的寄生電感顯著減小。因此，與包裝在封裝 100 中的圖 1 的元件相比，包裝在部件封裝 200 中的元件 100 在切換特性上顯示出顯著的改善、降低的導通電阻降級、並且封裝成本大大降低。下面將進一步詳細描述一些切換效能的改善。

【0050】 圖 5 A、5 B 和 5 C 圖示了操作半橋降壓轉換器電路的三種不同模式。半橋電路包括連接至高壓節點 9 1 的高側開關 8 2 和連接至接地節點 9 2 的低側開關 8 3。電感器 9 3 連接在節點 9 4（在低側開關 8 3 與高側開關 8 2 之間）與電路的輸出節點 V_{OUT} 之間。第一電容器 8 6 連接在高壓節點 9 1 和 DC 接地 9 2 之間。第二電容器 8 7 連接在電路的輸出節點 V_{OUT} 與 DC 接地 9 2 之間。選擇低側開關 8 3 以具有改善降壓轉換器電路的效率的性質。具體地說，開關 8 3 應具有低的導通電阻（ $R_{DS(ON)}$ ）和低的切換損耗。開關 8 3 例如可以是圖 1 的混合元件。或者，開關 8 3 可以被實現為組裝在圖 3 的部件封裝 2 0 0 中的圖 2 A 至 2 C 的混合元件 1 0 0。

【0051】 圖 5 A 至 5 C 的降壓轉換器半橋可以如下操作：參考圖 5 A，在第一操作模式中，高側開關 8 2 的閘極被偏壓為 ON（即 $V_{GS\ 8\ 2} > V_{TH}$ ），並且低側開關 8 3 的閘極被偏壓為 OFF（即 $V_{GS\ 8\ 3} < V_{TH}$ ）。電流 9 7 從高壓節點 9 1 沿正向方向穿過高側開關 8 3 流到節點 9 4。電流被低側開關 8 3 阻擋，並流過電感器 9 3，如電流路徑 9 7 所示。當元件以第一操作模式操作時，如果高側開關 8 2 的閘極-源極電壓切換到低或 OFF（即切換到 $V_{GS\ 8\ 2} < V_{TH}$ ），使得開關 8 2 與 8 3 的閘極都被偏壓為 OFF，則降壓轉換器切換至圖 5 B 所示的第二操作模式。電流必須持續流過電感器 9 3。

【0052】 圖 6 A 示出了在圖 5 A 和 5 B 所示的第一操作模式和第二操作模式之間的轉變時間 T_1 期間穿過低側開關 8 3 的電流路徑。在轉變時間 T_1 期間，節點 9 4 處的電壓（如圖 5 A

至 5 C 所示) 被拉低, 直到變為負值為止, 並且位移電流流過空乏型元件 23 的寄生閘極 - 汲極電容器 57, 如圖 6 A 中的電流路徑 I_{AC} 所示。當節點 94 處的電壓變得足夠負時, 增強型元件 22 的本徵主體二極體 37 導通, 並且開關 83 變為反向導通。這稱為反向傳導模式 (即續流二極體模式)。在轉變時間 T_1 結束時, 開關 83 從 OFF 轉變為反向導電, 並且電流從穿過空乏型元件 22 的閘極 - 汲極電容器 57 的位移電流突然轉變為反向 DC 電流, 反向 DC 電流流過增強型元件 22 的本徵主體二極體 37 和空乏型元件 23 的通道, 如圖 6 B 中的電流路徑 I_{DC} 所指示。當穿過電感器 93 的操作電流高時, 電流路徑轉變會導致電壓尖峰並在空乏型元件 23 的閘極上產生振鈴效應。此電壓尖峰將電荷注入到空乏型元件 23 的閘極介電質 18 中, 並導致空乏型元件的導通電阻 (R_{ON}) 增加, 從而增加了混合元件的導通電阻。即使開關 83 的閘極被偏壓為 OFF, 在圖 5 B 的電路中也需要開關 83 的反向導通, 因為電感器 93 中的電流必須是連續的。

【0053】 返回參考圖 5 C, 在如圖 5 B 所示將高側 82 的閘極切換為 OFF 之後, 低側開關 83 被切換為 ON (即到 $V_{GS\ 83} > V_{TH}$), 從而使降壓轉換器在第三操作模式中操作, 在此模式中, 電流繼續以與第二模式相同的方向 (反方向) 流過低側開關 83, 但是低側開關 83 被偏壓為 ON。與第二操作模式相比, 在第三操作模式期間將低側開關偏壓為 ON 減小了增強型元件 22 上反向的電壓降, 並允許比第二操作模式更高的效率。為了防止意外短路高電壓軌而接

地，需要在將高側開關 8 2 切換為 OFF 和將低側開關 8 3 切換為 ON 之間有足夠的停滯時間（dead time）。

【0054】 元件和相關封裝的設計，可能是決定反向導通模式期間低側開關 8 3 的效能的關鍵因素。藉由將封裝 2 0 0 中的元件 1 0 0 實現為低側元件 8 3，從而消除了空乏型元件 2 3 與封裝基座之間的外部閘極導線連接的需要（因為空乏型元件閘極經由通孔 3 8 連接至封裝基座），減小了封裝元件中的寄生電感（由電感器 5 3 圖示）。這繼而減少了在第一操作模式和第二操作模式之間的電流路徑轉變期間，空乏型元件 2 3 的閘極經歷的電壓尖峰和振鈴效應。出乎意料的是，與具有外部閘極導線的習知封裝相比，當以非常高的反向 DC 電流操作時，這圖示為顯著降低了元件導通電阻的降級（即增加）。這個結果是出乎意料的。當元件 1 0 0 在封裝 2 0 0 中被實現為低側開關 8 3 時，開關 8 3 能夠在大於 5 0 A 或甚至大於 7 0 A 的第二和第三操作模式期間以反向 DC 電流操作，而幾乎不顯示導通電阻增加。例如，導通電阻的增加可以小於 5 %。具有外部閘極導線連接的習知封裝即使在以 3 0 A 或更小的反向 DC 電流操作時，導通電阻也通常會顯示提高大於 3 0 % 或更多。低側開關 8 3 能夠在第一操作模式期間阻擋大於 6 0 0 V 的電壓。另外，高側開關 8 2 可以是與低側開關 8 3 相同類型的開關，但是不經受相同的突變電流轉變條件，並且可以由較不嚴苛的要求來設計。

【0055】 圖 7 A、7 B 和 7 C 圖示了操作半橋升壓轉換器電路的三種不同模式。半橋電路包括連接至高壓節點 9 1 的高側

開關 84 和連接至接地節點 92 的低側開關 85。電感器 101 連接在節點 102（在低側開關 85 與高側開關 84 之間）與電路的輸入節點 V_{IN} 之間。第一電容器 88 連接在輸入節點 V_{IN} 和 DC 接地 92 之間。第二電容器 87 連接在高壓節點 91 和 DC 接地 92 之間。在此，與降壓轉換器不同，需要仔細選擇高側開關 84 以改善升壓轉換器電路的效率。具體地說，開關 84 應具有低的導通電阻 ($R_{DS(ON)}$) 和低的切換損耗。開關 85 可以例如是圖 1 的混合元件。或者，開關 85 可以被實現為組裝在圖 3 的部件封裝 200 中的圖 2A 至 2C 的混合元件 100。

【0056】 圖 7A 至 7C 的降壓轉換器半橋可以如下操作：參考圖 7A，在第一操作模式中，高側開關 84 的閘極被偏壓為 OFF（即 $V_{GS\ 84} < V_{TH}$ ），並且低側開關 85 的閘極被偏壓為 ON（即 $V_{GS\ 85} < V_{TH}$ ）。電流流過電感器 101 到節點 102，並在正向方向上流過低側開關 85 到接地 92，如電流路徑 103 所示。當元件以第一操作模式操作時，如果低側開關 85 的閘極 - 源極電壓切換到低或 OFF（即切換到 $V_{GS\ 85} < V_{TH}$ ），使得開關 84 與 85 的閘極都被偏壓為 OFF，則升壓轉換器切換至圖 7B 所示的第二操作模式。電流必須繼續流過電感器 101。

【0057】 在第一操作模式和第二操作模式之間的轉變期間，穿過高側開關 84 的電流路徑可以類似於圖 6A 和 6B 中描述的電流路徑。在轉變期間，節點 102 處的電壓被拉高，並且位移電流流過開關 84 中使用的空乏型元件的寄生閘極

- 汲極電容器。當節點 102 處的電壓變得足夠高於高壓節點 91 時，在開關 84 中使用的增強型元件的本徵主體二極體被導通，並且開關 84 變為反向導通。在從 OFF 到反向導通的轉變期間，高側開關 84 的行為和效果與圖 5 A 至 5 C 的降壓轉換器和圖 6 A 和 6 B 的低側開關 83 中描述的行為和效果相似。

【0058】 返回參考圖 7 C，在如圖 7 B 所示將低側開關 85 的閘極切換為 OFF 之後，高側開關 84 的閘極被切換為 ON（即 $V_{GS\ 84} > V_{TH}$ ），從而使升壓轉換器在第三操作模式中操作，其中電流繼續以與第二模式相同的方向流過高側開關 84。在第三操作模式期間將高側開關偏壓為 ON 減小了開關 84 的增強型元件上反向的電壓降，並允許比第二操作模式更高的效率。為了防止意外地短路高電壓軌而接地，需要在將低側開關 85 切換為 OFF 和將高側開關 84 切換為 ON 之間有足夠的停滯時間（dead time）。當混合元件封裝部件 200 用作高側開關 84 時，圖 7 A 至 7 C 的升壓轉換器電路能夠支持與關於圖 5 A 至 5 C 的低側開關 83 所描述的那些相似的效能特性。另外，低側開關 85 可以是與高側開關 84 相同類型的開關，但是不經受相同的突變電流轉變條件，並且可以由較不嚴苛的要求來設計。

【0059】 參考圖 8，圖示了混合 III-N 元件的另一種配置。圖 8 的元件 800 與圖 2 A 的元件 100 相似，不同之處在於在絕緣基板 814（例如藍寶石基板）或半絕緣基板（電阻率 $\geq 1\ E\ 5\ \Omega \cdot cm$ ）（例如是碳化矽基板）上製造 III-N 材料結構 24，

而不是導電矽基板，如圖 2 A 所示。如先前針對圖 2 A 的封裝元件 100 所論述的，導電矽基板 14 在 0 V 處接地，導致整個閘極-汲極電壓被保持在緩衝層 15 上。這需要對 III-N 緩衝層 15 進行仔細的設計考慮，從而限制了元件 100 的高擊穿電壓。藉由在元件 800 中使用藍寶石（或其他絕緣或半絕緣）基板，元件 800 的擊穿電壓可以顯著大於元件 100 的擊穿電壓。例如，元件 800 的擊穿電壓可以大於 1200 V、大於 2400 V、並且在一些特定的設計實施方式中大於 10 kV。典型的藍寶石基板的標稱厚度約為 700 μm 。然而，可以減薄基板 814 以改善基板的熱效能。例如，絕緣基板 814 的厚度可以小於 200 μm 。

【0060】 在元件 800 中，閘極通孔 838 延伸穿過 III-N 材料結構 24 的整個厚度和絕緣基板 814 的整個厚度，以允許空乏型元件 123 的閘極 135 電連接至背面金屬層 842。背面金屬層 842 可以具有與元件 100 的背面金屬層 42 相似的性質（例如導電性），或者替代地，層 842 可以不同。例如，背面金屬層 842 可以是厚度大於 6 μm 的電鍍材料，例如 Ni 或 Cu 層。閘極通孔 838 可以形成在與閘極通孔 38 相似的元件區域中，例如，在元件的主動區之外。可以使用多種不同的製造方法來形成閘極通孔 838。例如，可以藉由穿過 III-N 材料結構 24 和基板 814 的蝕刻（例如乾式或濕式蝕刻）或雷射燒蝕（或兩者的結合）來形成閘極通孔 838，從而形成穿過與材料結構 24 相對的基板的一側的孔。

【0061】 或者，可以藉由蝕刻穿過 III-N 材料結構 24 的整個厚度並且部分地蝕刻穿過基板 814（例如藉由在 700 μm 基板中蝕刻 200 μm ）來形成閘極通孔 838。接下來，藉由濺射沉積或電鍍將諸如 Al、Ni 或 Cu 的金屬堆疊填充到閘極通孔 838 中。在金屬沉積步驟之後，可以藉由將與 III-N 材料堆疊相對的基板的一側研磨至小於 200 μm 的厚度，從而將金屬堆疊暴露在基板的背面上，來使基板 838 變薄。在基板減薄之後，可以沉積背面金屬層 842，在此處與形成在閘極通孔中的閘極金屬堆疊進行電連接。

【0062】 可以在形成閘極通孔 838 之前或之後，在與 III-N 材料層 24 相對的基板的一側上形成背面金屬層 842。閘極通孔 838 的蝕刻之後可以進行金屬沉積步驟，金屬沉積步驟在基板 814 的背面上以及從背面至少部分地在閘極通孔 838 中形成金屬堆疊，其中金屬堆疊接觸 III-N 元件 123 的閘極金屬 135。

【0063】 元件的前側和元件的背側可以同時被雙面鍍銅，使得在單個過程步驟中，閘極通孔 838 從元件的前側被鍍覆並且背面金屬層 842 被同時從元件的背側被鍍覆。鍍銅層在元件的兩側上可以具有 10 μm 或更大的厚度。延伸穿過絕緣基板 814 的整個厚度的閘極通孔 838，允許將元件 800 實現為類似於圖 3 的元件 200 的封裝的封裝，使得空乏型 III-N 元件 123 的閘極 135 可電連接到封裝基座 310，而無需使用外部閘極導線連接器。

【0064】 參考圖9，圖示了混合III-N元件的另一實施例。圖9的元件900與圖2A的元件100類似，不同之處在於低壓增強型元件122和高壓空乏型III-N元件123以「並排（side-by-side）」配置封裝在元件900中，相比於元件100的「晶片上晶片（die-on-die）」配置。如先前針對「晶片上晶片」（例如圖2A的元件100）所論述的，增強型元件122直接安裝在空乏型元件123的源極焊墊137上，以便消除了需要外部導線連接器用於將空乏型元件的源極電極134連接到增強型元件的FET汲極電極133。然而，在一些應用中，空乏型III-N元件123可能太小，以至於不允許足夠的面積將增強型FET 122直接安裝到空乏型元件頂側上的源極焊墊137。對於具有這些尺寸限制的應用，可以將混合元件以「並排」配置佈置，如圖9所示。

【0065】 墊片291安裝在增強型元件122和封裝基座310之間。墊片可以包括陶瓷或絕緣層297（例如AlN），在絕緣層297的相對側上具有金屬層298和299。金屬層299用作接合層，從而允許由焊料、焊膏、導電環氧樹脂、導電膠帶或另一合適的附接方法將墊片附接至元件封裝基座310，從而允許將墊片291高品質地機械和熱連接到元件封裝基座310。元件122的汲極電極133由焊料、焊膏、導電環氧樹脂、導電膠帶或另一合適的附接方法安裝到絕緣墊片291的頂側上的金屬層298。III-N元件123的源極電極134由導線連接器44電連接到增強型元件122的汲極電極133，導線連接器44從源極電極134延伸到絕緣墊片291

的頂部金屬化表面 298。這使得源極電極 134 和 FET 汲極電極 133 電連接。元件 900 的其餘導線連接和配置可以類似於圖 2A 的元件 100 的那些。元件 900 相對於元件 100 的優勢在於，可以使用更小/更便宜的 III-N HEMT。但是，與元件 100 相比，元件 900 還可能需要增加封裝的複雜性。

【0066】 圖 10 圖示了另一種混合 III-N 元件 1000。圖 10 的元件 1000 與圖 9 的元件 900 相似，不同之處在於實現了低壓增強型元件的替代設計，從而使增強型元件和空乏型元件可以封裝為「並排」配置，而無需使用陶瓷墊片。典型的矽 MOSFET，例如元件 900 的 FET 122，是垂直元件，其被製造為使得 FET 汲極 133 位於半導體主體 25 的底側上，並且 FET 閘極 132 和 FET 源極 131 位於半導體主體 25 的頂側上。然而，元件 1000 是使用具有替代性半導體主體 125 的矽 MOSFET 來實現的，其中 FET 源極電極 231 位於半導體主體 125 的一側上，例如底部，並且 FET 閘極電極 232 和 FET 汲極電極 233 都在與 FET 源極電極 231 相對的半導體主體 125 的同一側上，例如頂部，以形成倒置增強型 FET 124。因此，FET 124 可以實現到元件 1000 中，以消除元件 900 中包含的絕緣墊片 291 和源連接器 42。

【0067】 如圖 10 所示，倒置增強型 FET 124 的源極電極 231 直接安裝並由焊料、焊膏、導電環氧樹脂、導電膠帶或另一合適的附接方法電連接至導電結構封裝基座 310，從而允許在 FET 124 與封裝基座 310 之間的高品質地機械、熱和電連接。III-N 元件 123 的源極電極 134 由導線連

接器 144 連接到增強型 FET 124 的汲極電極 233。與元件 900 相比，元件 1000 可以是有利的，因為由於消除如圖 9 所示的包括絕緣墊片 291 和源極連接器 42 在內的幾個封裝部件，所以降低了封裝複雜性和成本。

【0068】 已經描述了許多實施方式。然而，將理解的是，在不脫離本文描述的技術和元件的精神和範圍的情況下，可以進行各種修改。因此，其他實施方式在以下申請專利範圍的範圍內。

【符號說明】

【0069】

10: 封裝

11: 源極引線

12: 閘極引線

13: 汲極引線

14: 導電基板

15: III-N 緩衝層

16: III-N 通道層

17: III-N 阻障層

18: 絕緣體層

19: 2DEG 通道

22: 低壓增強型電晶體

23: 高壓空乏型 III-N 電晶體

24: III-N 材料結構

25: 半導體主體

- 26: 主動區
- 27: 虛線
- 29: 安裝孔
- 31: 源極電極
- 32: 閘極電極
- 33: 汲極電極
- 34: 源極電極
- 35: 閘極電極
- 36: 汲極電極
- 37: 本徵主體二極體
- 38: 通孔
- 38': 通孔
- 41: 連接器
- 42: 連接器
- 43: 連接器
- 44: 導線連接器
- 53: 電感器
- 54: 電感器
- 55: 接地
- 56: 虛線
- 57: 寄生閘極 - 汲極電容器
- 82: 高側開關
- 83: 低側開關
- 84: 高側開關

- 85: 低側開關
- 86: 第一電容器
- 87: 第二電容器
- 88: 第一電容器
- 91: 高壓節點
- 92: 接地節點
- 93: 電感器
- 94: 節點
- 97: 電流 / 電流路徑
- 100: 元件
- 101: 電感器
- 102: 節點
- 103: 電流路徑
- 122: 低壓增強型元件
- 123: 高壓空乏型 III-N 元件
- 124: 倒置增強型 FET
- 125: 半導體主體
- 131: FET 源極電極
- 132: FET 閘極電極
- 133: FET 汲極電極
- 134: 源極電極
- 135: 閘極電極
- 136: 汲極電極
- 137: 源極焊墊

- 1 4 4 : 導線連接器
- 2 3 1 : F E T 源極電極
- 2 3 2 : F E T 閘極電極
- 2 3 3 : F E T E 汲極電極
- 2 9 1 : 絕緣墊片
- 2 9 7 : 絕緣層
- 2 9 8 : 金屬層
- 2 9 9 : 金屬層
- 3 1 0 : 元件封裝基座
- 3 1 1 : 源極引線
- 3 1 2 : 閘極引線
- 3 1 3 : 汲極引線
- 8 0 0 : 元件
- 8 1 4 : 絕緣基板
- 8 3 8 : 閘極通孔
- 8 4 2 : 背面金屬層
- 9 0 0 : 元件
- 1 0 0 0 : 混合 III - N 元件

【生物材料寄存】

國內寄存資訊(請依寄存機構、日期、號碼順序註記)

無

國外寄存資訊(請依寄存國家、機構、日期、號碼順序註記)

無

【發明申請專利範圍】

【請求項1】 一種半導體元件，包括：

一 III-N 元件，該 III-N 元件包括在一 III-N 材料結構的一第一側上的一導電基板，以及在與該導電基板相對的該 III-N 材料結構的一第二側上的一第一閘極、一第一源極和一第一汲極，其中該導電基板經配置以透過一背面金屬層電耦合至一電路接地；和

一場效電晶體（FET），該場效電晶體包括一第二半導體材料結構、一第二閘極、一第二源極和一第二汲極，該第二源極在該第二半導體材料結構的與該第二汲極相對的一側上；其中

該 FET 的該第二汲極直接接觸並電連接至該 III-N 元件的該第一源極；和

該 III-N 材料結構具有穿過該 III-N 材料結構的一部分而形成的一通孔，該通孔暴露出該導電基板的一頂表面的一部分，以及

該第一閘極透過該通孔電連接到該導電基板。

【請求項2】 如請求項1所述之半導體元件，其中該導電基板是 p 型摻雜的，其電洞濃度大於 1×10^{19} 個電洞 / cm^3 。

【請求項3】 如請求項1所述之半導體元件，其中該 III-N 材料結構包括一 III-N 緩衝層、一 III-N 通道層和一 III-N 阻障層，其中該緩衝層摻雜有鐵、鎂或碳。

【請求項4】 如請求項3所述之半導體元件，其中該

III-N 阻障層和該 III-N 通道層之間的一成分差異導致在該 III-N 通道層中誘發一橫向 2DEG 通道，且該第一源極和該第一汲極電連接到該 2DEG。

【請求項 5】 如請求項 3 所述之半導體元件，其中該 III-N 緩衝層具有大於 $4\ \mu\text{m}$ 的一厚度，並且能夠阻擋大於 600 V。

【請求項 6】 如請求項 1 所述之半導體元件，其中該 FET 的該第二汲極藉由焊料、焊膏或導電環氧樹脂直接接觸並電連接到該 III-N 元件的該第一源極。

【請求項 7】 如請求項 1 所述之半導體元件，其中該第一閘極的一頂表面被完全封裝在一介電材料中。

【請求項 8】 如請求項 1 所述之半導體元件，其中該 III-N 材料結構定向於一 N 極性定向中。

【請求項 9】 如請求項 1 所述之半導體元件，其中該 III-N 元件還包括在該第一源極與該第一汲極之間的一主動區，並且該通孔形成在該主動區的外部。

【請求項 10】 如請求項 9 所述之半導體元件，其中該 FET 至少部分地在該 III-N 元件的該主動區上方。

【請求項 11】 如請求項 6 所述之半導體元件，其中該焊料、焊膏或導電環氧樹脂將該 FET 的該第二汲極電連接且實體固定至該 III-N 元件的該第一源極。

【請求項 12】 如請求項 6 所述之半導體元件，其中該 FET 的該第二汲極在沒有導線連接器的情況下電連接至該 III-N 裝置的該第一源極。

【發明圖式】

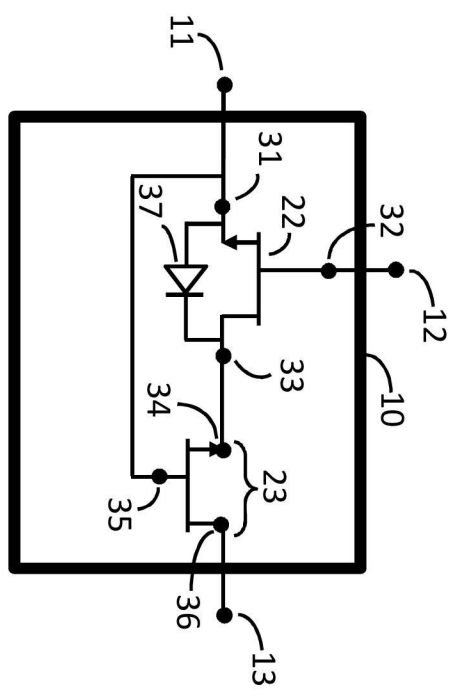


圖 1 (先前技術)

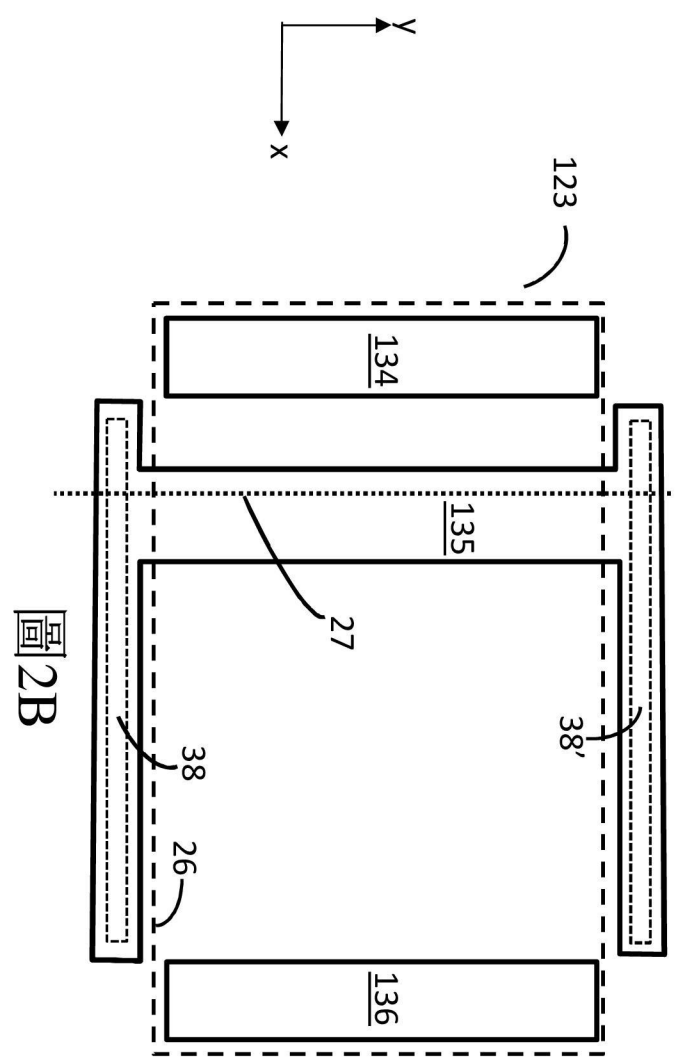


圖 2B

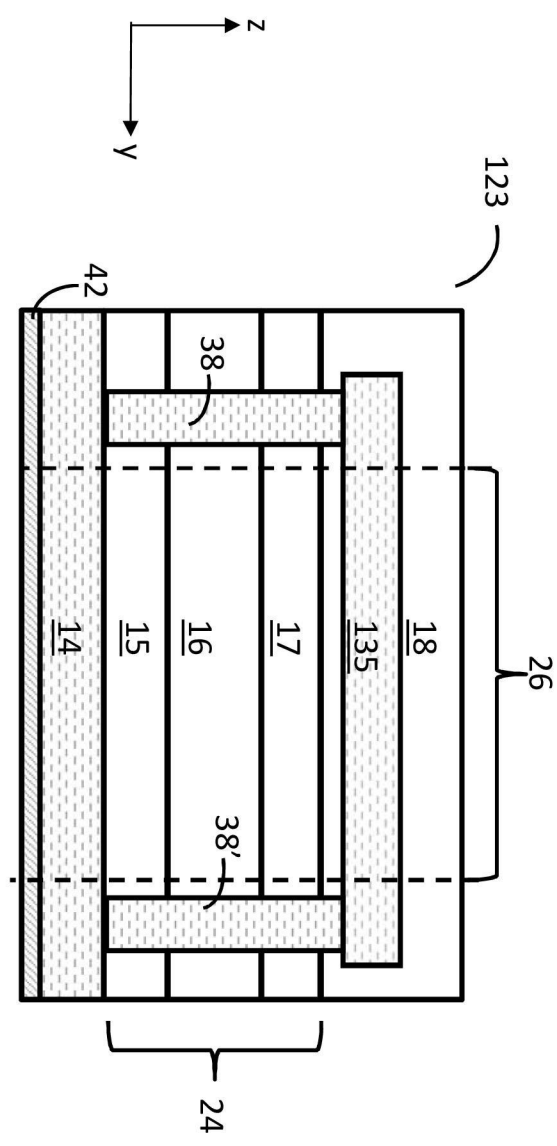
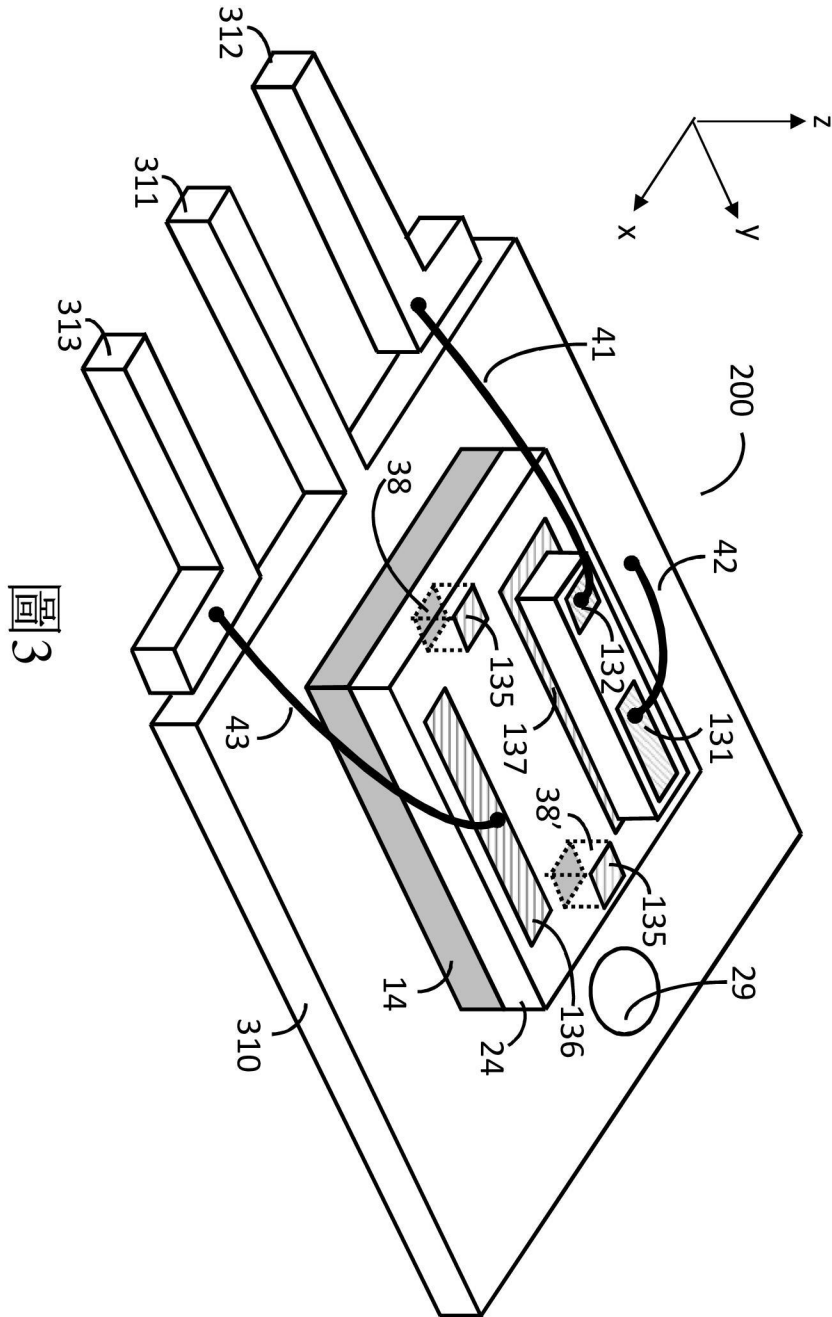


圖 2C



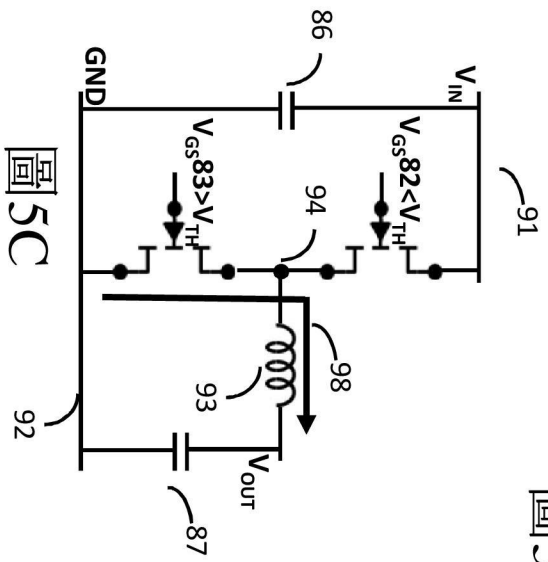
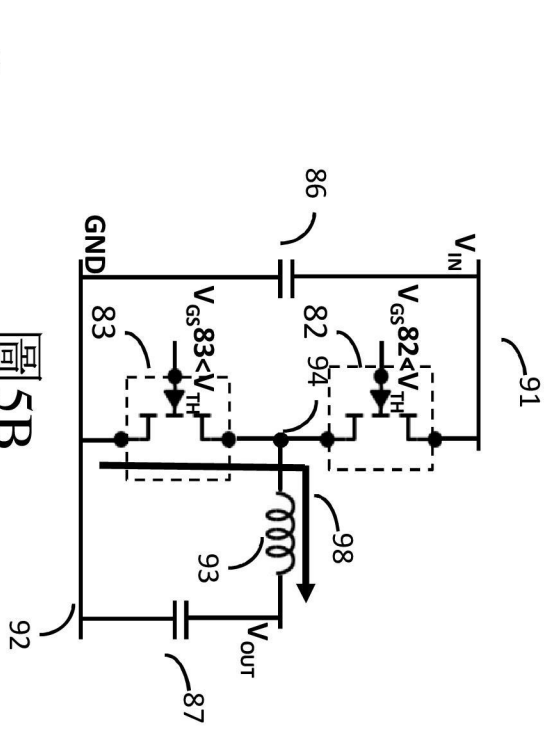
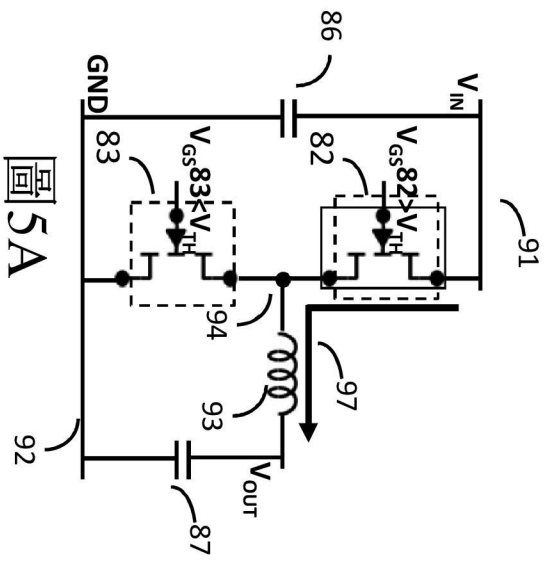


圖 5A

圖 5B

圖 5C

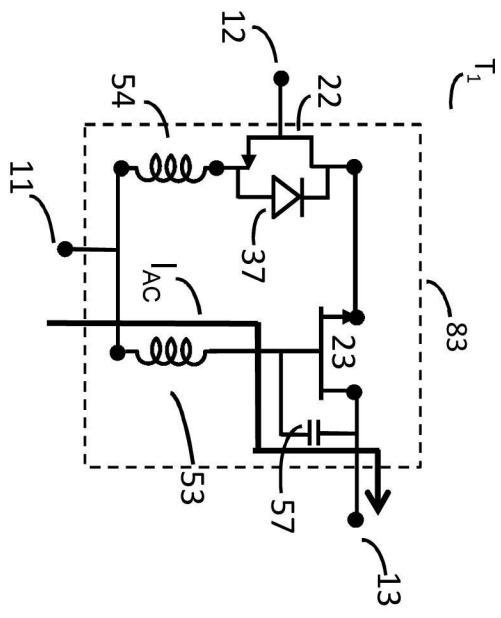


圖 6A

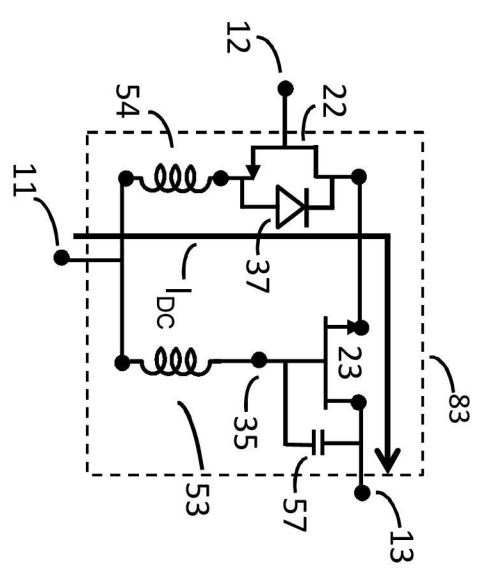
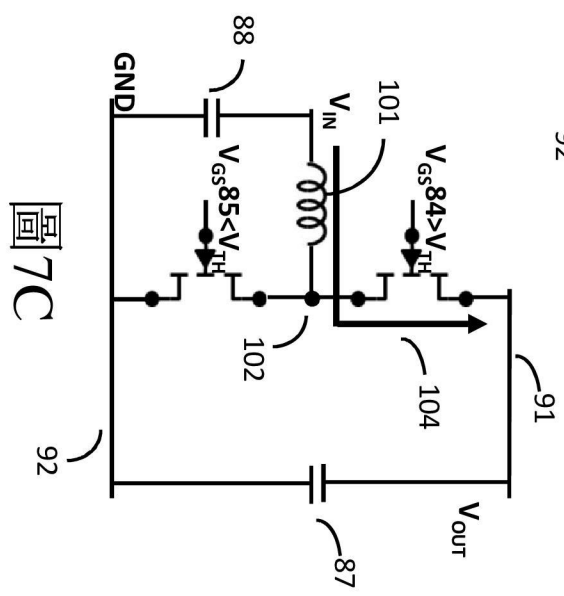
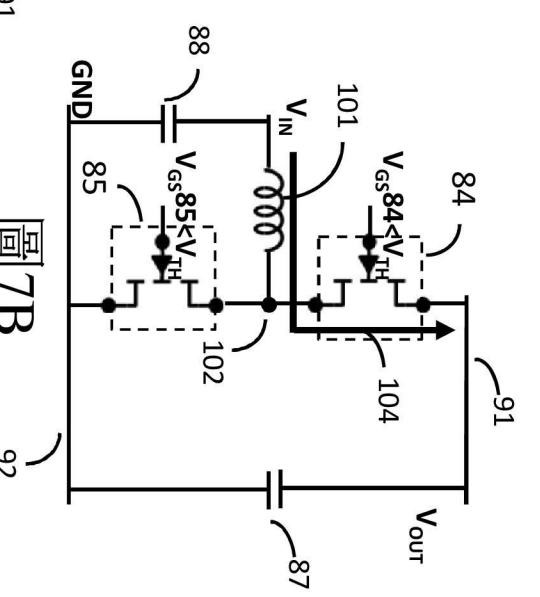
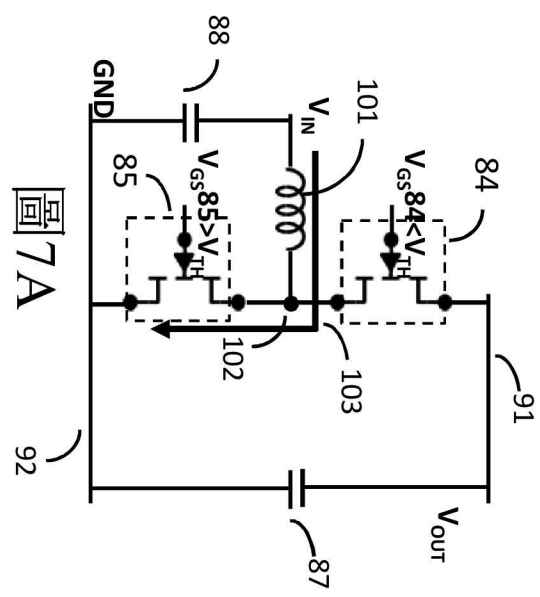


圖 6B



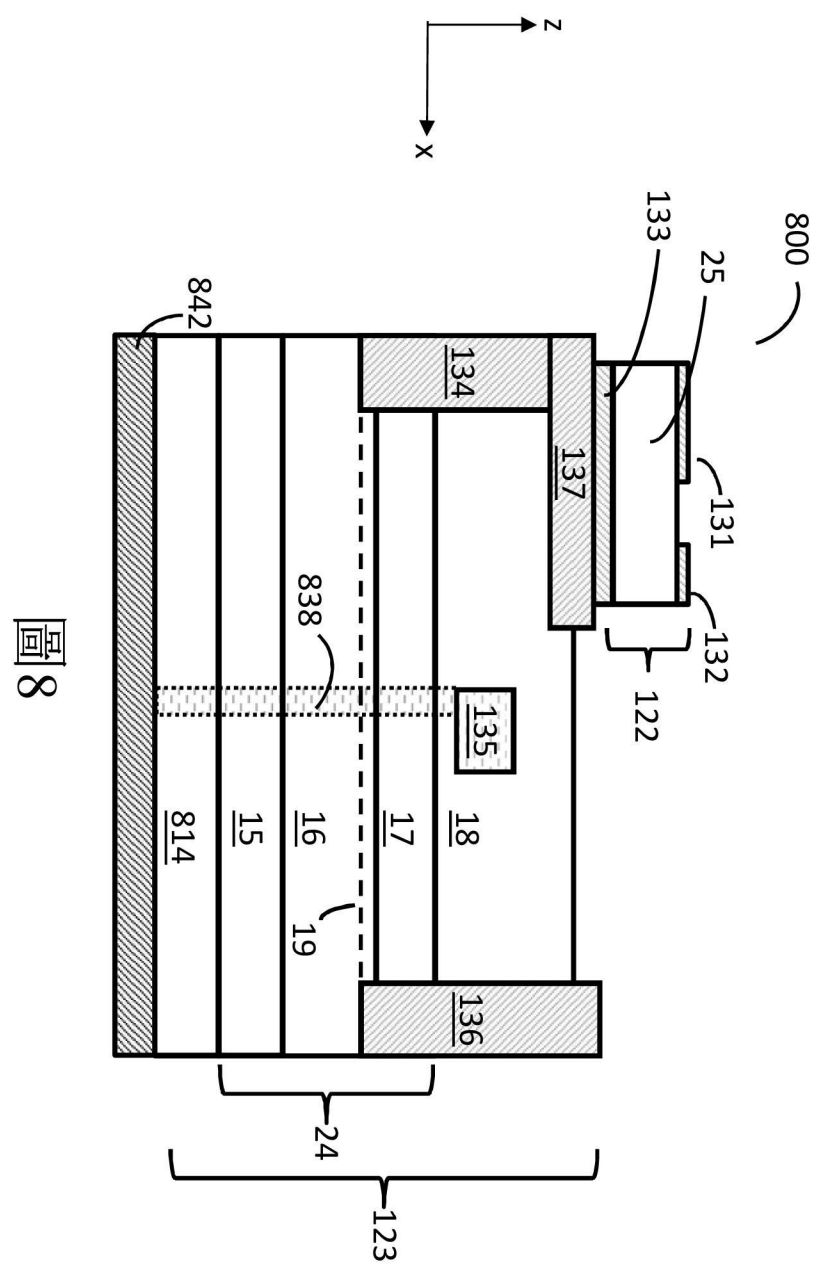


圖 8

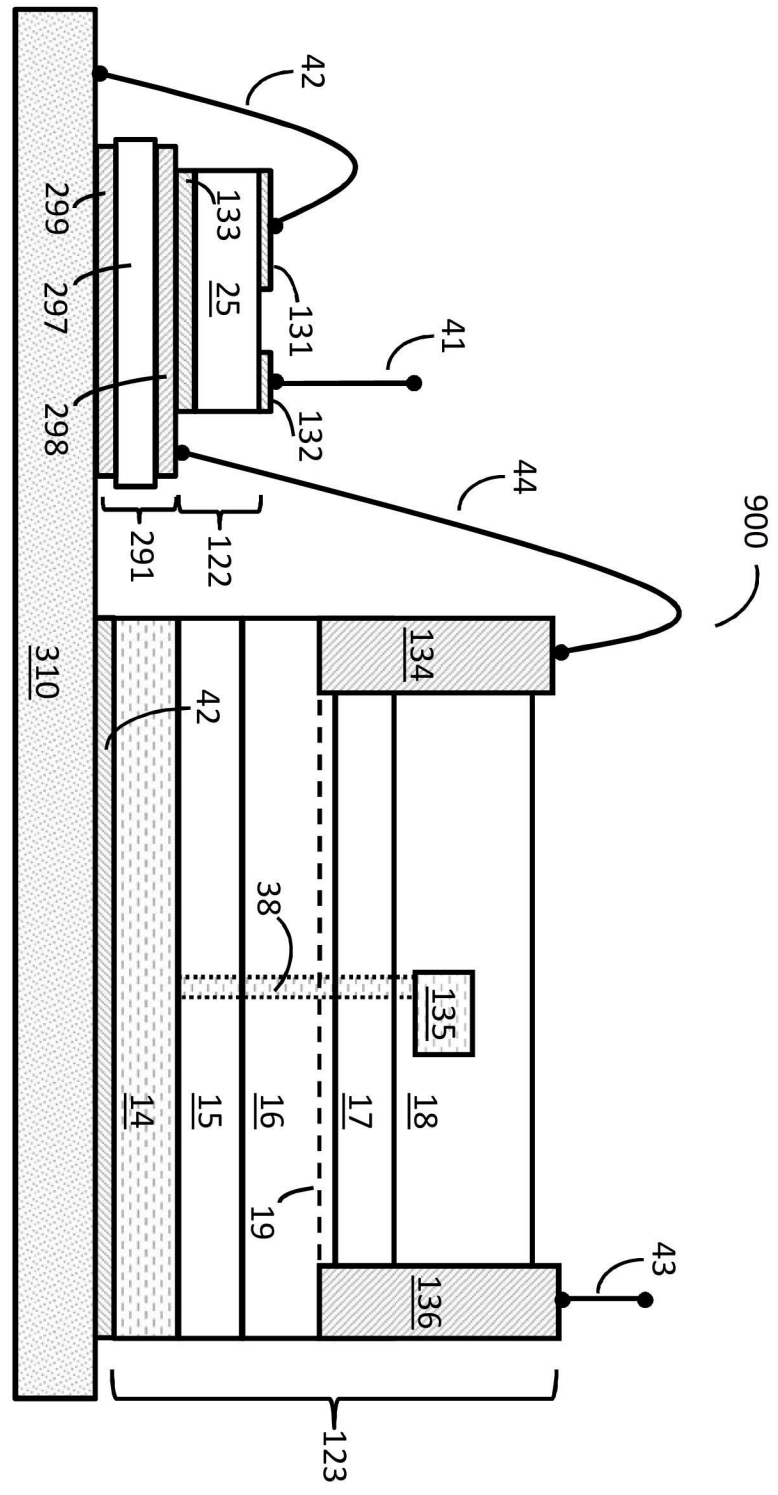


圖 9

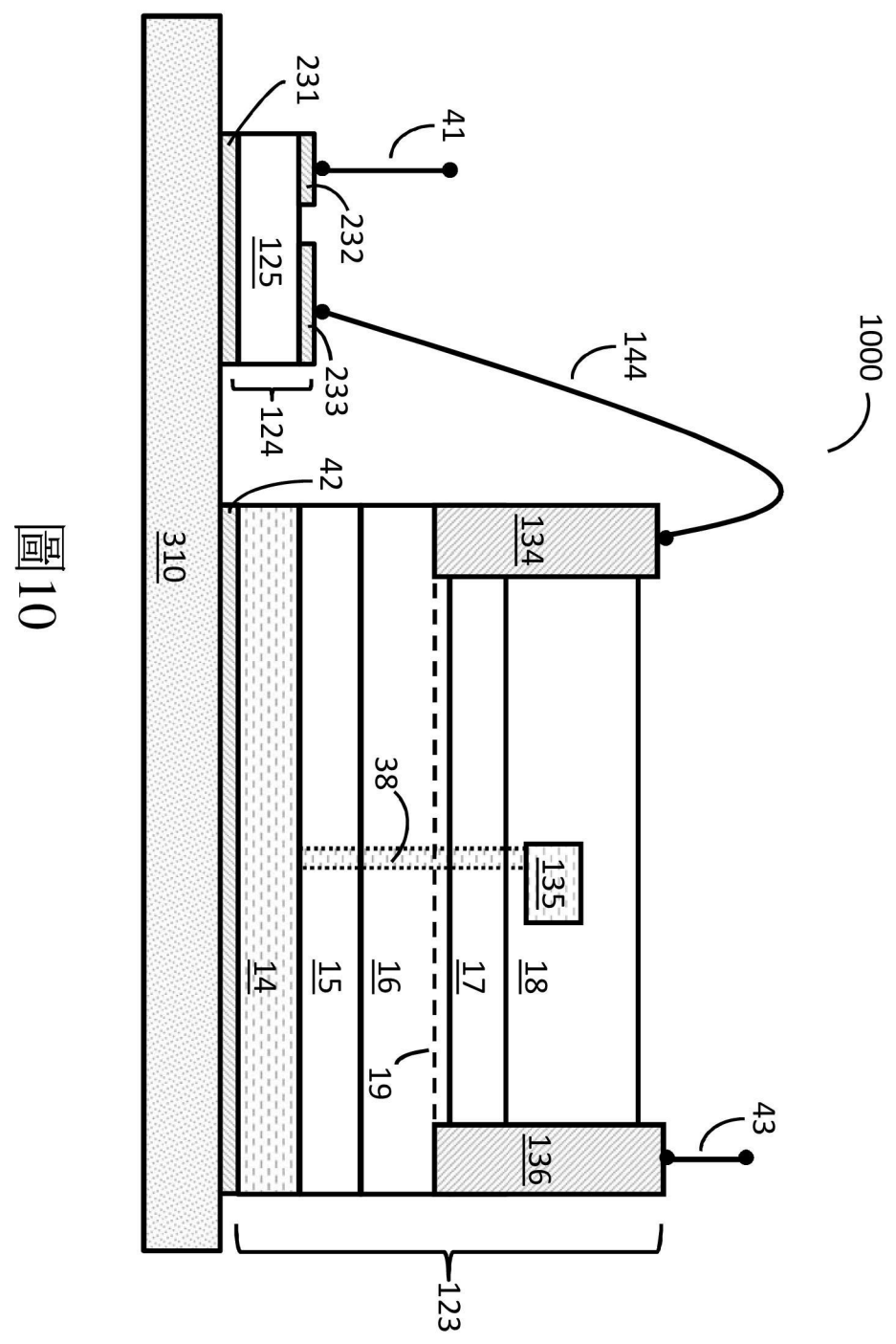


圖 10