

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3802061号
(P3802061)

(45) 発行日 平成18年7月26日(2006.7.26)

(24) 登録日 平成18年5月12日(2006.5.12)

(51) Int. Cl.		F I		
G06F 12/10	(2006.01)	G06F 12/10	501Z	
G06F 12/08	(2006.01)	G06F 12/08	519Z	
		G06F 12/08	507Z	
		G06F 12/10	503	

請求項の数 5 (全 10 頁)

<p>(21) 出願番号 特願平8-526887 (86) (22) 出願日 平成8年2月29日(1996.2.29) (65) 公表番号 特表平11-501744 (43) 公表日 平成11年2月9日(1999.2.9) (86) 国際出願番号 PCT/US1996/002383 (87) 国際公開番号 W01996/027832 (87) 国際公開日 平成8年9月12日(1996.9.12) 審査請求日 平成14年4月4日(2002.4.4) (31) 優先権主張番号 397,810 (32) 優先日 平成7年3月3日(1995.3.3) (33) 優先権主張国 米国(US)</p>	<p>(73) 特許権者 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号 (74) 代理人 弁理士 石田 敬 (74) 代理人 弁理士 土屋 繁 (74) 代理人 弁理士 西山 雅也 (72) 発明者 チャン, チーウエイ, デビッド アメリカ合衆国, カリフォルニア 95070, サラトガ, パラマウント ドライブ 13090</p>
---	---

最終頁に続く

(54) 【発明の名称】 アドレス変換速度アップのための並列アクセスマイクロ-TLB

(57) 【特許請求の範囲】

【請求項1】

複数のキャッシュメモリに接続され、バーチャルアドレスからフィジカルアドレスへのアドレス変換を行うメモリマネジメントユニットにおいて、
 前記複数のキャッシュメモリから前記バーチャルアドレスを受信する複数の入力バッファと、

前記バーチャルアドレスと前記フィジカルアドレスとステータス情報とから構成される複数のエントリを有し、前記複数の入力バッファから複数のバーチャルアドレスを入力して、前記入力した複数のバーチャルアドレスと前記複数のエントリに含まれるバーチャルアドレスとの比較を同時に行い、バーチャルアドレスが一致したエントリのフィジカルアドレスとステータス情報の出力を行う変換索引バッファと、

前記複数のキャッシュメモリからのコマンド受信する複数のコマンド要求バッファと、前記複数のコマンド要求バッファからのコマンドを受信するとともに、前記受信した複数のコマンドそれぞれに対応する前記変換索引バッファからの複数のフィジカルアドレスおよびステータス情報を受信し、前記複数の受信したコマンドのうちの1個を選択するとともに、前記選択されたコマンドに対応するフィジカルアドレスおよびステータス情報を選択する仲裁手段とを有することを特徴とする、情報処理装置のメモリマネジメントユニット。

【請求項2】

前記メモリマネジメントユニットは、さらに第2の変換索引バッファを有し、前記第2

10

20

の変換索引バッファは前記仲裁手段からのバーチャルアドレスを論理アドレスに変換することを特徴とする、請求項 1 に記載のメモリマネージメントユニット。

【請求項 3】

前記第 2 の変換索引バッファは、前記入力した複数のバーチャルアドレスと前記複数のエントリに含まれるバーチャルアドレスとの比較において、いずれのエントリにも一致しない場合にアクセスされることを特徴とする、請求項 2 に記載のメモリマネージメントユニット。

【請求項 4】

前記複数のキャッシュメモリのうち、いずれか一つは命令キャッシュメモリであり、他は全てデータキャッシュメモリで有ることを特徴とする、請求項 1 に記載のメモリマネージメントユニット。

10

【請求項 5】

前記変換索引バッファにおける前記複数のエントリは、ファーストイン・ファーストアウト制御によりエントリの置換を行うことを特徴とする、請求項 1 に記載のメモリマネージメントユニット。

【発明の詳細な説明】

(技術分野)

本発明は、バーチャルメモリを支持する情報処理装置においてアドレス変換の速度アップのために使用される変換索引バッファ (TLB) を含むメモリマネージメントユニット (MMU) に関し、さらに 2 個以上の保留中の (ペンディング) アドレス変換要求から 1 個

20

(背景技術)

バーチャルメモリシステムを支持する情報処理装置において、中央処理装置 (CPU) によって参照されるアドレス空間は、“バーチャルメモリ”と呼ばれ、この CPU によって特定される各バーチャルアドレスは、メモリマネージメントユニット (MMU) によってフィジカルな (あるいは実) アドレスに変換される。MMU はこの実アドレスをメインメモリサブシステム (MSU) に送り、MSU はアクセスされたアイテムを検索しあるいは記憶する。従来の幾つかの MMU では 1 サイクル中に数個の変換要求 (例えば、現在実行中の命令の 2 個のオペランドのバーチャルアドレスと、次に実行すべき命令のバーチャルアドレスに対応したもの) を受け取ることができる。しかしながら、これらの MMU は 1 度

30

に 1 個のバーチャルアドレスしか変換することができない。従って、あまり大きなハードウェアコストの追加を招くことなく、1 度に 1 個以上のバーチャルアドレスを変換することが可能な MMU が望まれている。

種々の理由で、バーチャルから実アドレスへの幾つかの変換機構は 2 個の段階を含んでいる。アドレス変換に必要な平均時間を減少させるためには、少なくとも幾つかのアドレスは、1 段階で直接バーチャルアドレスから実アドレスへ変換できることが望ましい。

(発明の開示)

1 個の命令キャッシュと 2 個のデータキャッシュによってそれぞれ MMU に供給される 3 個の要求に同時にサービスする事が可能なマイクロ変換索引バッファ (μ TLB) を含むメモリマネージメントユニット (MMU) を開示する。 μ TLB は、8 エントリーの完全

40

連想テーブルであって、各エントリーは 1 個のバーチャルアドレスと、対応する実アドレスとさらに種々のステータスビットを記憶することができる。 μ TLB の各エントリーは 3 個の比較器と結合され、それによって μ TLB は、命令キャッシュおよび 2 個のデータキャッシュから MMU によってそれぞれ受信された 3 個のバーチャルアドレスと μ TLB のエントリーに記憶された各バ

もし特定のバーチャルアドレスを記憶するエントリーが μ TLB において見いだせない場合は、この特定のバーチャルアドレスに対して 1 度に 1 アドレスの通常の変換を実行する。この変換は、2 個の非常に大きな変換索引テーブル、可能ならば (このような大きな TLB においてミス (不一致) の場合は) メインメモリにあるテーブル、へのアクセスを含んでいる。バーチャルアドレスから実アドレスへの正規変換が正常に終了すると、バー

50

ャルアドレスおよび実アドレスは μ TLBのエントリーに挿入されてもよい。

アービタは、MMUによる即値処理のために、優先度が低いキャッシュからの要求のサービスにおいて過度の遅延を避け得る方法を用いて、異なる優先度のキャッシュから受信された数個のペンディング要求の内から1個を選択する。特に、もしアービタが特定の優先度のキャッシュからの要求を最終的に選択しかつこの最終の選択の時点で優先度の低いペンディング要求が有った場合、アービタはこの特定の優先度のキャッシュからの要求を選択しない。

【図面の簡単な説明】

図1は、本発明にかかるMMUを示す。

図2は、本発明にかかるマイクロTLBを示す。

図3は、アドレス変換要求アービタによって実行される処理を示すフローチャートである。

(発明を実施するための最良の形態)

図1に、本発明にかかるMMUの一実施例を示す。CPU101は、バーチャルアドレスを命令キャッシュ(102)またはデータキャッシュ103(偶数データキャッシュ)と104(奇数データキャッシュ)の一方にそれぞれ送る事によって、命令アドレスあるいはデータ(オペランド)アドレスを特定する。偶数および奇数データキャッシュ103、104は、メモリアンターリーブのために設けられているが、その他はキャッシュ102と同様に、類似でありかつ一般的なものである。その他の実施例では、例えば1個の命令キャッシュと1個のデータキャッシュのように、種々のキャッシュの組み合わせが可能である。

各キャッシュ102、103、104は仮想的にアドレスされ、同一のサイクルにおいてCPU101から読み出したり書き込み要求を受信することができる。もし適当なキャッシュにおいて、特定のバーチャルアドレスのアイテムが存在すれば、このアイテムはCPUに戻され(書き込み要求の場合はキャッシュ中に書き込まれる)、MMU124によって特定のバーチャルアドレスをフィジカルな即ち実アドレスに変換する必要は無い。各バーチャルアドレスは64ビットであり、その低位の13ビットはページ内のオフセットを特定する。このようにして、MMU124は、バーチャルアドレスの高位の51ビットを実アドレスに変換して、ページの開始アドレスを特定する。以下に使用する「バーチャルアドレス」という用語は、これらの51個の高位ビットを意味する。

要求されたアイテムが適当なキャッシュ内に存在しない場合は、MMU124は次に特定のバーチャルアドレスをフィジカルアドレスに変換し、その後メインメモリ123中のそのフィジカルアドレスに記憶されたアイテム(命令またはオペランド)を検索する(または書き込む)。MMU124は最初、例えば8エントリー完全連想キャッシュメモリであるマイクロTLB(μ TLB)108中の特定バーチャルアドレスに対応する実アドレスを発見しようとする。 μ TLB108の各エントリーは、51ビットのバーチャルアドレスタグ、対応するフィジカルアドレスおよび種々のステータスビット(例えば保護ビット)を記憶することができ、さらに3個の比較器と結合され、それによって μ TLB108は、キャッシュ102、103および104からMMU124によって受信された3個のバーチャルアドレスをそれぞれ、 μ TLB108のエントリー中に記憶された各バーチャルアドレスと同時に比較する能力を持つようになる。その他の実施例では、 μ TLB108は適当な比較のためのハードウェアを有する他の適当なメモリであってもよい。

μ TLB108の1エントリーのステータスビットは、6個の保護ビット(ユーザーとスーパーバイザモードのための読み出し/書き込み/実行)と、有効ビットおよび修正ビット(modify bit)を含む。修正ビットは、 μ TLB108のエントリーに記憶された実アドレスにおいてスタートするメモリページが修正されていて、そのため別のディスクページによって上書きされる前にディスクに書き込まれるべきがどうかを示す。有効ビットは、エントリー中に記憶された有効変換があるか否かを示す。

μ TLB108の構造を図2に示す。 μ TLB108の8個のエントリー202のそれぞれのバーチャルアドレスフィールドは、24個の51ビット比較器(CMP51)201

10

20

30

40

50

のうちの3個への入力として示されている。なおこの比較器201はその他の入力として、バーチャルアドレスVA0、VA1およびVA2を受信する。エントリー202の1個の有効ビットが1にセットされ、そのエントリーに記憶されたバーチャルアドレスがVA0、VA1またはVA2に等しければ、 μ TLB108においてヒット(一致)が生じ、このエントリーの実アドレスとステータスビット(即ち有効、保護および修正ビット)が、コマンド要求バッファ109、110または111にそれぞれ記憶される。

修正ビットがゼロにセットされてはいるがしかしその特定のバーチャルアドレスが書き込み要求に関連している、 μ TLB108中の有効エントリーにおけるバーチャルアドレスに、ある特定のバーチャルアドレスが一致する場合(キャッシュ102、103および104の対応する1個から受け取った、コマンド要求バッファ109、110または111の1個中のコマンド情報によって示すように)、 μ TLB108においてミス(不一致)またはヒットを示すコマンド要求バッファに対応するフィールドは、ミスを示すようにセットされる。以下に記載するように、この変換がTLB117および118を通過するようになることが必要である。これは、この変換に対応するTLB118のエントリー中の修正ビットを、以下に示す理由で1にセットするためである。

μ TLB108は、MMU124によって生成されたライン203上の無効(invalidate)信号を受信することができる。この信号は、導入された場合、各エントリーの有効ビットをゼロに設定することによって μ TLB108の内容を無効にする。さらに、無効信号の導入の結果、 μ TLB108におけるミスまたはヒットを示すコマンド要求バッファ109、110および111のフィールドを、ミスを示すように設定する。無効信号はまた、特定のCPU命令が実行される場合(即ち、別のプロセスの実行が開始される場合)、文脈(context)スイッチに導入される。

μ TLB108が特定のバーチャルアドレスに対応するエントリーを含まない場合、MMUはこの特定のバーチャルアドレスを2個の段階において変換する。第1の段階では、このバーチャルアドレスは、領域id(Rid)および論理アドレス(LA)に変換される。第2の段階では、領域idおよび論理アドレスは、 2^{14} バイトのページの開始アドレスを特定する実アドレスに変換される。

段階1および2における変換は先ずTLB117と118をそれぞれアクセスすることによって試みられる。TLB117は128エントリーの完全連想メモリであって、このメモリはバーチャルアドレスを領域idおよび論理アドレスに変換する。TLB117の各エントリーは、1個のバーチャルアドレスと、対応する領域id、対応するオフセット(第2段階の変換を実行するのに必要な対応する論理アドレスは、バーチャルアドレスとこのオフセットとの合計から計算される)、および6個の保護ビット(ユーザーおよびスーパーバイザモードのための読み出し/書き込み/実行)を記憶している。

TLB118は1024エントリー(256×4)の4ウェイセットの連想SRAMであって、このSRAMは領域idと論理アドレス対を実アドレスに変換する。TLB118の各エントリーはメモリ123に記憶されたページテーブルから検索され、実アドレス(RA)、6個の保護ビット(ユーザーおよびスーパーバイザモードのための読み出し/書き込み/実行)および修正ビットを記憶する。この修正ビットは、開始アドレスがRAであるメインメモリ中のページが修正されている場合、1にセットされる。TLB118のエントリーの修正ビットは、メモリ中の対応するページテーブルエントリーの修正ビットを更新し続ける。これら最後のエントリーの修正ビットを更新し続けることは、次のような理由で重要である。すなわち、情報処理装置のオペレーションシステムでは、メモリ中の所定のページを他のディスクページがそのメモリページ内に読み込まれる前にディスク中に書き込むべきか否かを決定するに当たって、この修正ビットに依存しているためである。この理由のために、 μ TLB108が特定のバーチャルアドレスを記憶する有効エントリーを保持する場合であっても、TLB117および118を介した変換はある状況下で(μ TLB108のエントリーの修正ビットに関連して上述したように)進行し、修正ページに対応するTLB118のエントリーの修正ビットを確実に1にセットする(これは、 μ TLB108におけるヒットのために、TLB117および118がバイパスされた

10

20

30

40

50

場合は起こらない)。

もし、TLB117かまたはTLB118の何れかが必要な変換を保持しない場合、要求された変換を検索しそれをTLB117かTLB118にロードするために、MMU124は、メインメモリ123によって記憶されたテーブルへのメモリアクセスを開始する。バーチャルアドレスからフィジカルアドレスへの2レベルの変換が起こった後、MMU124は、バーチャルアドレス/フィジカルアドレス対を(TLB117のアクセスされたエントリー中に記憶される6個の保護ビットとTLB118のアクセスされたエントリーの6個の保護ビットの論理ANDである、6個の保護ビットを含む種々のステータスビットと同様に)、μTLB108の1個のエントリーに挿入してもよい。

μTLBを有することの幾つかの利点は、キャッシュ102、103および104が、バーチャルアドレスVA1、VA2およびVA3に記憶された情報に対する要求を、同じサイクル(サイクル1)においてCPU101から受け取る状態を考察することによって、説明される。サイクル2では、次に示す事象が発生する。

1) MMU入力バッファ105、106および107がバーチャルアドレスVA1、VA2およびVA3をそれぞれ各キャッシュ102、103および104から受信する。

2) MMU入力バッファ105、106および107の出力を受信するμTLB108は、μTLB108の8個のエントリーのそれぞれに対し、VA1、VA2およびVA3をそれぞれ比較する。μTLB108の各エントリーは、汎用レジスタとして実行され、さらに上述したように、エントリーに記憶されたバーチャルアドレスと、MMU入力バッファ105、106および107からμTLB108によってそれぞれ受信されたバーチャルアドレスとの同時比較を行うため、3個の比較器と結合されている。このようにして、μTLB108は、CPU101によってキャッシュ102、103および104にそれぞれ供給された3個のバーチャルアドレスへの並行アクセスをサポートすることができる。

3) キャッシュ102、103および104は、VA1、VA2およびVA3に対応するエントリーをそれぞれサーチする。

サイクル3では、以下の事象が発生する。

1) キャッシュ102でミスがあった場合、コマンド要求バッファ109はMMU入力バッファ105からVA1を受信し、キャッシュ102からコマンド要求データを受信する。さもないと、CPU101がキャッシュ102からまたはキャッシュ102へ特定のバーチャルアドレスのアイテムを読みだしあるいは書き込むので、有効コマンド要求はバッファ109に記憶されない。類似の事象が、コマンド要求バッファ110および111に対して発生する。

2) コマンド要求バッファ109は同様に、VA1がμTLB108において見いだされたか否かを示すμTLBヒット/ミス情報と、μTLB108中でヒットした場合VA1に対応する実アドレスとを受信する。類似の事象がバッファ110と111に対して発生する。μTLB108の使用はMMU124によるバーチャルアドレスの通常の2段階変換を遅延させないことに注意すべきである。これは、コマンド要求バッファ109、110および111が、キャッシュミスの場合キャッシュ102、103および104からそれらがコマンド要求を受信するのと同じサイクル内でμTLB108のサーチ結果を受信すると言う理由による。

サイクル4において以下の事象が発生する。

1) アービタ113は、マルチプレクサ112を制御して、コマンド要求バッファ109、110、111または126の1個から有効なコマンド要求を選択する。I/Oコントローラ125におけるコマンドバッファ126は直接メモリアクセス(DMA)要求を記憶する。具体化するために、コマンド要求バッファ109が選択されたものと仮定しよう。バッファ109の内容は、マルチプレクサ115を介して最新要求バッファ(CRB)116に送られる。バッファ109はこの結果キャッシュ102からの別のコマンド要求を自由に受け入れることができるようになる。以後のサイクルにおいて、MMU124は、記憶されたコマンド要求の処理が完了しMMU124が別のコマンド要求の処理を始め

10

20

30

40

50

るまで、M U X 1 1 5 に C R B 1 1 6 の内容の選択を行わせる。

2) C R B 1 1 6 の内容が μ T L B のヒットを示した場合、M M U 1 2 4 は V A 1 の 2 段階変換を開始せず、 μ T L B 1 0 8 から返還された保護ビットが保護違反を示していないものと仮定した場合、むしろ C R B 1 1 6 における要求 (サイクル 3 においてバッファ 1 0 9 によって μ T L B 1 0 8 から受信される V A 1 に対応した実アドレスを含む) が、M M U 1 2 4 によってメインメモリ 1 2 3 に与えられる。この時点で C R B 1 1 6 は、バッファ 1 0 9、1 1 0、1 1 1 または 1 2 5 の内の 1 個からの別の有効コマンド要求を受け入れて処理することが可能となる。C R B 1 1 6 の内容が μ T L B のミスを示している場合、M M U 1 2 4 は T L B 1 1 7 と T L B 1 1 8 の並行アクセスを開始し、それぞれにアドレス変換の第 1 および第 2 の段階を実行する。

10

サイクル 5 では、C R B 1 1 6 の内容が μ T L B のミスを示しているものと仮定して、以下の事象が発生する。

1) T L B 1 1 7 が、領域 i d および V A 1 に対応する論理アドレス (R i d 1 と L A 1) を見いだすためにアクセスされる。もし T L B 1 1 8 が V A 1 に対応するエントリーを有しないと、次に M M U 1 2 4 は R i d 1 と L A 1 を記憶するテーブルを検索するためにメモリ 1 2 3 に 1 個以上の要求を初めなければならない。

2) T L B 1 1 8 は、R i d 最終キャッシュ 1 0 9、V A 1 の R i d / 論理アドレス対に対応する実アドレスを見いだすためにアクセスされる。なおこの R i d 最終キャッシュ 1 0 9 は、M M U 1 2 4 が 2 段階アドレス変換を実行したキャッシュ 1 0 9 から受信した、以前のバーチャルアドレスに関連した R i d である。M M U 1 2 4 は類似の R i d をキャッシュ 1 1 0 および 1 1 1 に対して記憶する。各値、即ち R i d 最終キャッシュ 1 0 9 と V A 1 をそれぞれ、R i d i と L A 1 (これらは T L B 1 1 7 がサーチされるまで使用可能ではない) と仮定すると、M M U 1 2 4 は同時に T L B 1 1 7 と 1 1 8 のサーチを開始することができ、それによって 2 段階変換のための時間を 2 サイクルから 1 サイクルに減少することができる。

20

サイクル 6 では、サイクル 5 においてヒットが T L B 1 1 7 と 1 1 8 の両方で発生したと仮定して、以下の事象が発生する。R i d 1 が R i d 最終キャッシュ 1 0 9 に等しくないか、あるいは L A 1 が V A 1 に等しくない場合、領域 i d と論理アドレス対 R i d 1 と L A 1 に対応する実アドレス R A 1 に対して T L B 1 1 8 をサーチする必要がある (この場合 V A 1 に対応する実アドレスの M U S 1 2 3 への配送は、早くてもサイクル 7 において発生する)。R i d 1 が R i d 最終キャッシュ 1 0 9 に等しく、L A 1 が V A 1 に等しいと、T L B 1 1 7 および 1 1 8 によって変換された保護ビットを調査し保護違反が発生していないことを確認したのち、M M U 1 2 4 はメモリ 1 2 3 をアクセスして、サイクル 5 で T L B 1 1 8 によって返還された実アドレス (即ち R A 1) において始まるメモリページからの読み出し、あるいはこのページへの書き込みを行う。

30

V A 1 に対する連続した 2 段階変換後、M M U 1 2 4 は μ T L B 1 0 8 に新しいエントリーを挿入して V A 1 と T L B 1 1 8 から変換された対応する実アドレス R A 1 を記憶する (確かな状況では無いけれどもその幾つかを後述する)。このエントリーの有効ビットは 1 にセットされる。同様に、T L B 1 1 7 および 1 1 8 によって戻された対応する保護ビットの論理 AND である、6 個の保護ビット (ユーザーの読み出し / 書き込み / 実行およびスーパーバイザの読みだし / 書き込み / 実行) を、 μ T L B 1 0 8 の新しいエントリーに挿入する。さらに、要求が書き込みアクセスに対するものである場合、 μ T L B 1 0 8 に挿入されるエントリーの修正ビットは 1 にセットされ、それによって R A 1 から始まるメモリページが修正されていることを示す。

40

μ T L B 1 0 8 に対する置き換えの方針は、ファーストイン・ファーストアウト (F I F O) である。殆どのプログラムによって表示されているリファレンスの局所性を与えると、C P U 1 0 1 は将来 V A 1 を恐らく何回も参照するものと思われる。通常、C P U 1 0 1 によって特定されるバーチャルアドレスの高いパーセンテージのものが、その小さなサイズにも係わらず、 μ T L B 1 0 8 においてヒットするものと期待される。

以下の状況を含むある状況下では、 μ T L B 1 0 8 に新たなエントリーが挿入されない。

50

1) μ T L B 1 0 8 において、V A 1 に対するエントリーが既に存在する場合。この状態は、M M U 1 2 4 が μ T L B 1 0 8 でミスした場合 V A 1 に対する 2 段階変換を実行したと言う事実に係わらず発生する。このミスの後、キャッシュ 1 0 9 からの V A 1 に対する要求の以前に、キャッシュ 1 1 0 あるいは 1 1 1 からの V A 1 に対する要求が 2 段階変換に対して実施される(その結果、V A 1 に対する μ T L B 1 0 8 の挿入となる)。 μ T L B 1 0 8 のエントリーを無駄にしないために、M M U 1 2 4 は、挿入以前に V A 1 に対してエントリーが既に存在するか否かをチェックする。

2) V A 1 に対する要求はキャッシュ可能ではない。キャッシュ可能ではない要求に関連したバーチャルアドレスは繰り返して参照されることはない。

3) カレント要求は保護違反を生じる。

10

M M U 1 2 4 中に μ T L B 1 0 8 を設けることによって、M M U 1 2 4 による正規の 2 段階変換を遅延させることなく、以下のものを含む種々の効果を生じる。

a) μ T L B 1 0 8 は、同一のサイクルにおいて、3 個の要求(即ち、各キャッシュ 1 0 2、1 0 3 および 1 0 4 からの要求)に対してサービスアップすることができる。反対に、 μ T L B 1 0 8 が無い場合、M M U 1 2 4 は 1 度に 1 個のバーチャルアドレス上の 2 段階アドレス変換のみを実行する。

b) さらに、M M U 1 2 4 は数個のペンディング中のコマンド要求の内の 1 個を単に選択するためのサイクルを必要とする。これは勿論、このような選択を必要としない μ T L B 1 0 8 によって避けることができる。

c) 1 サイクルを要する μ T L B 1 0 8 におけるヒットとは異なって、2 段階変換は、サイクル 5 で T L B 1 1 7 と同時に T L B 1 1 8 をアクセスする場合 R i d 1 と L A 1 に対する適正な値が推測されないと、少なくとも 2 サイクルを必要とする。この問題はしばしば、(優先度の低いキャッシュの)“欠乏”(starvation)として言及される。

20

上記で議論したように、M M U は (μ T L B 1 0 8 から離れて) 1 度に 1 個のアドレスのみを変換するので、アービタ 1 1 3 は、変換のためのコマンド要求バッファ 1 0 9、1 1 0、1 1 1 および 1 2 6 の内の 1 個に記憶された有効コマンド要求を選択せねばならない。

一実施例では、アービタ 1 1 3 はこの選択を以下のようにして行う。アービタ 1 1 3 は常にコマンド要求、すなわち D M A 要求、をコマンド要求バッファ 1 2 6 からもしあれば選択する。コマンドバッファ 1 0 9、1 1 0 および 1 1 1 には最高、中間、および最低の優先度がそれぞれ与えられる。もしコマンド要求バッファ 1 0 9 におけるペンディング要求が常に選択されると、コマンドバッファ 1 1 0 または 1 1 1 中に要求をサービスするに当たって潜在的に過度の遅延問題が発生する。これは、C R B 1 1 6 におけるカレント要求(これはコマンド要求バッファ 1 0 9 から取り出される)が処理される間に、キャッシュ 1 0 2 からの新たな要求がコマンド要求バッファ 1 0 9 に到達することができるためである。

30

アービタ 1 1 3 は、欠乏の問題を回避するために、図 3 のフローチャート 2 0 0 に示された処理を、論理回路において実行する。アービタは、選択に当たって若しより低い優先度のコマンド要求バッファにペンディング要求があれば、特定のコマンド要求バッファにおいて要求を選択する場合このバッファに関連したマスクビットを設定することにより、欠乏を回避している。これによって、選択すべき次の要求が、确实により優先度の低いコマンド要求バッファから来るようにする。

40

マスクビット `mask_102` と `mask_103` を初期値 0 に設定するステップ 3 0 1 において処理を開始する。次に、処理はステップ 3 0 1 から判定ステップ 3 0 2 に移行する。判定ステップ 3 0 2 では、アービタ 1 1 3 はコマンド要求バッファ 1 2 6 においてペンディング中の D M A 要求があるか否かを判定する。もし、ペンディング D M A 要求があれば、処理はステップ 3 0 2 からステップ 3 0 3 に移行し、その間に M M U は D M A 要求に対して 1 段階変換を実行する。その後、処理はステップ 3 0 3 から判定ステップ 3 0 2 に移行する。

ペンディング D M A 要求が無い場合、処理は判定ステップ 3 0 2 から判定ステップ 3 0 4

50

に移行し、そこでアービタ113はコマンド要求バッファ109(すなわちキャッシュ102から)においてペンディング中のコマンド要求があるか否か、およびmask_102が0であるか否かを判定する。もし、判定ステップ304において調査された条件の少なくとも1個が満足されない場合、次に処理は以下に詳細に示すステップ308に移行する。もし、判定ステップ304で調査された条件の両方が満足された場合、処理はステップ305に移行する。

ステップ305では、アービタ113は、コマンド要求バッファ110または111(すなわち、キャッシュ103または104から)の何れかに有効コマンド要求があるか否かを判定する。もしこのような要求が無い場合、処理は後述するステップ307に移行する。もし、コマンド要求バッファ110または111の何れかに有効コマンド要求があった場合、処理はステップ306に移行し、そこでmask_102は1に設定され、mask_103は0に設定される。(mask_102を1に設定することによって、コマンド要求バッファ109からの現在ペンディング中の要求が処理された後にアービタ113によって選択される次の要求が、コマンド要求バッファ109からの別の要求ではないことを確実にする。)この後処理はステップ306からステップ307に移行する。ステップ307では、MMU124はコマンド要求バッファ109中のペンディング中の要求に対して2段階アドレス変換を実行する。次に処理はステップ307から判定ステップ302に移行する。

ステップ308において、アービタ113はコマンド要求バッファ110(すなわちキャッシュ103から)においてペンディング中のコマンド要求があるか否か、さらにmask_103が0か否かを判定する。もし判定ステップ312において調査された条件の少なくとも一方が満足されないと、次に処理は後述するステップ312に移行する。判定ステップ308で調査された条件が両方とも満足されると、次に処理はステップ309に移行する。

ステップ309では、アービタ113はコマンド要求バッファ111(すなわちキャッシュ104から)に有効コマンド要求があるか否かを判定する。もしこのような要求が無い場合、次に処理は後述するステップ311に移行する。コマンド要求バッファ111に有効コマンド要求が有る場合、次に処理はステップ310に移行し、そこでmask_102を1にセットし、さらにmask_103を1にセットする。(mask_102とmask_103の1へのセットによって、コマンド要求バッファ110からの現在ペンディング中の要求が処理された後アービタ113によって選択される次の要求が、コマンド要求バッファ110からの別の要求またはコマンド要求バッファ109からの要求では無いことが保証される。)処理は次にステップ310からステップ311に移行する。ステップ311では、MMU124は、コマンド要求バッファ110におけるペンディング中の要求に対して2段階アドレス変換を実行する。次に処理はステップ311から判定ステップ302に移行する。

ステップ312では、アービタ113はコマンド要求バッファ111(すなわちキャッシュ104から)においてペンディング中の要求があるか否かを判定する。もし無ければ、次に処理は後述するステップ314に移行する。もしアービタ113がこの様な要求がステップ312において存在すると判定すると、次に処理はステップ313に移行し、ここでMMU124はこの要求に対して2段階アドレス変換を実行する。処理はステップ313からステップ314に移行し、mask_102とmask_103は0に設定される。

以上の開示は、説明を目的とするものであり、限定的な物ではない。更なる修正は当業者にとって容易であるが、これらは添付の請求の範囲内に入るものである。

10

20

30

40

【 図 1 】

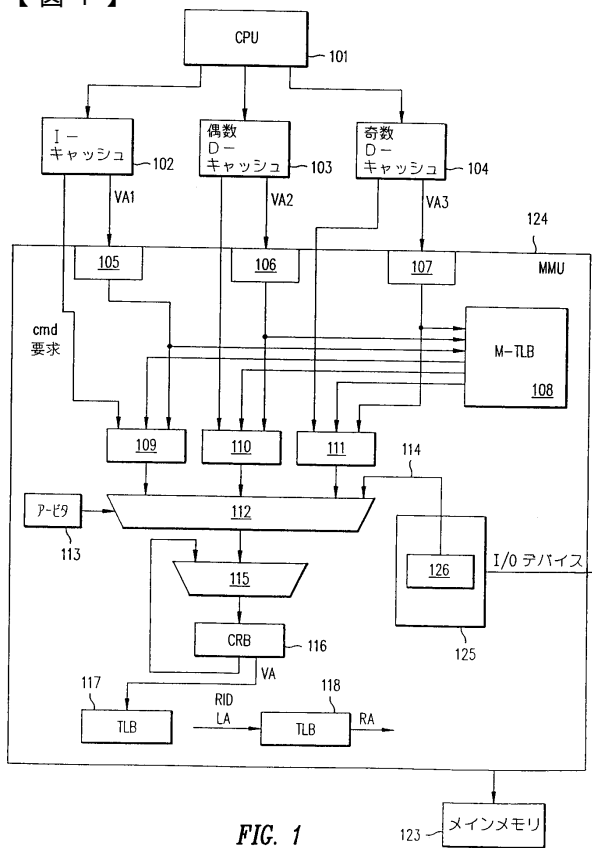


FIG. 1

【 図 2 】

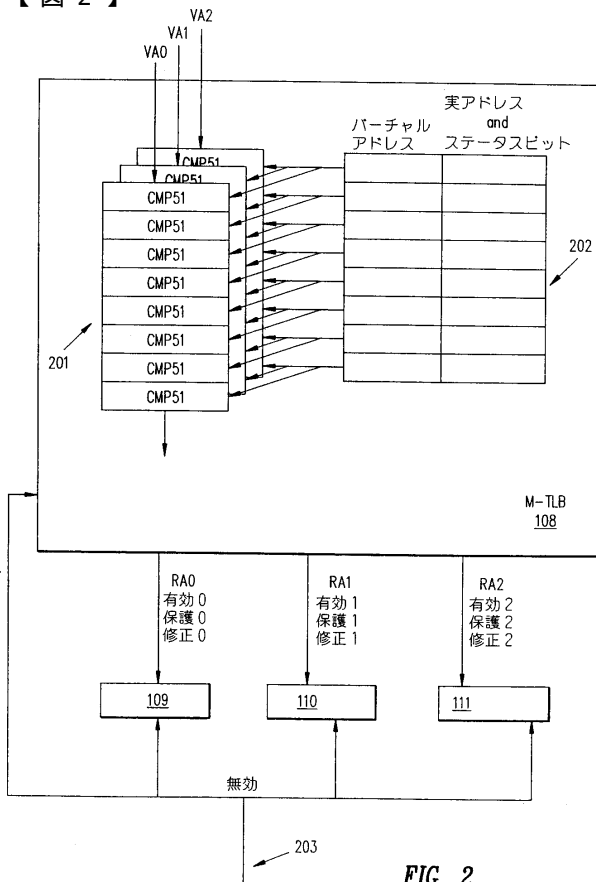


FIG. 2

【 図 3 】

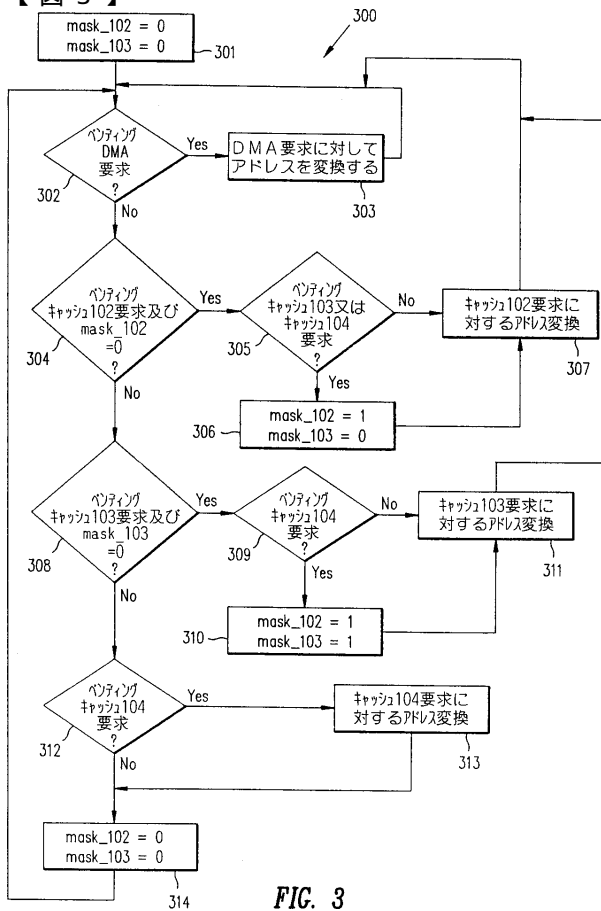


FIG. 3

フロントページの続き

- (72)発明者 ダワル, キオウマース
アメリカ合衆国, カリフォルニア 94301, パロ アルト, キブリング ストリート 823
- (72)発明者 ボニー, ジョエル, エフ.
アメリカ合衆国, カリフォルニア 95014, カパーティノ, コードバード 10594
- (72)発明者 リ, ミン - イン
アメリカ合衆国, カリフォルニア 94087, サニーベール, ベルディ ドライブ 737
- (72)発明者 チェン, ジェン - ホン, チャールズ
アメリカ合衆国, カリフォルニア 95120, サン ジョセ, パロ ロス セリト 6221

審査官 清木 泰

- (56)参考文献 特開平5 - 20198 (JP, A)
特開平6 - 222996 (JP, A)
特開平1 - 207855 (JP, A)
特開平5 - 61772 (JP, A)
特開平6 - 28262 (JP, A)
特開平6 - 180672 (JP, A)
特開平2 - 289013 (JP, A)
特開平3 - 73055 (JP, A)
特開昭59 - 132483 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G06F 12/08 - 12/12