

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2025年2月27日(27.02.2025)



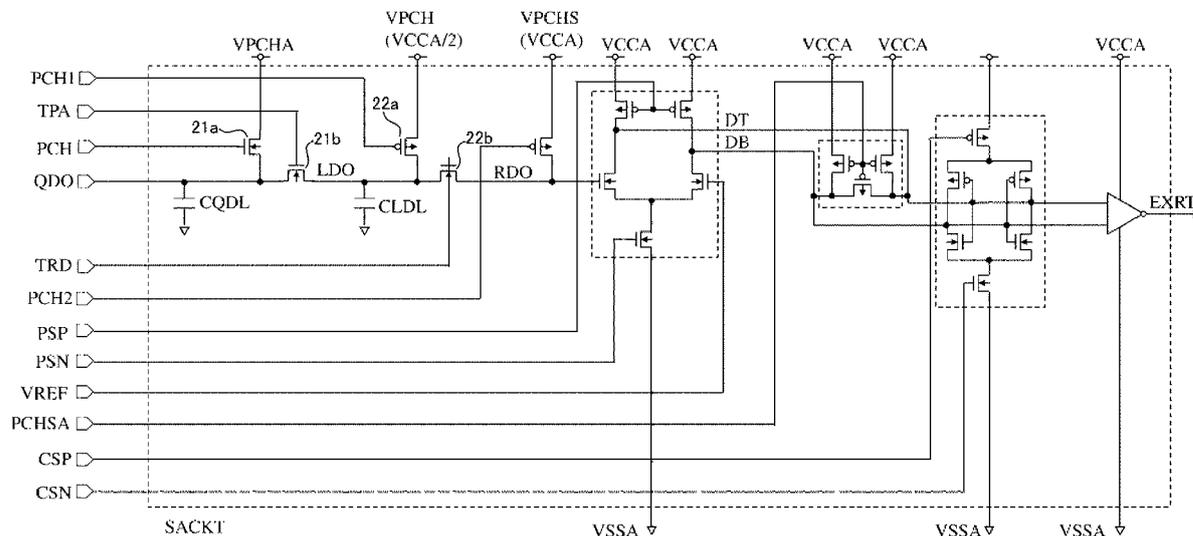
(10) 国際公開番号  
**WO 2025/041217 A1**

- (51) 国際特許分類:  
*G06N 10/40* (2022.01) *H01L 29/66* (2006.01)  
*H01L 29/06* (2006.01)
- (21) 国際出願番号: PCT/JP2023/029960
- (22) 国際出願日: 2023年8月21日(21.08.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 株式会社日立製作所(HITACHI, LTD.) [JP/JP]; 〒1008280 東京都千代田区丸の内一丁目6番6号 Tokyo (JP).
- (72) 発明者: 秋山 悟(AKIYAMA Satoru); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP). 菅野 雄介(KANNO Yusuke); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP).
- (74) 代理人: 青稜弁理士法人(SEIRYO I.P.C.); 〒2200004 神奈川県横浜市西区北幸二丁目10番27号 Kanagawa (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,

(54) Title: QUANTUM SEMICONDUCTOR CIRCUIT

(54) 発明の名称: 量子半導体回路

図2



(57) Abstract: This quantum semiconductor circuit comprises: a single-electron device (SET) that senses the state of a silicon qubit; a first node (QDO) that is connected to a first precharge potential (VPCHA); a second node (LDO) that is connected to a second precharge potential (VPCH) being higher than the first precharge potential; a first amplification circuit that is electrically connected to the single-electron transistor (SET) via the first node (QDO) and has a first charge transfer MIS circuit for transferring the charge of the second node (LDO) to the first node (QDO); a second amplification circuit that is electrically connected to the first amplification circuit via the second node (LDO) and has a second charge transfer MIS circuit for transferring the charge of a third node (RDO) to the second node (LDO); and a third amplification



KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

circuit that outputs a potential to a data line and performs amplitude amplification in response to the third node (RDO) reaching a prescribed potential by means of the first amplification circuit and the second amplification circuit.

(57) 要約: 量子半導体回路は、シリコン量子ビットの状態をセンシングする単一電子素子(SET)と、第一のプリチャージ電位(VPCHA)に接続する第一のノード(QDO)と、第一のプリチャージ電位よりも高い第二のプリチャージ電位(VPCH)に接続する第二のノード(LDO)と、単一電子トランジスタ(SET)と第一のノード(QDO)を介して電氣的に接続し、第二のノード(LDO)の充電電荷を第一のノード(QDO)に転送する第一の電荷転送MIS回路を有する第一の増幅回路と、第一の増幅回路と第二のノード(LDO)を介して電氣的に接続し、第三のノード(RDO)の充電電荷を第二のノード(LDO)に転送する第二の電荷転送MIS回路を有する第二の増幅回路と、第一の増幅回路及び第二の増幅回路により、第三のノード(RDO)が所定の電位になったことに応じてデータ線に電位を出力し、振幅増幅する第三の増幅回路と、を備える。

## 明 細 書

発明の名称：量子半導体回路

### 技術分野

[0001] 本開示は、量子半導体回路に関する。

### 背景技術

[0002] 高速且つ費用効果の高い方法で実行できる量子コンピュータを構築することに大きな関心が寄せられている。量子コンピュータは、超電導論理ベースのデバイスの使用し、典型的に、超電導状態で機能するために極低温に冷却される。特許文献1（特表2021-523572号公報）は、少なくとも2セットの超電導論理デバイスと、論理デバイスを第1の動作温度に冷却するように適合された冷却装置と、超電導論理デバイスを結合する相互接続を含むシステムを開示している。

### 先行技術文献

#### 特許文献

[0003] 特許文献1：特表2021-523572号公報

特許文献2：特開2023-3726号公報

#### 非特許文献

[0004] 非特許文献1：Sushil Subramanian, “Spin Qubits: Principles, Control/Readout Architectures, and Cryoelectronic Solutions”, The IEEE International Solid-State Circuits Conference (ISSCC), 2023

### 発明の概要

#### 発明が解決しようとする課題

[0005] 従来、量子半導体は、希釈冷凍機などを用いて実現する絶対零度雰囲気において、1~100量子ビット級の量子動作が実証されてきた。しかしながら、中容量の量子ビット数のシステムでは複雑な現象を解析する計算機資源としては十分ではない。一方、更なる量子ビット数の大容量化によって十分な計算機資源を確保しようとする、量子ビットのスピン状態の差異を示す出力

電流、所謂エルザーマン電流を検出し増幅する読出し回路の高集積化が重要となる。1量子ビットの情報を読み出すこの読出し回路の回路規模(寸法)が大きいと、量子ビット大容量化により量子半導体チップサイズが大きくなり、結果的にチップの消費電流増大により、量子動作の必要条件である絶対零度雰囲気(絶対零度)の温度が上昇してしまうという課題がある。

[0006] 非特許文献1には、量子ビット内のスピン情報の差異を、単一電子トランジスタを用いて大小の電流に変換し、その単一電子トランジスタ電流値の大小をインピーダンスの大小としてチップ外部に読み出す方法が開示されている。この方式は、インダクタやコンデンサなどの大型な受動部品が必要となり、大容量化によるチップサイズ増大の課題があり、大規模シリコン量子ビットには適さない。

[0007] 特許文献2(特開2023-3726号公報)には、相補の情報を保持する量子ビットアレイから相補の信号である量子ビット情報を、量子ビットに接続される単一電子素子から出力して、さらに、これに接続される差動増幅回路で信号を増幅する方法が開示されている。この方法は前記単一電子素子のドレインソース電圧が差動増幅回路の入力差電位となる。このため差動回路動作に必要な入力差電位が発生するので、単一電子素子の掃引電流値が変動してしまい、所望の読出し動作ができなくなる場合がある。

[0008] 上記のような背景を鑑み、本開示の課題は、大規模シリコン量子ビットの実現に向けて、SET(単電子トランジスタ(Single Electron Transistor))の微小電流を増幅し、高精度に量子ビット状態を読み出すことが可能な半導体量子回路を提供することである。

### 課題を解決するための手段

[0009] 上記課題を解決するために、本開示の半導体量子回路は、複数の量子ビット素子と前記複数の量子ビット素子のスピン状態を検知する複数の単一電子素子を含む量子ビットアレイ回路と、前記量子ビット素子からのスピン状態を表す読出し電流を出力する量子ビット読出し線である第一のノードと、前記第一のノードに接続される量子ビット読出し電流増幅回路と、を有し、前

記量子ビット読出し電流増幅回路は、前記第一のノードを、第一のプリチャージ電位に設定するように構成され、前記量子ビット読出し電流増幅回路は、前記第一のプリチャージ電位よりも高い第二のプリチャージ電位に接続する第二のノードと、前記単一電子素子と前記第一のノードを介して電氣的に接続し、前記第二のノードの充電電荷を前記第一のノードに転送する第一の電荷転送MIS回路を有する第一の増幅回路と、前記第一の増幅回路と前記第二のノードを介して電氣的に接続し、第三の増幅回路と第三のノードを介して電氣的に接続し、前記第三のノードの充電電荷を前記第二のノードに転送する第二の電荷転送MIS回路を有する第二の増幅回路と、前記第一の増幅回路及び前記第二の増幅回路により、前記第三のノードが所定の電位になったことに応じてデータ線に電位を出力し、振幅増幅する前記第三の増幅回路と、を備える。

### 発明の効果

[0010] 本開示によれば、大規模シリコン量子ビットの実現に向けて、SET（単電子トランジスタ（Single Electron Transistor））の微小電流を増幅し、高精度に量子ビット状態を読み出すことができる。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載された何れかの効果であってもよい。

### 図面の簡単な説明

[0011] [図1]図1は実施例に係る量子半導体の量子ビット部の回路図である。  
[図2]図2は実施例に係る量子半導体の量子ビット信号を増幅する読出し回路図である。  
[図3]図3は実施例に係る量子半導体の量子ビット信号を増幅する読出し回路の動作シーケンスを示す図である。  
[図4]図4は実施例に係る量子半導体の量子ビットと読出し回路を集積したブロック回路図である。  
[図5]図5は実施例に係る量子半導体の量子ビットアレイを集積したブロック回路図である。

[図6]図6は実施例に係る量子半導体チップ全体のブロック回路図である

[図7]図7は実施例に係る量子半導体を用いた量子計算機を示すブロック図である。

[図8]図8は実施例に係る量子半導体のチップの希釈冷凍機内へ実装方法を示す図である。

### 発明を実施するための形態

[0012] 以下の実施の形態においては、便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらは互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合及び原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特性の数以上でも以下でもよい。

[0013] さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合及び原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合及び原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値及び範囲についても同様である。

[0014] 同種の要素を区別しないで説明する場合には、枝番を含む参照符号のうちの共通部分（枝番を除く部分）を使用し、同種の要素を区別して説明する場合は、枝番を含む参照符号を使用することがある。例えば、図1に示す量子ビットトランジスタを例に挙げると、個々の量子ビットトランジスタを特に区別しないで説明する場合には、「量子ビットトランジスタMQ」と記載し、個々の量子ビットトランジスタを区別して説明する場合には、「量子ビットトランジスタMQ0」、「量子ビットトランジスタMQ1」などのように記載することがある。

## 実施例

[0015] 本実施の形態における量子半導体の回路構成とその配置配線方法について図1から図8を用いて説明する。図1は、実施例に係る量子半導体の量子ビット部の回路図SQBAである。図1には、量子ビットを形成する荷電粒子である電子もしくは正孔を供給するリザーバRSEV、量子ビットを格納するための量子ビットトランジスタMQとそれらを駆動する駆動配線XQ0～XQ3、量子制御トランジスタMJとそれらを駆動する制御配線XJ0～XJ4、前記量子ビットトランジスタMQ及び前記量子制御トランジスタMJの上下に配置される単一電子素子SETU0～SETU10、SETD0～SETD10とそのゲート電極に電氣的に接続される駆動端配線XQE0～XQE3、前記制御配線XJ0～XJ4が記載されている。また量子ビットトランジスタMQに荷電粒子を送り出すために必要なポテンシャル分布を形成するための、リザーバ素子MR00、MR10及びソース制御素子MS00、MS10とそれらを制御するためのリザーバ制御線GREとソース制御線GSRが図示されている。図中のSourceはRSEVとの電位関係を制御するための端子線である。なお、図1の構成では二つのトランジスタ素子を一つの単位として記載している。シリコン半導体プロセスの先端プロセスにおいては、トランジスタ素子一つ一つのゲート電極(メタルゲート)を物理的に分割することが困難であり、図1のような構成にした方が製造しやすい場合があるためである。

[0016] 量子ビットを用いた量子操作(量子計算)の方法は様々あるが、図1の本実施例では磁気共鳴方式を利用する場合で説明する。はじめに量子ビットである荷電粒子をリザーバRSEVから量子ビットトランジスタMQに格納する。格納するためには量子ビットトランジスタMQや量子制御トランジスタMJのゲート電極に適切な電位を印加し、荷電粒子を一つずつリザーバから転送する。量子トランジスタに量子ビットが一つずつ格納(初期化)されたのち、量子制御トランジスタMJのゲート電極に待機電位(例えば負電位)を印加し、量子ビットの両端のポテンシャル障壁を高く設定することで量子ビットが量子トランジスタMQの所定の位置に留まるように制御する。なお図面が煩雑になるため記載を省略したが、量子半導体を実装する希釈冷凍機内に搭載した超伝導マ

グネットを用いて量子半導体全体に静磁場を印加する。静磁場によって荷電粒子のスピンの状態が基底状態に揃う(例えば全量子ビットがアップスピン状態となる)ため、量子ビットの状態を初期化することになる。初期化された量子ビットはある共鳴周波数で歳差運動をしている。

[0017] 所定の位置に量子ビットを格納した後、例えば量子ビット制御配線XJ0と量子ビット駆動配線XJ1に逆向きの電流を通流させる。逆向きの電流を流すことで、量子ビットトランジスタMQ00、MQ10に局所磁場が発生する。発生した局所磁場の影響で、量子ビットMQ00、MQ10の共鳴周波数が一定値ずれる。このずれた共鳴周波数と同じ周波数のマイクロ波を照射することで、量子ビットを選択的に回転操作することが可能となる。図1の例では、量子ビットMQ00、MQ10はすべて同じ共鳴周波数を有することになるため、2量子ビットが同じ回転操作することになる。例えばMQ00、MQ10はアップスピン状態になるよう回転操作される。なお、局所磁場が発生しない量子ビットMQ01、MQ11、MQ02、MQ12、MQ03、MQ13については、同じ期間マイクロ波が照射されても共鳴周波数がマイクロ波とは異なるため量子ビットは基底状態を維持することになる。同様の制御をすることで、図1の例では、矢印によって、MQ01、MQ11はダウンスピン、MQ02、MQ12はアップスピン、MQ03、MQ13はダウンスピンとした場合を図示している。

[0018] 量子操作した量子ビットMQ00、MQ10の情報を読み出す場合は、その量子状態を維持したまま量子ビット駆動配線XQや量子ビット制御配線XJを所望の電位に制御して、MQ03、MQ13の位置まで量子情報を移動させる。MQ03、MQ13に格納された量子ビットは、トンネル電流のメカニズムによりある一定の確率でトンネル電流によりソース端子線Sourceに移動し、また元の量子ビット素子の所定の位置に戻ってくる挙動を示す(エルザーマンのメカニズム)。この量子ビットの挙動により、MQ03に対向配置されている単一電子素子SU13のゲート電位が変動し、量子読出しデータ線QDOUに所定の電流の変動(例えば500pAが50pAに変動する)が出現する。同様にMQ13に対向配置されている単一電子素子SD03のゲート電位が変動し、量子読出しデータ線QDODに所定の電流の変

動(例えば500pAが50pAに変動する)が出現する。このように図1の例では、同じ量子ビット情報が量子読出しデータ線QDOUとQDODに出力されることとなる。一方、量子ビットトランジスタMQ03、MQ13にダウンスピン情報が格納された場合は、上記のようなトンネル電流のメカニズムは発生せず、量子読出しデータ線には電流の変動は出現しない。このように、量子ビット状態の差異による、出力電流変動の違いを読み出し、論理レベル、すなわちLSI回路の電源電圧レベルのVCCA(0.75V)とVSSA(0V)に増幅できれば、量子演算結果を量子半導体外部に出力できることになる。

[0019] 図2に本発明の実施例である量子ビット読出し電流増幅回路を示す。本実施の増幅回路は、ゲート電極TPAを制御する第一増幅回路とゲート電極TRDを制御する第二増幅回路と、前記第一増幅回路と前記第二増幅回路を電氣的に接続するローカルデータ線LD0と、NMOS対のゲート電極が差動入力であり、PMOSのレベルホルダが接続された所謂差動増幅器から構成される第三増幅回路から構成される。

[0020] 第三増幅回路の片側のNMOSトランジスタのゲート電位は第二増幅回路のドレインと接続され読出しデータ線RD0を構成する。また、量子ビット読出し線QD0、ローカルデータ線LD0、読出しデータ線RD0には、それぞれアレイプリチャージ電圧VPCHA、ハーフプリチャージ電圧VPCH、プリチャージ電圧VPCHSにプリチャージするプリチャージ回路が接続され、プリチャージ活性化信号PCH、PCH1、PCH2がそれぞれゲート電極に接続される。第三増幅回路は、増幅回路活性化信号PSNをハイにアサートすることで、増幅動作が開始され、データ線DT及びDBに増幅差電位が出力される。データ線対に出力された増幅差電位は、後段の所謂クロスカップル型増幅回路のコモンソース活性化信号CSN及びCSPをアサートすることで、電源電圧VCCAとVSSAのフル振幅電位まで増幅され、クロスカップル増幅回路で情報がラッチされる。ラッチされた信号電位は、さらに後段のバッファ回路にて外部データ線EXRTを經由し量子半導体外部の情報機器に伝達される。なおデータ線対DT、DBはpMOSのイコライザとレベルホルダpMOS素子から構成されるデータ線プリチャージ回路を用いて、例え

ばVCCAレベルにプリチャージされる。

[0021] なお、量子ビット読出し線QD0は、「第一のノード」とも称呼される場合があり、ローカルデータ線LD0は、「第二のノード」とも称呼される場合があり、読出しデータ線RD0は、「第三のノード」とも称呼される場合がある。ノードとは、回路を構成する素子の電氣的な接続を可能とする要素（例えば、接続線など）のことをいう。

[0022] 第一のノードの第一のプリチャージ電位（アレイプリチャージ電圧VPCA）は0.1mV~20mVであってもよく、第二のノードの第二のプリチャージ電位（ハーフプリチャージ電圧VPCH）は、第一のノードの第一のプリチャージ電位より大きく、且つ、第三のノードの第三のプリチャージ電位より小さくてもよく（例えば、電源電圧のハイレベルの1/2前後又は1/2であってもよく）、第三のノードの第三のプリチャージ電位（プリチャージ電圧VPCHS）は、電源電圧のハイレベルと同等であってもよい。

[0023] 第1増幅回路が有するMOSトランジスタ(Metal Oxide Semiconductor Field Effect Transistor)(NMOSトランジスタ)21a及び21bは、MISFET(Metal Insulator Semiconductor Field Effect Transistor)の一種である。MOSトランジスタ21bを含む回路は、「第一の電荷転送MIS回路」と称呼される場合がある。

[0024] 第2増幅回路が有するMOSトランジスタ(PMOSトランジスタ)22a及びMOSトランジスタ(NMOSトランジスタ)22bは、MISFETの一種であり、MOSトランジスタ22bを含む回路は、「第二の電荷転送MIS回路」と称呼される場合がある。

[0025] 次に図3を用いて本実施の増幅回路の動作シーケンスを説明する。本増幅回路を動作させる以前に、所望の量子ビットのスピン状態を確定させておく。その期間において増幅回路の構成回路である各プリチャージ回路を活性化し、量子読出しデータ線QD0を約10mVに、ローカルデータ線LD0を0.375Vに、読出しデータ線RD0を0.75Vにそれぞれプリチャージする。量子ビットトランジスタMQの状態が確定しているので、単一電子素子のゲート電極を所望の電

位に設定しておくことで、量子ビット素子の状態により、単一電子素子SETU8もしくはSETD8のゲート電位が変動するため、量子読出しデータ線QD0に信号が出力される。

[0026] この状態において、TPA電位を例えば270mVの電位として第一増幅回路を活性化させる。この時、量子ビット読出しデータ線QD0に安定化容量CQDL、ローカルデータ線LD0に安定化容量CLDLを付加接続しておくことよい。好ましくは、前記安定動作のコンデンサ容量値はフェムトファラッド( $10^{-15}$ )のオーダーの値がよい。またこれらの容量値は $CQDL > CLDL$ の関係性を確保するとよい。このような回路接続及び各ノードの電位関係とすることで、第一増幅回路を活性化したときに、ローカルデータ線LD0には、量子読出しデータ線に出力可能な、つまり単一電子素子動作が可能な範囲における最大初期差電位が、一定程度に増幅された信号電位が出力される。

[0027] 具体的には量子読出しデータ線に5mVの初期差電位しか発現しない状況下において、ローカルデータ線LD0には20mV程度の差電位が発生する。量子読出しデータ線の電位変動が5mV以上になると、単一電子素子の増幅効果が低下し、ひいては量子ビットが保持する情報を誤って増幅する恐れがある。このため本実施例ではCQDLを付加することで、量子読出しデータ線が必要以上に電位変動しないようにすることができる。また好ましくは、一度アサートした第一増幅回路の活性化信号TPAをネゲートする。このようにすることでローカルデータ線LD0に量子ビットに保持する情報に応じた差電位を保持することが可能となる。この保持した電位差を第二増幅回路の活性化信号TRDをアサートすることで読出しデータ線RD0にさらに増幅された信号を出力できる。

[0028] この時の増幅動作の原理としては第一増幅回路と同様であり、好ましくは安定化容量CLDLの値は、読出しデータ線RD0の寄生容量値よりも大きく設定するとよい。このような設定とすることで読出しデータ線RD0の電荷量が効率よくローカルデータ線LD0に放電される。また、図3に示したように、読出しデータ線RD0に量子ビットに格納された情報に応じた信号レベルが増幅出力された後、第三増幅回路のNMOS差動入力の参照電位側に参照電圧(例えば600mV)を

入力する。参照電圧VREFよりも読出しデータ線RD0電位が高い電位(破線)か、低い電位(実線)かを両方判定できるタイミングで第三増幅回路の活性化信号PSNをオン状態とする。好ましくは、参照電圧と前記高い電位との電位差と、前記低い電位との電位差が同じ電位差になるタイミングで前記第三増幅回路の活性化信号PSNをオン状態とすればよい。このように制御することでデータ線対DT、DBに相補の信号が出力される。その後、ラッチ型のクロスカップル増幅回路を活性化することでデータ線対がLSI回路の電源電圧までフル振幅増幅されることとなる。

[0029] 図4は、本実施例の量子ビットアレイSQBAと量子ビット読出し電流増幅回路との接続関係を示すブロック回路図である。量子ビットアレイSQBAの各駆動配線や制御配線はその上下に配置される駆動回路DRVU、DRV Dに配置される所謂NAND回路に入力される。また前記駆動回路の隣接部にセクタ回路SELU、SELDを配置する。このセクタ回路にはローアクティブ信号線MWLBが入力され、その反転信号線SXJTが前記駆動回路に入力される。この反転信号線を駆動回路内のNAND回路に入力することで選択的に所望の量子ビットトランジスタのゲート電極電位を制御できる。なお図中の破線で記載したブロック回路は、量子ビットアレイSQBAに隣接配置される別の量子ビットアレイと接続される量子ビット読出し電流増幅回路((SACKTU), (SACKD))、セクタ回路((SELU), (SELD))、量子読出しデータ線((QDOU), (QDOD))である。また量子ビット読出し電流増幅回路の各制御配線は、その増幅回路上を通過するように配置配線されるよう図示しているが、前述のローアクティブ信号線MWLBもこの増幅回路上を通過するように配置させるとよい。このように配置配線することで、図4の実施例のブロック回路を上下左右に繰り返し配置が可能となり量子ビットの大容量化が可能となる。

[0030] 図5は本実施例に係る量子半導体の量子ビットアレイを集積したブロック回路図QBITARRAYである。図中の記号については図1～図4の実施例で記載したものと同義であるためここでは説明を省略する。図の例では量子ビットアレイSQBAを256行×256列分、配置した例である。一つの量子ビットアレイSQB

Aは4量子ビットのため、合計で256k量子ビットとなる。繰り返し配置の端部は、一部回路ブロックが存在不要の箇所があるため、製造上不具合を生じないよう、ダミーの量子ビット読出し電流増幅回路DMYSAやダミーセクタ回路DMYSELU、DMYSELDを配置した例を示している。このように規則的な回路ブロックの配置とすることでチップ歩留まりを向上できる利点がある。

[0031] 図6は、本実施例に係る量子半導体チップ全体のブロック回路図QBAである。ブロック回路図QBAは、アドレスバッファADDRESS BUFFER、カラムアドレスバッファCOLUMN ADDRESS BUFFER、カラムアドレスカウンタCOLUMN ADDRESS COUNTER、ロウアドレスバッファROW ADDRESS BUFFER、リフレッシュカウンタREFRESH COUNTER、量子ビットバンクセレクトQBANK SELECT、量子モードレジスタQMODE RESISTER、ロウデコーダROW DEC、カラムデコーダCOLUMN DEC、メインセンスアンプMAIN AMP、量子ビットアレイQBIT ARRAY、データ入力バッファDin BUFFER、データ出力バッファDout BUFFER、データバッファDQS BUFFER、ディレイロックドループDLL、コントロールロジックCONTROL LOGIC、クロックCLK、/CLK、クロックイネーブル信号CKE、チップセレクト信号/CS、ロウアドレスストロープ信号/RAS、カラムアドレスストロープ信号/CAS、ライトイネーブル信号/WE、データストロープ信号DQS、データDQを含む。

[0032] 本実施例のブロック回路図は汎用DRAMの構成を応用したものである。システムバスに相当する部分からクロックCLK、/CLKを入力しクロックイネーブル信号CKEをアサートしてコントロールロジックにコマンド生成を促すよう制御できる。チップセレクト信号やロウアドレスストロープ信号、カラムアドレスストロープ信号、ライトイネーブル信号の各種信号を所望のビットパターンで入力し、コントロールロジックは、例えばQBITARRAYのプリチャージ実行、QBITARRAYアクティベート(今回の場合は量子ビット駆動信号XQの活性化など)、リード動作(今回の場合は量子ビット読出し電流増幅回路の活性化など)の各種コマンドを生成する。外部制御LSIチップなどから所望のアドレス情報ADDRESSが入力されると、各種アドレスバッファ(ROW ADDRESS BUFFER, COLUMN ADDRESS BUFFER)にそのデータが転送され、後段のロウデコ

ード回路やカラムアドレスカウンタやカラムデコーダ回路にて適切に選択ビット用駆動信号や制御信号がアサートされる。

[0033] 量子モードレジスタは、本実施のQBA回路をテストモードで動作させる、エラー訂正モードで動作させる等のモード選択を実行する。また量子ビットを90度回転操作や隣接量子ビットとのスワップ動作といった量子操作モードの設定を行う。本実施の量子ビット読出し電流増幅回路で電源レベルにラッチされた信号は、メインアンプまで転送される。メインアンプのデータは、データ出力バッファを介してデータDQ信号として、量子半導体チップQBAの外部に転送される。ディレイロックループ回路により生成したタイミングやデータストローク信号を適宜用いて、所望のタイミングでデータ信号を外部装置とやり取りできる。量子半導体チップQBAへの書き込みデータは、データ入力バッファから外部データが入力され、メインアンプを介して量子ビットアレイQBTARRAYに書き込まれる。前述の通り、データ書き込みに必要な量子操作については量子モードレジスタに適切なコマンド生成パターンを入力し、量子ビット駆動信号や量子ビット制御信号を所望の電位に設定する。以上説明したように、本実施の量子ビットアレイを大容量化する場合においても、図6の実施例を適用すれば安定したデータの送受信を実施することができる。

[0034] 図7は、本発案の量子半導体QBAと量子半導体QBAを制御するための制御信号を入力するアナログチップCACと、アナログチップCACを制御するための制御信号を入力するデジタル処理装置CDUとの接続関係を示している。これらを論理的かつ電氣的に接続することでシステム全体として量子計算機を構成する。なお、アナログチップCACは古典コンピュータ、すなわち所謂CMOSプロセスの集積LSIを用いて構成すると好適である。またデジタル処理装置CDUも、アナログチップCACと同様CMOSプロセスを利用した半導体チップを応用した処理装置とすれば好適である。平易に言えば、デジタル処理装置CDUは一般的なパソコン(PC)でもよい。PCに所望の制御信号を発生させるソフトモジュールを組み込んで利用することも可能である。

[0035] 図8は実施例に係る量子半導体QBAや、アナログチップCAC、デジタル処理

装置CDUと希釈冷凍機10とを用いた実装方法を示した図である。希釈冷凍機10は、希釈冷凍機10の外部の大気雰囲気と希釈冷凍機10の内部の真空雰囲気を分離するために、筐体Frameと室温プレートRT-PLで分離されている。希釈冷凍機10の筐体Frame内の真空度は、冷凍機10の外部に設置されるポンプ装置を用い、真空管VCを介して空気を排出して制御される。また希釈冷凍機10内の温度制御は、図8に示すパルス管PulseTubeに希釈した液体ヘリウムを循環させることで実現する。図8では二つのパルス管PulseTubeを接続した例を示している。希釈した液体ヘリウムとは、ヘリウムの二つの同位体、 $^3\text{He}$ と $^4\text{He}$ をそれぞれ液化し、 $^3\text{He}$ 相を $^4\text{He}$ 相に注ぎ希釈したものである。

[0036] 図8の希釈冷凍機10の例では、希釈冷凍機10の筐体Frameの内部に複数の金属(主に無酸素銅)プレート(50K-PL( $-223^{\circ}\text{C}$ にされる)、4K-PL( $-269^{\circ}\text{C}$ にされる)、PLA、PLB、mKPL(おおよそ $-273^{\circ}\text{C}$ にされる))を設置及び格納している。金属プレートPLA、PLBについては4K( $-269^{\circ}\text{C}$ ) $\sim$ mK(おおよそ $-273^{\circ}\text{C}$ )の間の温度で制御される。温度の制御は各プレート(50K-PL、4K-PL、PLA、PLB、mKPL)に搭載する温度制御用ヒータ(図示せず)と前記温度制御用ヒータへの電力投入量を制御する希釈冷凍機10の外部に設置される温度コントローラ(図示せず)を用いて熱平衡状態を制御及び維持するように構成されている。図8の例では、パルス管PulseTubeからヒートシンクHeatsinkへ希釈した液体ヘリウムを循環させる。これにより、ヒートシンクHeatsinkが接続される金属プレート4K-PLと金属プレートmKPLとが希釈した液体ヘリウムが循環するヒートシンクHeatsinkを介して極低温にされる。したがって、金属プレート4K-PLと金属プレートmKPLを10mK $\sim$ 100mKの極低温雰囲気に実現することができる。

[0037] ヒートシンクHeatsinkは第1冷凍管であり、パルス管PulseTubeは第2冷凍管とすることができる。また、金属プレートmKPLは第1金属プレートであり、金属プレート4K-PLは第2金属プレートとすることができる。量子半導体QBAは金属プレートmKPLよりも下部に配置する量子半導体QBAの第1冷却用プレートFGNDPLTの上に実装する。冷却用プレートFGNDPLTは冷却ロッドC0 $\sim$ C3(偶

数側C0, (C2は図示せず)を介して熱的に金属プレートmKPLと接続される。つまり、ヒートシンクHeatsinkは、希釈した液体ヘリウムを用いて金属体である冷却用プレートFGNDPLTを冷却する冷凍管である。金属体である冷却用プレートFGNDPLTは、金属プレートmKPLに冷却ロッドC0~C3を介して熱的に接続されている。本実施例で量子半導体QBAを金属プレートmKPLに直接実装せず金属プレートmKPLよりも下方に設置した理由は、量子半導体QBAに静磁場を印加しながら量子動作させるためである。静磁場を生成するための磁石MAGNETを希釈冷凍機10の最下層に配置するスペースの都合上、本実施例の希釈冷凍機10の構成例では量子半導体QBAを図8のように配置した。なお、量子半導体QBAを量子動作させるために必要な電気信号は、希釈冷凍機10の外部に設置される制御用装置(図示せず)から出力され、電気信号のうちの制御信号は同軸配線CXE、CX0を介して、電気信号のうちの電源電圧や電源電流はDC用ツイスト配線TWE、TWOを介して、量子半導体QBAと電氣的に接続される。以上のような実装形態にすることで、図1~図7の説明のような量子操作、量子計算機が実現できる。

[0038] 本開示は、量子半導体を大容量化する際に読出し電流を増幅する回路を集積LSIで実現することと、量子ビット素子と単一電子素子から構成される量子ビットセル回路において、単一電子素子の電流増幅効果を損なうことのないよう、単一電子素子のドレインソース電圧の変動を可能な限り小さく抑えつつ、微小な出力電流を増幅する技術を提供できる。

[0039] 本開示は、大容量の量子半導体を量子動作させた際に、絶対零度に限りなく近い温度に維持できるため、量子忠実度の高い量子計算機を提供できる。

<<変形例>>

以上、本発明者によってなされた発明(開示)を実施の形態に基づき具体的に説明したが、本開示は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

[0040] 上記した実施の形態は、本開示を分かり易く説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるもの

ではない。また、実施の形態の構成の一部について、他の構成の追加・削除・置換をすることが可能である。

[0041] また、例えば、前記実施の形態においては、一例としてシリコン量子半導体を用いる場合について説明したが、本発明はこれに限定されるものではなく、超電導量子半導体などにも適用することができる。

[0042] 本開示は、下記の構成を有するシリコン量子ビット半導体集積回路であってもよい。

[0043] シリコン半導体量子ビット集積回路において、第一導電型の複数のMISFETと第二導電型の複数のMISFETとこれらから構成される第一増幅回路と第二増幅回路と第三増幅回路部とを有する。

[0044] 前記複数のMISFETは、少なくとも第一MISFET(Barrier)、第二MISFET(Plunger)、第三MISFET(Barrier)から構成され、前記第一MISFETに電子を共有するリザーバ(Reservoir)ノードと前記第一MISFETのドレインと前記リザーバが電氣的に接続され、前記第一MISFETのソースは、前記第二MISFETのドレインと接続され、前記第二MISFETのソースは、前記第三MISFETのドレインと接続され、前記第三MISFETのドレインは、接地電位(Drain)に接続される。

[0045] 前記リザーバから供給された量子ビット演算用の前記電子は、前記第二MISFETが構成される半導体基板と前記第二MISFETのゲート酸化膜との界面に存在するように前記第一MISFETと前記第三MISFETのゲート電位を所望のレベルに制御し前記第一MISFETと前記第二MISFETと前記第三MISFETと対向するように第四MISFET、第五MISFET(SET)、第六MISFETが配置される。

[0046] 前記第四MISFETのソースは、前記第五MISFETのドレインと接続され、前記第五MISFETのソースは、前記第六MISFETのドレインと接続され、前記第六MISFETのソースは、接地電位(VSSA)に接続される。

[0047] 前記第一増幅回路は、第一導電型の第七MISFET(PCH)と第一導電型の第八MISFET(TPA)とで構成され、前記第四MISFETのドレインと前記第七MISFETのドレインと前記第八MISFETのソースが電氣的に接続され、第一ノード(QD0)を構成し前記第七MISFETのソースは、前記第一ノードの第一プリチャージ電位(VPCH

A)と接続される。

[0048] 前記第二増幅回路は、第一導電型の第九MISFET(T\_RD)と第二導電型の第十MISFET(PCH1)とで構成され、前記第八MISFETのドレインと、前記第九MISFETのソースと前記第十MISFETのドレインが電氣的に接続され、第二ノード(LD0)を構成し、前記第十MISFETのソースは、前記第二ノードの第二プリチャージ電位(VPCH)と接続される。

[0049] 前記第三増幅回路は、第一導電型の第十一MISFETのゲートと前記第九MISFETのドレインが接続され、第二導電型の第十四MISFETのドレインと前記第十一MISFETのゲートとが電氣的に接続され、第三ノード(RD0)を構成し、前記第十四MISFETのソースは、前記第三ノードの第三プリチャージ電位(VPCHS)と接続され、第一導電型の第十二MISFETと、第一導電型の第十三MISFETとをさらに有し、前記第十二MISFETのソースと前記第十一MISFETのソースと前記第十三MISFETのドレインが電氣的に接続され、前記第十一MISFETとドレインは第一データ線(DT)と、前記第十二MISFETのドレインは第二データ線(DB)とそれぞれ接続され、一方のゲートと他方のドレインが互いに接続され、ソースが前記第一ソース線に接続された第一導電型の第一MISFET対と、一方のゲートと他方のドレインが互いに接続され、ソースが前記第二ソース線に接続された第一導電型の第二MISFET対とを有する。

[0050] 前記第一MISFET対の前記互いに接続されたノードは、前記第一データ線(DT)と接続され、前記第二MISFET対の前記互いに接続されたノードは、前記第二データ線(DB)と接続され、前記第一ノード(QD0)には、第一安定化容量(CQDL)が接続され、前記第二ノード(LD0)には、第二安定化容量(CLDL)が接続され、前記第三増幅回路には、第一電源電圧(VCCA)と第二電源電圧(VSSA)が供給され、前記第一電源電圧と、前記第三プリチャージ電位は同等のレベルの電位であり、前記第二プリチャージ電位は、前記第一電源電圧と前記第二電源電圧の中間程度の電位であり、前記第一プリチャージ電位は、前記第二プリチャージ電位よりも低い電位であり、前記第二MISFETに格納配置された電子がアップスピン状態の場合には、前記第五MISFETにオン電流(ISET on)が流れ前

記第一ノード(QD0)を比較的高速にローレベル側に駆動し、前記第二MISFETに格納配置された電子がダウンスピン状態の場合には、前記第五MISFETにオフ電流(ISET off)が流れ前記第一ノードをアップスピン状態よりも比較的低速にローレベルに駆動し、前記第一ノードQD0がアップスピンとダウンスピンの状態で異なる電位(第一差電位)になった直後に前記第八MISFETのゲート電位を、前記第二電源電圧から第一駆動電圧に変化させ、前記第二ノードLD0の充電電荷を前記第一ノードQD0に転送することで、前記第一差電位を第二差電位に増幅し、前記第二ノードLD0の第二差電位十分に増幅された直後に、前記第八MISFETのゲート電位を前記第一駆動電圧から前記第二電源電圧に変化させ、その直後に、前記第九MISFETのゲート電位を、前記第二電源電圧から第二駆動電圧に変化させ、前記第三ノードRD0の充電電荷を前記第二ノードLD0に転送することで、前記第二差電位を第三差電位に増幅、前記第三ノードRD0が前記第三差電位の状態になった後に前記第十三MISFETのゲート電位を、前記第二電源電圧から第三駆動電圧に変化させることで前記第一データ線と前記第二データ線に第四差電位を出力し、その後、前記第一MISFET対と前記第二MISFET対を活性化することで、前記第一データ線と前記第二データ線を、前記第一電源電圧と前記第二電源電圧までフル振幅増幅される。

[0051] 第八MISFET(TPA)を含む回路は、「第一の電荷転送MIS回路」と称される場合がある。第九MISFET(T\_RD)を含む回路は、「第二の電荷転送MIS回路」と称される場合がある。

[0052] 本開示は、以下の構成を採ることもできる。

[0053] 複数の量子ビット素子と前記複数の量子ビット素子のスピン状態を検知する複数の単一電子素子を含む量子ビットアレイ回路と、

前記量子ビット素子からのスピン状態を表す読出し電流を出力する量子ビット読出し線である第一のノードと、

前記第一のノードに接続される量子ビット読出し電流増幅回路と、

を有し、

前記量子ビット読出し電流増幅回路は、

前記第一のノードを、第一のプリチャージ電位に設定するように構成され、

前記量子ビット読出し電流増幅回路は、

前記第一のプリチャージ電位よりも高い第二のプリチャージ電位に接続する第二のノードと、

前記単一電子素子と前記第一のノードを介して電氣的に接続し、前記第二のノードの充電電荷を前記第一のノードに転送する第一の電荷転送MIS回路を有する第一の増幅回路と、

前記第一の増幅回路と前記第二のノードを介して電氣的に接続し、第三の増幅回路と第三のノードを介して電氣的に接続し、前記第三のノードの充電電荷を前記第二のノードに転送する第二の電荷転送MIS回路を有する第二の増幅回路と、

前記第一の増幅回路及び前記第二の増幅回路により、前記第三のノードが所定の電位になったことに応じてデータ線に電位を出力し、振幅増幅する前記第三の増幅回路と、

を備える量子半導体回路。

## 符号の説明

[0054] TP1…ゲート電極、TRD…ゲート電極、LD0…ローカルデータ線、RD0…データ線、QD0…量子ビット読出し線、LD0…ローカルデータ線、RD0…読出しデータ線、VPCHA…アレイプリチャージ電圧、VPCH…ハーフプリチャージ電圧、VPCHS…プリチャージ電圧、PCH, PCH1, PCH2…プリチャージ活性化信号、PSN…増幅回路活性化信号、DT, DB…データ線、CSN, CSP…コモンソース活性化信号

## 請求の範囲

- [請求項1] 複数の量子ビット素子と前記複数の量子ビット素子のスピン状態を検知する複数の単一電子素子を含む量子ビットアレイ回路と、  
前記量子ビット素子からのスピン状態を表す読出し電流を出力する量子ビット読出し線である第一のノードと、  
前記第一のノードに接続される量子ビット読出し電流増幅回路と、  
を有し、  
前記量子ビット読出し電流増幅回路は、  
前記第一のノードを、第一のプリチャージ電位に設定するように構成され、  
前記量子ビット読出し電流増幅回路は、  
前記第一のプリチャージ電位よりも高い第二のプリチャージ電位に接続する第二のノードと、  
前記単一電子素子と前記第一のノードを介して電氣的に接続し、前記第二のノードの充電電荷を前記第一のノードに転送する第一の電荷転送MIS回路を有する第一の増幅回路と、  
前記第一の増幅回路と前記第二のノードを介して電氣的に接続し、第三の増幅回路と第三のノードを介して電氣的に接続し、前記第三のノードの充電電荷を前記第二のノードに転送する第二の電荷転送MIS回路を有する第二の増幅回路と、  
前記第一の増幅回路及び前記第二の増幅回路により、前記第三のノードが所定の電位になったことに応じてデータ線に電位を出力し、振幅増幅する前記第三の増幅回路と、  
を備える量子半導体回路。
- [請求項2] 請求項1に記載の量子半導体回路において、  
前記量子ビット読出し電流増幅回路は、  
前記第一のノードに接続される第一の安定動作用のコンデンサと、  
前記第二のノードに接続される第二の安定動作用のコンデンサと、

を備える

量子半導体回路。

[請求項3]

請求項2に記載の量子半導体回路において、

前記第一の安定動作のコンデンサ容量値及び前記第二の安定動作のコンデンサ容量値は、フェムトファラッド( $10^{-15}$ )のオーダーの値である、

量子半導体回路。

[請求項4]

請求項1に記載の量子半導体回路において、

前記第一のノードの前記第一のプリチャージ電位は0.1mV~20mVであり、前記第二のノードの前記第二のプリチャージ電位は、前記第一のプリチャージ電位より大きく、且つ、前記第三のノードの第三のプリチャージ電位より小さく、前記第三のノードの前記第三のプリチャージ電位は電源電圧のハイレベルと同等である、

量子半導体回路。

[請求項5]

請求項1に記載の量子半導体回路において、

前記第一の増幅回路及び前記第二の増幅回路の増幅動作時のそれぞれの制御電圧は電源電圧のハイレベルとローレベルとの間の電圧である、

量子半導体回路。

[請求項6]

請求項5に記載の量子半導体回路において、

前記量子ビット読出し電流増幅回路は、

前記第一の増幅回路のゲート電極に前記制御電圧を印加した後、前記第二のノードに所望の差電位が出力転送された後に、前記ゲート電極の前記制御電圧を前記電源電圧のローレベルに遷移させる、

ように構成された、

量子半導体回路。

[請求項7]

請求項6に記載の量子半導体回路において、

前記第二の増幅回路のゲート電極は、前記第一の増幅回路の前記ゲ

ート電極が前記ローレベルに遷移した後に、前記電源電圧のハイレベルに遷移して前記第二の増幅回路の増幅動作を開始する、

量子半導体回路。

[請求項8]

請求項1に記載の量子半導体回路において、

前記第三のノードが所定の電位になったことは、前記第三のノードの電位が所定の参照電圧より高い電位、又は、低い電位であるかを判定できる状態になったことである、

量子半導体回路。

[請求項9]

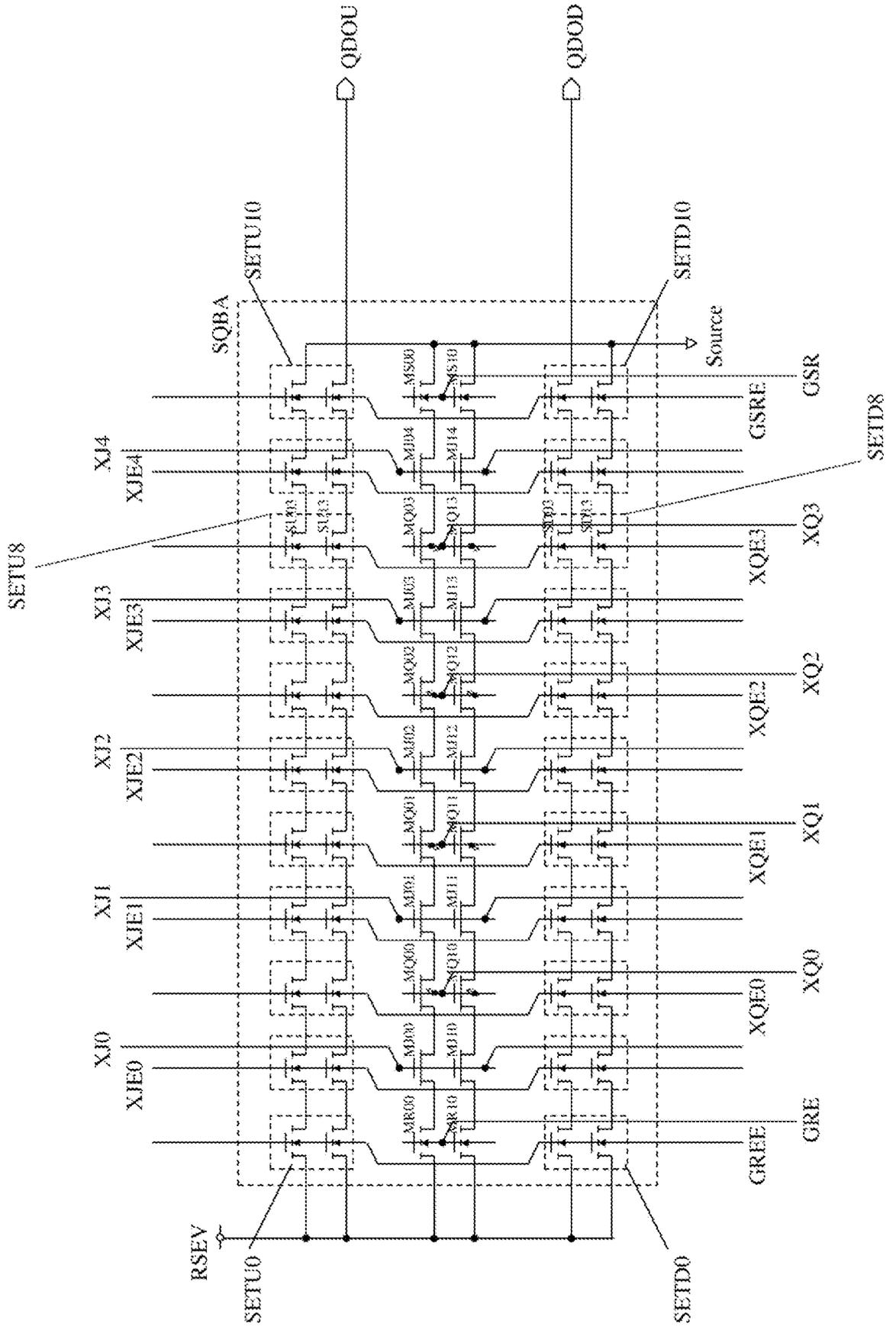
請求項2に記載の量子半導体回路において、

前記第一の安定動作用のコンデンサ容量値は、前記第二の安定動作用のコンデンサ容量値より大きい、

量子半導体回路。

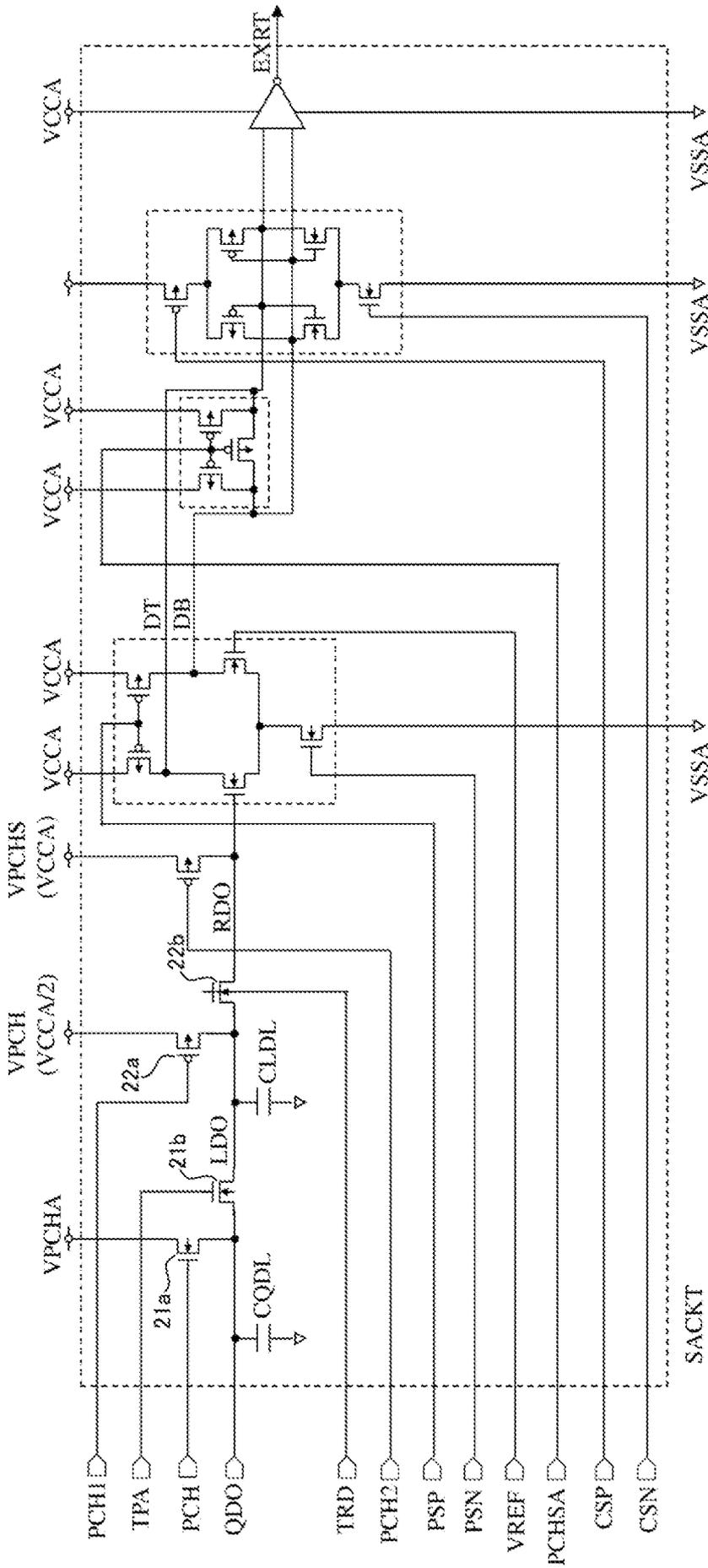
[图1]

图1



[圖2]

圖2



[図3]

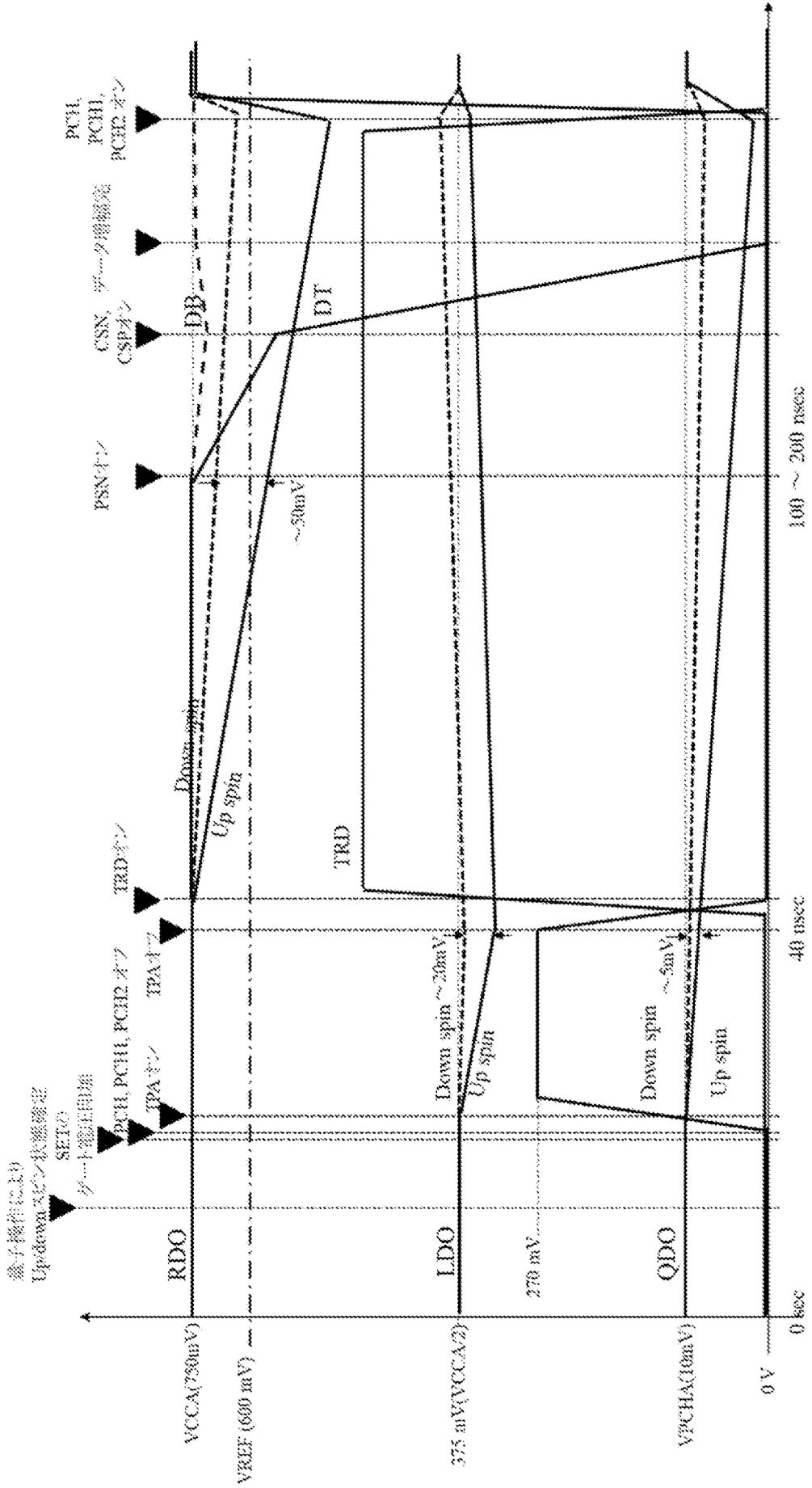


図3

磁子操作による  
Up/down spin 状態確定  
SETIO  
クォートパルス印加  
PCH, PCH1, PCH2 オン  
TPA オン  
TZD オン

PCH,  
PCH1,  
PCH2 オン

CSN, CSP オン  
DB

PSN オン

VCCA(750mV)

VREF (690 mV)

LDO

375 mV(VCCA2)

270 mV

QDO

VCHA(10mV)

0 V

0 sec

40 nsec

100 ~ 200 nsec

Down spin

Up spin

~30mV

Down spin ~20mV

Up spin

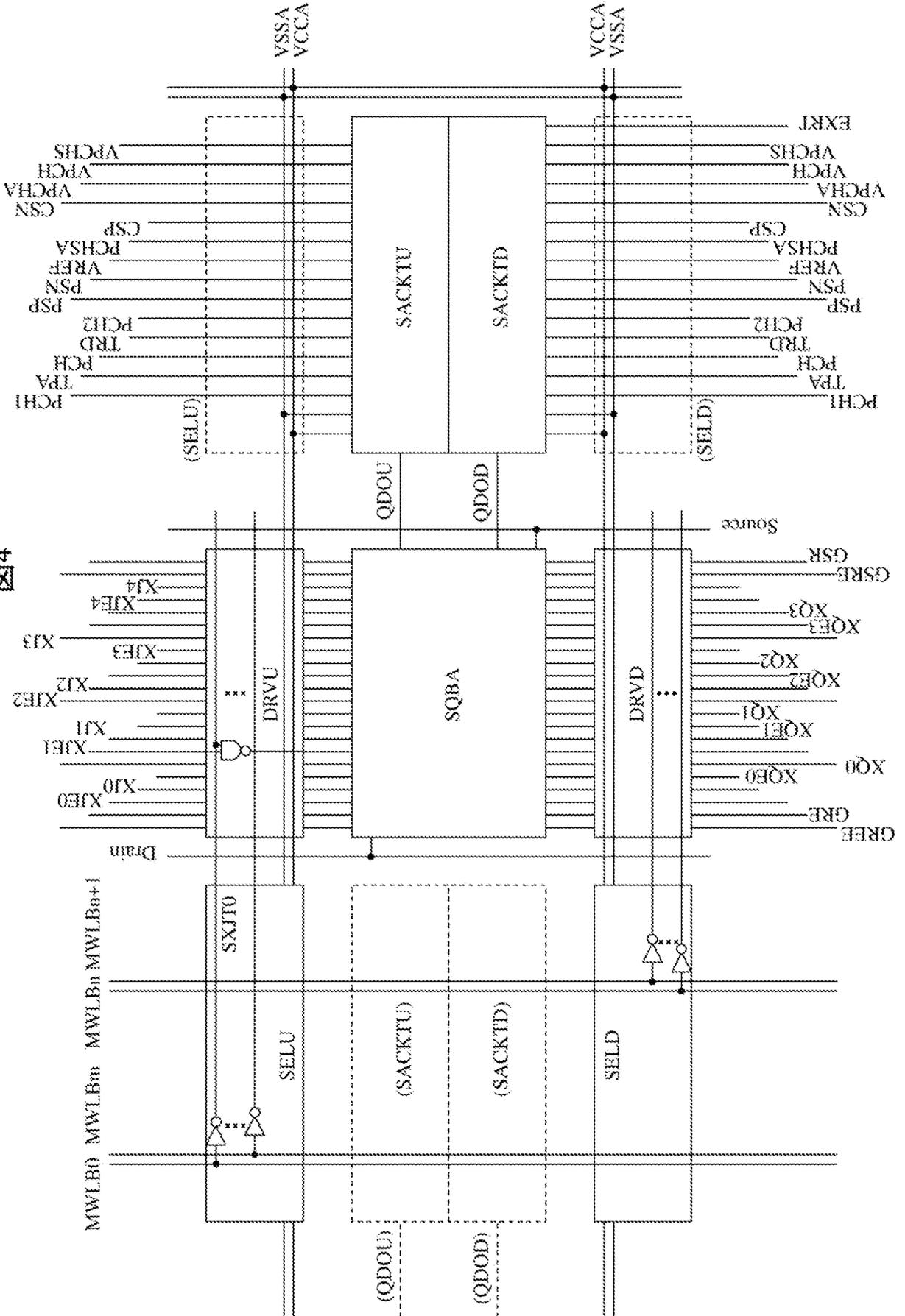
Down spin ~5mV

Up spin

TRD

DT

[図4]

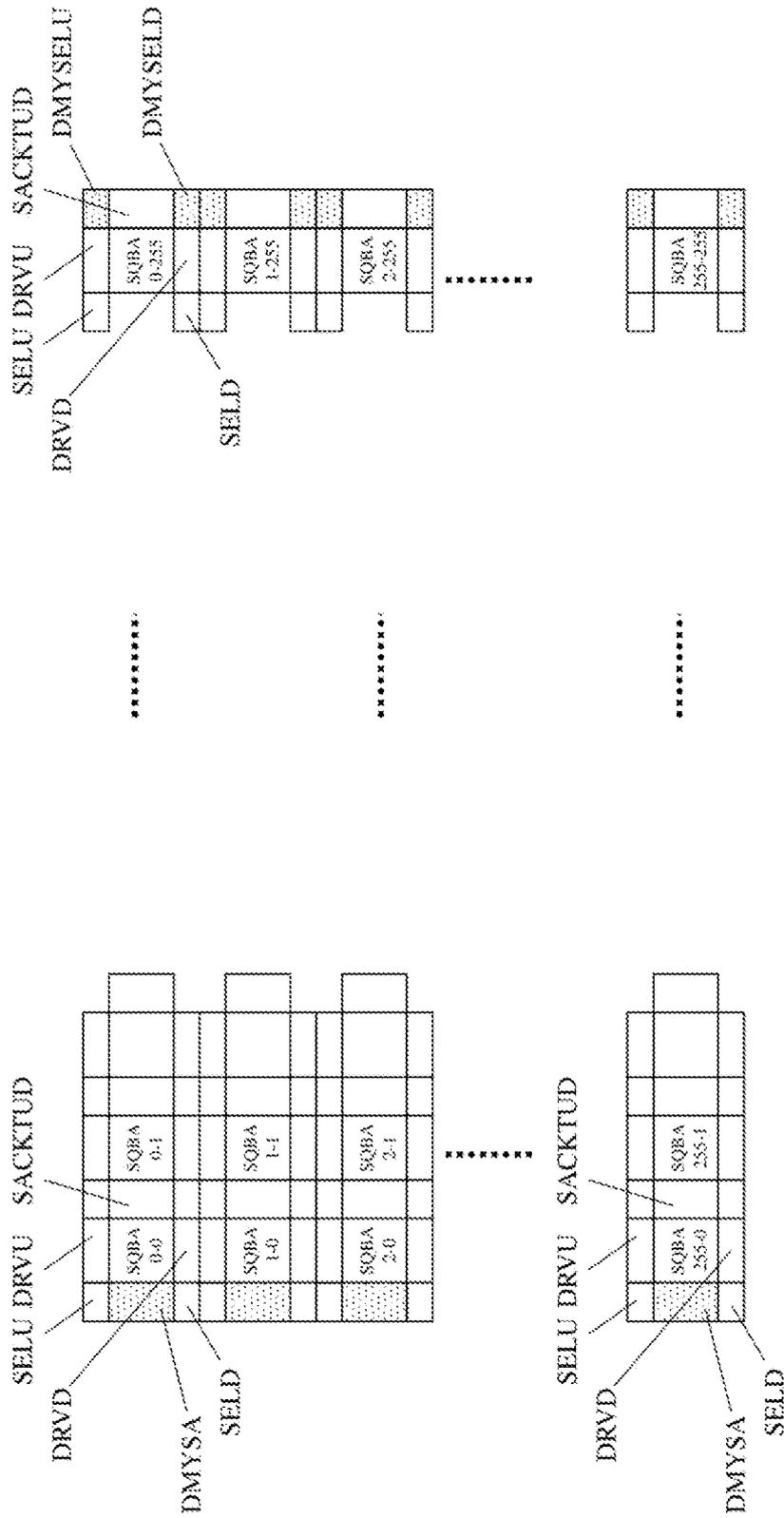


[図4]

[5]

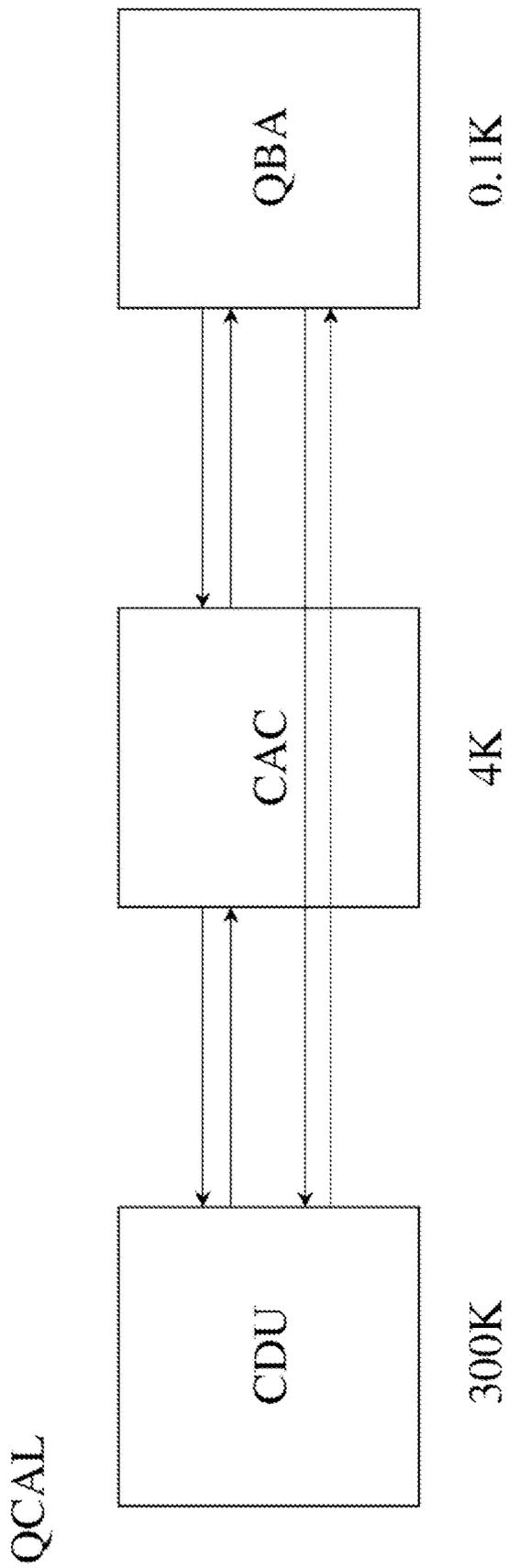
[5]

QBIT ARRAY 256k Qbit = 4sub Qbit x 65536 (256 x 256)





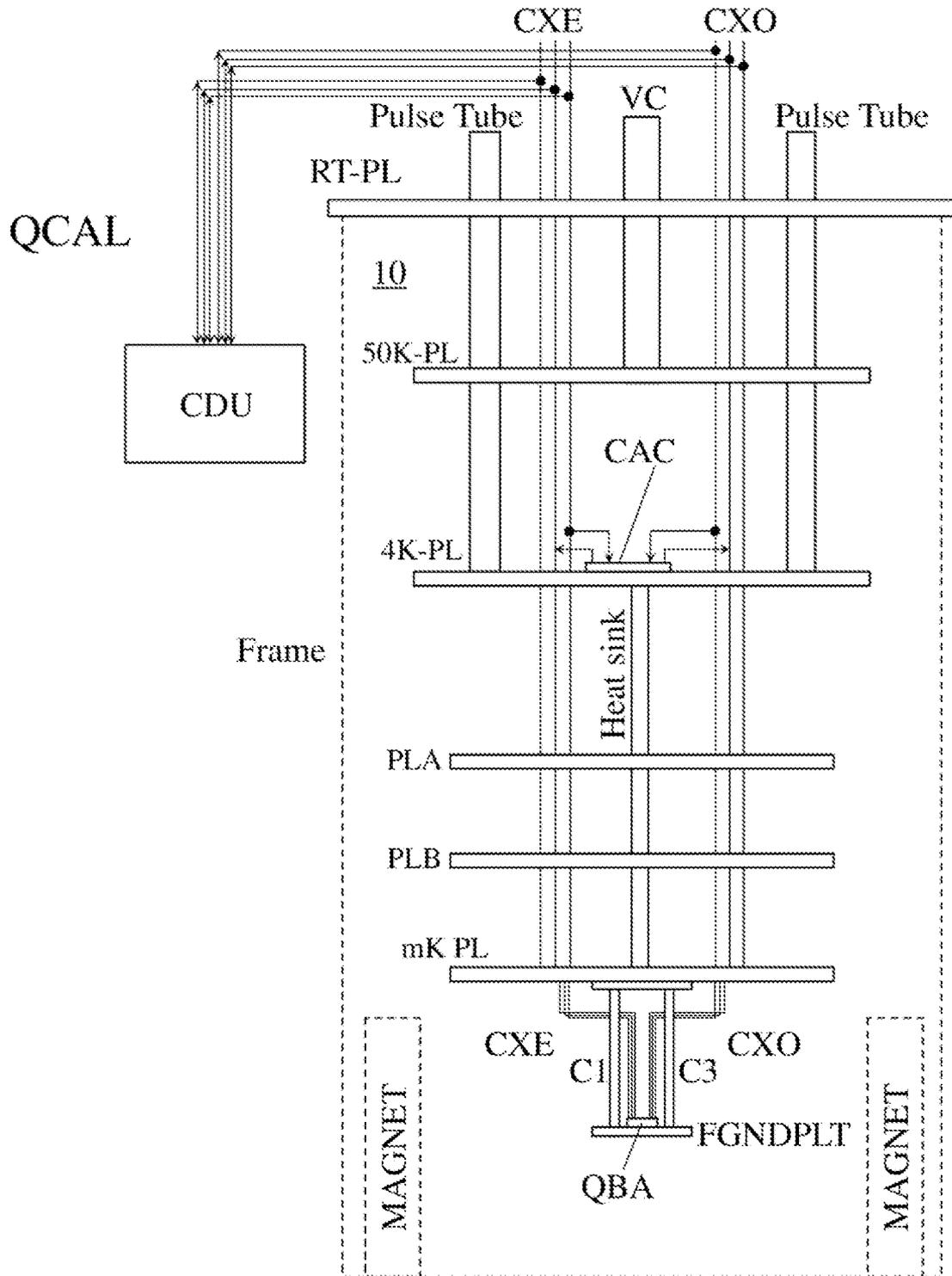
[図7]



[図7]

[図8]

図8



## INTERNATIONAL SEARCH REPORT

International application No.

**PCT/JP2023/029960**

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<i>G06N 10/40</i> (2022.01)i; <i>H01L 29/06</i> (2006.01)i; <i>H01L 29/66</i> (2006.01)i FI: G06N10/40; H01L29/06 601D; H01L29/66 M		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) G06N10/40; H01L29/06; H01L29/66		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2023-3726 A (TEIKYO UNIVERSITY) 17 January 2023 (2023-01-17) entire text	1-9
A	JP 2022-537172 A (MICROSOFT TECHNOLOGY LICENSING LLC.) 24 August 2022 (2022-08-24) entire text	1-9
A	US 2020/0322144 A1 (CRYPTO QUANTIQUE LIMITED) 08 October 2020 (2020-10-08) entire text	1-9
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search <b>07 September 2023</b>		Date of mailing of the international search report <b>19 September 2023</b>
Name and mailing address of the ISA/JP <b>Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan</b>		Authorized officer  Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.  
**PCT/JP2023/029960**

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2023-3726	A	17 January 2023	WO	2022/270436	A1	
				entire text			
JP	2022-537172	A	24 August 2022	US	2023/0070500	A1	
				entire text			
				CN	114041148	A	
				entire text			
				KR	10-2022-0019678	A	
				entire text			
US	2020/0322144	A1	08 October 2020	CN	111247768	A	
				entire text			
				KR	10-2020-0086671	A	
				entire text			

<p>A. 発明の属する分野の分類（国際特許分類（IPC））                  G06N 10/40(2022.01)i; H01L 29/06(2006.01)i; H01L 29/66(2006.01)i                  FI: G06N10/40; H01L29/06 601D; H01L29/66 M</p>										
<p>B. 調査を行った分野</p>										
<p>調査を行った最小限資料（国際特許分類（IPC））                  G06N10/40; H01L29/06; H01L29/66</p>										
<p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年
日本国実用新案公報	1922 - 1996年									
日本国公開実用新案公報	1971 - 2023年									
日本国実用新案登録公報	1996 - 2023年									
日本国登録実用新案公報	1994 - 2023年									
<p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>										
<p>C. 関連すると認められる文献</p>										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
A	JP 2023-3726 A (学校法人帝京大学) 17.01.2023 (2023 - 01 - 17) 全文	1-9								
A	JP 2022-537172 A (マイクロソフト テクノロジー ライセンシング, エルエルシー) 24.08.2022 (2022 - 08 - 24) 全文	1-9								
A	US 2020/0322144 A1 (CRYPTO QUANTIQUE LIMITED) 08.10.2020 (2020 - 10 - 08) 全文	1-9								
<p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p>										
<p>* 引用文献のカテゴリー</p> <p>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“&amp;” 同一パテントファミリー文献</p>										
国際調査を完了した日	国際調査報告の発送日									
07.09.2023	19.09.2023									
名称及びあて先	権限のある職員（特許庁審査官）									
日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	牛丸 太希 5B 6297									
	電話番号 03-3581-1101 内線 3545									

国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/029960

引用文献			公表日	パテントファミリー文献			公表日
JP	2023-3726	A	17.01.2023	WO	2022/270436	A1	
				全文			
JP	2022-537172	A	24.08.2022	US	2023/0070500	A1	
				全文			
				CN	114041148	A	
				全文			
				KR	10-2022-0019678	A	
				全文			
US	2020/0322144	A1	08.10.2020	CN	111247768	A	
				全文			
				KR	10-2020-0086671	A	
				全文			