

**POLSKA
RZECZPOSPOLITA
LUDOWA**



**URZĄD
PATENTOWY
PRL**

**OPIS PATENTOWY
PATENTU TYMCZASOWEGO**

130 620

Patent tymczasowy dodatkowy
do patentu nr _____

Int. Cl.³ G06F 9/22
G06F 3/04

Zgłoszono: 82 08 19 (P. 237991)

Pierwszeństwo _____

Zgłoszenie ogłoszono: 83 06 20

Opis patentowy opublikowano: 1985.10.31

Twórca wynalazku: Kazimierz Lal

Uprawniony z patentu tymczasowego: Politechnika Rzeszowska im. I. Łukasiewicza,
Rzeszów (Polska)

**Mikrokomputerowy zestaw centralnej rejestracji
i przetwarzania danych**

Przedmiotem wynalazku jest mikrokomputerowy zestaw centralnej rejestracji i przetwarzania danych przenoszący informacje za pomocą bloku sprzęgającego komputer cyfrowy ze sterowanym lub kontrolowanym obiektem, na przykład procesem technologicznym.

W układach sterowania procesami przemysłowymi za pomocą komputera, wielkości charakterystyczne procesu, przetworzone przez przetworniki na odpowiednie sygnały elektryczne są przekazywane do komputera za pośrednictwem odpowiednich urządzeń sprzęgających. Z reguły urządzeniami tymi są pakiety dołączone do magistrali sprzężenia liniowego. Wymiana informacji pomiędzy pakietem i komputerem odbywa się za pośrednictwem bloku sprzęgającego. Komputer chcąc uzyskać w odpowiedniej chwili informację z określonego pakietu musi stwierdzić, czy pakiet ten jest gotów do jej przekazania. Gotowość pakietu do transmisji informacji sprawdzana jest przez przesyłanie do komputera sygnałów o jego stanie. Sygnałami takimi mogą być: sygnał potwierdzenia zaadresowania pakietu, sygnał gotowości do transmisji, sygnał błędu informacji, sygnał awarii i tym podobne.

W znanych sposobach przekazywanie sygnałów kontrolnych o stanie pakietu odbywa się wieloetapowo, to znaczy, że w odpowiedzi na odpowiednie sygnały komputera następuje przekazanie sygnału kontrolnego z pakietu, przy czym cykl przekazania powtarza się wielokrotnie dla szeregu kontrolnych stanów pakietu. Poszczególne sygnały pakietu przekazywane są odrębnymi liniami magistrali sprzężenia, a zatem ilość linii magistrali i ilość nadajników kontrolnych sprzężenia odpowiada ilości sygnałów kontrolnych wysyłanych przez pakiet.

Ponadto wieloetapowość przekazywania sygnałów kontrolnych powoduje, że czas ich przekazywania może być znacznie dłuższy od czasu transmisji właściwej informacji. Istotną niedogodnością znanych sposobów jest to, że przekazywanie sygnałów kontrolnych odbywa się w przerwach transmisji informacji.

Zmniejszenie ilości linii magistrali sprzężenia i ilości nadajników sygnałów kontrolnych, przy jednoczesnym skróceniu cyklu operacji potrzebnych dla przekazania informacji umożliwia sposób przekazywania sygnałów kontrolnych informujących o stanie układów cyfrowych według polskiego opisu patentowego nr 87 825. W rozwiązaniu według tego patentu poszczególne sygnały

kontrolne informujące o stanie pakietu wejściowego lub wyjściowego koduje się w pakiecie tak, że ilość sygnałów kontrolnych wysyłanych przez pakiet jest mniejsza od ilości kontrolnych stanów i w postaci zakodowanej przekazuje się je z zaadresowanego pakietu w czasie trwania właściwej transmisji po liniach magistrali sprzężenia liniowego. Kombinacje kodowe odbiera się tak, że przekazują tylko jeden, najważniejszy w danej chwili i dla danego pakietu sygnał kontrolny, przy czym ilość nadajników zakodowanych sygnałów kontrolnych i ilość linii magistrali sprzężenia liniowego wykorzystywanych do przekazywania sygnałów kontrolnych dobiera się w zależności od właściwości pakietu.

Znane układy przenoszące informacje zawierają szereg rejestrów buforowych pośredniczących w przekazywaniu informacji pomiędzy źródłem informacji a komputerem. najczęściej stosowaną jest czteropoziomowa struktura sprzężenia: blok funkcjonalny — sterownik kasety zawierającej bloki funkcjonalne — blok łączący kasety z komputerem — komputer. W takim przypadku, obok rejestrów dla informacji źródłowej w blokach funkcjonalnych i rejestrów komputera, bywają stosowane rejestry buforowe w sterownikach kasety i bloku sprzęgającym. Fakt ich zastosowania wynika z przyjętej zasady dokonywania transmisji informacji pomiędzy poszczególnymi poziomami struktury w ściśle określonych chwilach czasowych.

Wadą dotychczas stosowanych rozwiązań jest konieczność zastosowania rejestrów, które nie biorą udziału w przetwarzaniu informacji, ale służą jednocześnie do jej przekazywania. Zastosowanie rejestrów buforowych podnosi koszt urządzenia oraz znacznie zwiększa jego zawodność, ponieważ rejestry są bardziej podatne na zakłócenia niż układy kombinacyjne.

Wymienionej wady nie posiada układ przenoszący informacje w urządzeniu sprzęgającym komputer ze sterowanym lub kontrolowanym obiektem, według polskiego opisu patentowego nr 89 765. W rozwiązaniu tym informacja z rejestrów w blokach funkcjonalnych jest przenoszona do bloku sterującego bezpośrednio przez bramkę sterownika i bramkę bloku funkcjonalnego, które to bramki są otwierane jednocześnie. Bramki umieszczone w bloku sterującym są otwierane w chwilach odpowiednich do transmisji z punktu widzenia komputera, przez sygnały wytworzone w układzie opóźniającym. Rejestr buforowy umieszczony w bloku sterującym w celu buforowania informacji przesyłanych z komputera do bloków funkcjonalnych przechowuje również informacje przesyłane z bloków funkcjonalnych do komputera, na czas ich partiowego przesyłania.

Celem wynalazku jest opracowanie zmodyfikowanej struktury sprzężenia układów przenoszących informacje, pozwalającej na budowę interfejsów o większej ilości standardowych modułów i ograniczenie skomplikowania modułów bloków sprzęgających do niezbędnego minimum, poprzez wprowadzenie w miejsce przestarzałego sprzętu informatycznego takiego jak: Mera 305-PI, Mera 400-PI, Odra 1325-PI, PDP-11 CAMAC, PDP 8-ISC i tym podobnych bardziej nowoczesnych mikrokomputerów bazujących na mikroprocesorze INTEL 8080 np. PSPD 90.

Istota wynalazku polega na tym, że w znanym mikrokomputerowym zestawie centralnej rejestracji i przetwarzania danych składającym się z mikrokomputera sprzęgającego z pakietem obsługi przerwań, które z kolei poprzez interfejs są sprzęgnięte z obiektem sterowanym, wprowadzono dodatkowo adapter interfejsu połączony od strony jego wejścia liniami danych, adresowymi i sterującymi z mikrokomputerem, a od strony jego wyjścia liniami danych, adresowymi i sterującymi z blokiem sprzęgającym, przy czym dodatkowo wejścia adaptera interfejsu połączone jest liniami przerwań z blokiem sprzęgającym oraz liniami przerwań z pakietem obsługi przerwań.

Adapter interfejsu zawiera blok transmisji danych połączony linią adresu z dekodерem grupowym adresu oraz moduł generacji sygnału strobojującego, przy czym blok transmisji danych stanowi osiem identycznych segmentów sprzęgających pojedynczą linię danych z mikrokomputera z liniami danych bloku sprzęgającego. Każdy z tych segmentów składa się z rezystora połączonego z wejściem pierwszym bramki pierwszej oraz wyjściem bramki drugiej z otwartym kolektorem, a do wejścia pierwszej bramki drugiej dołączony jest rezystor drugi oraz linia danych z bloku sprzęgającego, natomiast do drugiego jej wejścia dołączone jest wyjście bramki trzeciej, do której wejść dołączona jest linia adresu oraz linia kierunku transmisji, a wejście drugiej bramki pierwszej połączone jest z wyjściem bramki czwartej, do której wejść dołączona jest linia adresu i linia kierunku transmisji, zaś wyjście bramki pierwszej poprzez trzeci rezystor połączone jest z odpowiednią linią danych z bloku sprzęgającego.

Dekoder grupowy adresu składa się z czterech bramek, których wyjścia poprzez cztery rezystory są połączone z liniami adresowymi bloku sprzęgającego, a do wejść tych bramek dołączone jest wyjście bramki piątej oraz cztery linie adresowe z mikrokomputera, natomiast do wejść bramki piątej dołączona jest kolejna linia adresowa z mikrokomputera oraz wyjście inwertera, którego wejście jest dołączone do następnej linii adresu z mikrokomputera. Moduł generacji sygnału strobującego zawiera dwie bramki, inwerter oraz rezystor, przy czym wyjście bramki pierwszej poprzez rezystor dołączone jest do linii strobu bloku sprzęgającego, a do wejścia tej bramki jest dołączone wyjście bramki drugiej oraz wyjście inwertera, natomiast do wejść bramki drugiej są dołączone linie kierunku transmisji, zaś do wejścia inwertera dołączona jest linia zegarowa.

Modyfikacja zestawu według wynalazku pozwala na zbudowanie uniwersalnego bloku sprzęgającego dla danej klasy komputerów, na przykład mikrokomputerów ośmiobitowych, który jest modulem interfejsu oraz dodatkowego, prostego układu adaptacyjnego. Ponadto wprowadzenie adaptera interfejsu jako ogniwa pośredniego pomiędzy mikrokomputer a blok sprzęgający pozwala na zastosowanie bardziej nowoczesnych mikrokomputerów, zwiększenie uniwersalności interfejsu PI, wydłużenie serii produkcyjnej pakietów typu BSO2, a tym samym obniżenie ich kosztów produkcji, jak również umożliwia on zbudowanie nowoczesnego zestawu do sterowania procesami technologicznymi o wielu właściwościach eksploatacyjnych.

Przedmiot wynalazku jest przedstawiony w przykładzie wykonania na rysunku, na którym fig. 1 przedstawia schemat blokowy mikrokomputera zestawu centralnej rejestracji i przetwarzania danych, a fig. 2 — schemat ideowy adaptera interfejsu.

Mikrokomputerowy zestaw składa się z mikrokomputera PSPD 90 sprzężonego liniami A danych, adresowymi i sterującymi, z adapterem interfejsu AI, który z kolei jest połączony liniami B danych, adresowymi i sterującymi, z blokiem sprzęgającym BS 02. Adapter interfejsu AI dodatkowo jest połączony liniami przerwań G, F z blokiem sprzęgającym BS 02 oraz pakietem obsługi przerwań PS 22. Z kolei blok sprzęgający BS 02 jest sprzężony z obiektem O sterowanym lub kontrolowanym poprzez linie informacyjne C, a pakiet obsługi przerwań PS 22 sprzężony jest liniami przerwań E i liniami informacyjnymi D, poprzez interfejs I z obiektem O. Adapter interfejsu AI zawiera blok transmisji danych 1 połączony z linią adresu ADR z koderem grupowym adresu 2 oraz modułu generacji sygnału strobującego 3.

Blok transmisji danych 1 stanowi osiem identycznych segmentów sprzęgających pojedynczą linię danych D7-D0 z mikrokomputera PSPD 90 z liniami danych BY0-BY7 i BEO-BE7 bloku sprzęgającego BS 02. Każdy z tych segmentów składa się z rezystora R1 połączonego z wejściem bramki B1 oraz wyjściem bramki B2 z otwartym kolektorem, a do wejścia pierwszej bramki B2 dołączony jest rezystor R2 oraz linia danych BE z bloku sprzęgającego BS 02, natomiast do drugiego jego wejścia dołączone jest wyjście bramki B3, do której wejść dołączona jest linia adresu ADR i linia kierunku transmisji I/OR. Wejście bramki B1 jest połączone z wyjściem bramki B4, do której wejść dołączona jest linia adresu ADR oraz linia kierunku transmisji I/OW. Z kolei wyjście bramki B1 poprzez rezystor R3 jest połączone z odpowiednią linią danych BY1-BY7.

Dekoder grupowy adresu 2 składa się z czterech bramek B5-B8, których wyjścia poprzez rezystory R4-R7 są połączone z liniami adresowymi BAO-BA3 bloku sprzęgającego BS 02. Do linii BA1 dołączona jest linia adresu ADR, a do wejść bramek B5-B8 jest dołączone wyjście bramki B9 oraz linie adresowe A3-AO mikrokomputera PSPD 90. Z kolei do wejść bramki B9 dołączona jest linia adresowa A4 mikrokomputera PSPD 90 oraz wyjście inwertera B10, którego wejście dołączone jest do linii adresu A5 mikrokomputera PSPD 90.

Moduł generacji sygnału strobowego 3 zawiera bramkę B11, której wyjście poprzez rezystor R8 jest dołączone do linii strobu Js bloku sprzęgającego BS 02. Do wejścia bramki B11 jest dołączone wyjście bramki B12 oraz wyjście inwertera B13. Z kolei do wejść bramki B12 są dołączone linie kierunku transmisji I/OR i I/OW, a do wejścia inwertera B13 dołączona jest linia zegarowa ϕ 2 TTL mikrokomputera PSPD 90.

System według wynalazku umożliwia przesyłanie informacji z obiektu O do mikrokomputera PSPD 90, a z niego do obiektu O za pośrednictwem interfejsu I, bloku sprzęgającego BS 02 i adaptera interfejsu AI, z wykorzystaniem pakietu PS 22.

Przesyłanie informacji z mikrokomputera **PSPD 90** odbywa się w następujący sposób: mikrokomputer **PSPD 90** wysyła do bloku sprzęgającego **BS 02** za pośrednictwem adaptera interfejsu **AI** adres bloku funkcjonalnego w interfejsie **I**, dane stanowiące informację przeznaczoną do wysłania do obiektu za pośrednictwem wyżej wymienionego bloku funkcjonalnego oraz inicjuje pracę interfejsu **I**, polegającą na przesłaniu danych przez zaadresowany blok funkcjonalny do obiektu.

W przypadku niepoprawnej transmisji, np. braku zaadresowanego bloku funkcjonalnego, awarii interfejsu — blok sprzęgający **BS 02** generuje sygnał przekazywany do mikrokomputera **PSPD 90** linią przerwań **6** za pośrednictwem adaptera interfejsu **AI**. Przesyłanie informacji z obiektu **O** do mikrokomputera **PSPD 90** może być inicjowane przez ten mikrokomputer lub przez blok funkcjonalny interfejsu **I**. W pierwszym przypadku mikrokomputer **PSPD 90** wysyła do bloku sprzęgającego **BS 02** za pośrednictwem adaptera interfejsu **AI** adres bloku funkcjonalnego w interfejsie **I**, z którego chce odczytać dane i inicjuje pracę interfejsu **I**, polega na przesłaniu danych z obiektu **O** przez zaadresowany blok funkcjonalny do bloku sprzężenia **BS 02**.

Następnie mikrokomputer **PSPD 90** odczytuje informację z bloku sprzężenia **BS 02** za pośrednictwem adaptera interfejsu **AI**. W drugim przypadku blok funkcjonalny, który chce być obsłużony inicjuje operację komunikacji generując sygnał przekazywany linią przerwań **E** do mikrokomputera przez pakiet obsługi przerwań **PS 22** i adapter interfejsu **AI**. Po odebraniu tego sygnału — zwanego sygnałem przerwania — mikrokomputer **PSPD 90** realizując program obsługi tego przerwania identyfikuje adres bloku funkcjonalnego, który zgłosił przerwanie, po czym wykonuje operację odczytu informacji z tego bloku. Operacja ta przebiega identycznie jak w opisanym wyżej przypadku pierwszym. W obu przypadkach przesyłania informacji z obiektu **O** do mikrokomputera może zaistnieć fakt niepoprawnej transmisji. Wówczas, podobnie jak w przypadku przesyłania informacji z mikrokomputera do obiektu, blok sprzęgający **BS 02** generuje sygnał przerwania przekazywany do mikrokomputera linią przerwań za pośrednictwem adaptera interfejsu **AI**.

Adapter interfejsu **AI** umożliwia współpracę mikrokomputera **PSPD 90** zbudowanego na bazie mikroprocesora **INTEL 8080** z blokiem sprzęgającym **BS 02** interfejsu **I**. Spełnia on kilka podstawowych funkcji, a mianowicie:

- dopasowanie logiki ujemnej sygnałów bloku sprzęgającego **BS 02** z logiką dodatnią sygnałów mikrokomputera **PSPD 90**;
- współpracę jednokierunkowych linii transmisji danych **BEO...BE7** i **BYO...BY7** bloku sprzęgającego **BS 02** z dwukierunkowymi liniami danych **D7...DO** mikrokomputera **PSPD 90**;
- Adresowanie rejestrów buforowych bloku sprzęgającego **BS 02** za pomocą uniwersalnych linii adresowych **AO...A7** mikrokomputera **PSPD 90**;
- strobowanie pracy bloku sprzęgającego.

Powyższe funkcje realizowane są przez blok transmisji danych **1**, dekodery grupowy adresu **2** i moduł generacji sygnału strobowującego **3**. Blok transmisji danych **1** składa się z ośmiu identycznych układów, z których każdy umożliwia współpracę dwukierunkowej linii danych **D7...DO** mikrokomputera **PSPD 90** z jednokierunkowymi liniami odbioru danych **BYO...BY7** i nadawania danych **BEO...BE7** bloku sprzęgającego **BS 02**. Jeśli dane mają być przesyłane z mikrokomputera **PSPD 90** do bloku sprzęgającego **BS 02**, wówczas linia **I/OR** ma stan wysoki, zaś linia **I/OW** stan niski. Powoduje to, że na wyjściu bramki **B4** jest stan wysoki (pod warunkiem, że sygnał **ADR**, wytworzony w układzie dekadatora grupowego adresu **2** ma stan niski), zaś na wyjściu bramki **B3** jest stan niski. W tej sytuacji bramka **B2** jest zamknięta, zaś bramka **B1** jest otwarta i na jej wyjściu uzyskuje się zanegowany stan linii **D7**, a więc zrealizowane zostało przesłanie sygnału z linii **D7** na linię **BYO** z równoczesną zamianą jego logiki.

Jeśli dane mają być przesłane z bloku sprzęgającego do mikrokomputera, wówczas stan linii **I/OR** i **I/OW** jest odwrotny jak wyżej opisany i również odwrotny jest stan bramek **B3** i **B4**. Wówczas bramka **B1** jest zamknięta, zaś bramka **B2** otwarta, co realizuje przesłanie sygnału z linii **BEO** na linię **D7** z równoczesną zamianą jego logiki. Rezystory **R1**, **R2** i **R3** znajdujące się w układzie pełnią odpowiednio funkcję polaryzacji oraz dopasowania równoległego i szeregowego linii.

Detektor grupowy adresu **2** na podstawie adresu wysyłanego z mikrokomputera na linie adresowe **A7...AO** wytwarza na liniach **BA0-BA7** zakodowany adres rejestru buforowego w bloku sprzęgającym **BS 02**, z którego ma być odczytana, lub do którego ma być wysłana informacja.

Odbija się to w ten sposób, że zanegowany stan linii A3...AO przenoszony jest na linie BAO...BA3 przez bramki B5...B8, jeśli są one otwarte wysokim stanem na wyjściu bramki B9. Ma to miejsce, jeśli stan linii A5 jest wysoki, zaś stan linii A4 niski, co jest równoznaczne z zaadresowaniem odpowiedniego rejestru buforowego w bloku sprzęgającym BS 02. Wówczas sygnał ADR ma stan niski, co powoduje działanie przedstawione w opisie bloku transmisji danych. Rezystory R4...R7 pełnią funkcję szeregowego dopasowania linii.

Do operacji sygnału strobu linii Js bloku sprzęgającego BS 02 wykorzystano sygnał zegarowy $\emptyset$ TTL mikrokomputera PSPD 90. Sygnał ten, mający logikę ujemną, przenoszony jest przez linię Js (bez zmiany logiki) przez inwerter B13 i bramkę B11, pod warunkiem, że na wyjściu bramki B12 jest stan wysoki. Ma to miejsce tylko wtedy, gdy stan którejś z linii I/OR lub I/OW jest niski, co jest równoznaczne z komunikacją mikrokomputera PSPD 90 z urządzeniami zewnętrznymi, a nie z parcją operacyjną. Rezystor R8 w tym układzie spełnia funkcję szeregowego dopasowania linii.

Zastrzeżenia patentowe

1. Mikrokomputerowy zestaw centralnej rejestracji i przetwarzania danych składający się z mikrokomputera sprzęgniętego z blokiem sprzęgającym i pakietem obsługi przerwań, które z kolei poprzez interfejs są sprzęgnięte z obiektem sterowanym, **znamienny tym**, że zawiera dodatkowo adapter interfejsu (AI) połączony od strony jego wejścia liniami (A) danych, adresowymi i sterującymi z mikrokomputerem (PSPD 90), a od strony jego wyjścia liniami (B) danych, adresowymi i sterującymi z blokiem sprzęgającym (BS 02), a ponadto wyjście adaptera interfejsu (AI) połączone jest liniami (G) przerwań z blokiem sprzęgającym (BS 02) oraz liniami (F) przerwań z pakietem obsługi przerwań (PS22).

2. Mikrokomputerowy zestaw według zastrz. 1, **znamienny tym**, że adapter interfejsu (AI) stanowi blok transmisji danych (1), połączony z linią adresu (ADR) z detektorem grupowym adresu (2), sprzężony z modulem generacji sygnału strobującego (3).

3. Mikrokomputerowy zestaw według zastrz. 1 albo 2, **znamienny tym**, że blok transmisji danych (1) adaptera interfejsu (AI) stanowi osiem identycznych segmentów sprzęgających pojedynczą linię danych (D7-D $\emptyset$) z mikrokomputerem (PSPD-90) liniami danych (BY $\emptyset$ -BY7) i (BE $\emptyset$ -BE7) bloku sprzęgającego (BS 02), przy czym każdy z tych segmentów składa się z rezystora (R1) połączonego z wejściem bramki (B1) oraz wyjściem bramki (B2) z otwartym kolektorem, a do wejścia pierwszej bramki (B2) dołączony jest rezystor (R2) oraz linie danych (BE) z bloku sprzęgającego (BS 02), natomiast do drugiego jego wejścia dołączone jest wyjście bramki (B3), do której wejść dołączona jest linia adresu (ADR) oraz linia transmisji (I/OR), zaś wejście bramki (D1) jest połączone z wyjściem bramki (B4), do których wejść dołączona jest linia adresu (ADR) i linia kierunku transmisji (I/OW), a wyjście bramki (B1) poprzez rezystor (R3) jest połączone z odpowiednią linią danych (BY1-BY7).

4. Minikomputerowy zestaw według zastrz. 1 albo 2, **znamienny tym**, że detektor grupowy adresu (2) adaptera interfejsu (AI) składa się z czterech bramek (B5-B8), których wyjścia poprzez rezystory (R4-R7) są połączone z liniami adresowymi (BA $\emptyset$ -BA3) bloku sprzęgającego (BS 02), przy czym do wyjść bramek (B5-B8) jest dołączone wyjście bramki (B9) oraz linie adresowe (A3-A $\emptyset$) mikrokomputera (PSPD-90), a do wejść bramki (B9) dołączona jest linia adresowa (A4) mikrokomputera oraz wyjście interwera (B10), którego wejście dołączone jest do linii adresu (A5) mikrokomputera (PSPD-90).

5. Mikrokomputerowy zestaw według zastrz. 1 albo 2, **znamienny tym**, że moduł generacji sygnału strobującego adaptera interfejsu (AI) zawiera bramkę (B11), której wyjście poprzez rezystor (R8) jest dołączone do linii strobu (Js) bloku sprzęgającego (BS 02), a do jej wejścia jest dołączone wyjście bramki (B12) oraz interwera (B13), natomiast do wejść bramki (B12) są dołączone linie kierunku transmisji (I/OR) i (I/OW), a do wejścia inwertera (B13) dołączona jest linia zegarowa ($\emptyset$ TTL).

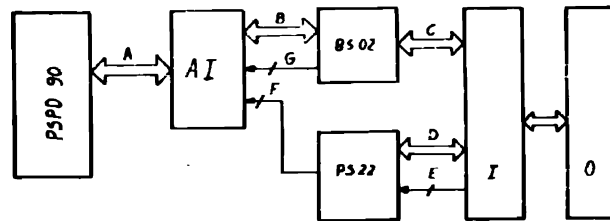


Fig. 1

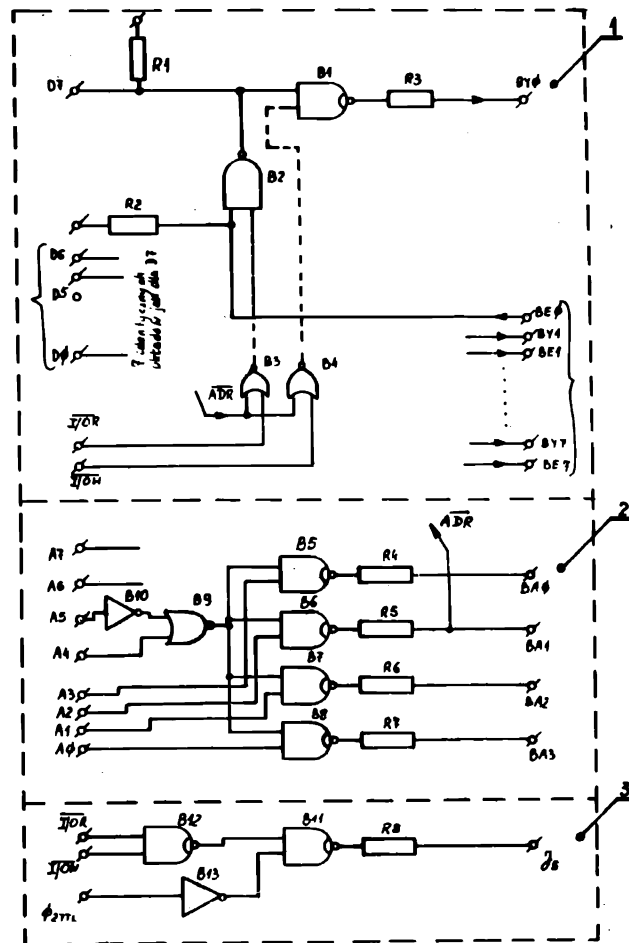


Fig. 2