(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2009 年4 月2 日 (02.04.2009)

PCT

(10) 国際公開番号
WO 2009/041742 A1

(51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 29/739* (2006.01)
H01L 21/336 (2006.01)

(21) 国際出願番号: PCT/JP2008/068115

(22) 国際出願日: 2008 年9 月26 日 (26.09.2008)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2007-255089 2007 年9 月28 日 (28.09.2007) JP
特願2007-255090 2007 年9 月28 日 (28.09.2007) JP

(71) 出願人 (米国を除く全ての指定国について): 三洋電機株式会社 (SANYO ELECTRIC CO., LTD.) [JP/JP]; 〒5708677 大阪府守口市京阪本通二丁目５番５号 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 嶋田 聡 (SHIMADA, Satoru) [JP/JP]; 〒5708677 大阪府守口市京阪本通二丁目５番５号 三洋電機株式会社内 Osaka (JP). 山岡 義和 (YAMAOKA, Yoshikazu) [JP/JP]; 〒5708677 大阪府守口市京阪本通二丁目５番５号 三洋電機株式会社内 Osaka (JP). 藤田 和範 (FUJITA, Kazunori) [JP/JP]; 〒5708677 大阪府守口市京阪本通二丁目５番５号 三洋電機株式会社内 Osaka (JP). 田部 智規 (TABE, Tomonori) [JP/JP]; 〒5708677 大阪府守口市京阪本通二丁目５番５号 三洋電機株式会社内 Osaka (JP).

(74) 代理人: 須藤 克彦 (SUTO, Katsuhiko); 〒3730818 群馬県太田市小舞木町３８８ ＯＫビル２ ２階 Gunma (JP).

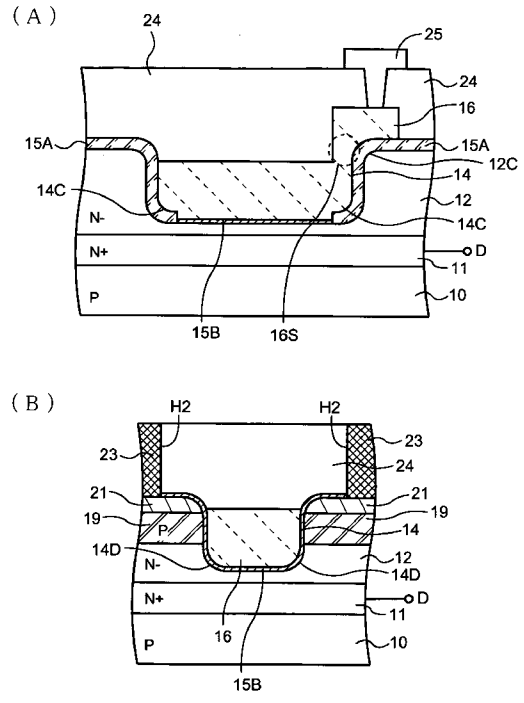
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO,

[続葉有]

(54) Title: TRENCH GATE TYPE TRANSISTOR AND METHOD FOR MANUFACTURING THE SAME

(54) 発明の名称: トレンチゲート型トランジスタ及びその製造方法

第１１図



(57) Abstract: In a trench gate type transistor, generation of a gate leak current is eliminated and a gate capacitance is reduced. A trench (14) is formed on an N-type semiconductor layer (12). In the trench (14), a thin silicon oxide film (15B) is formed in a region to be a transistor activation region on the N-type semiconductor layer (12). On the region not to be the activation region, a silicon oxide film (15A) thicker than the silicon oxide film (15B) is formed. Furthermore, an extracting section (16S) extending outward from the inside of the trench (14) forms a gate electrode (16) which is brought into contact with a silicon oxide film (15A). Thus, in the extracting section (16S) of the gate electrode (16), since a long distance between the gate electrode (16) and a corner section (12C) of the N-type semiconductor layer (12) is ensured, generation of the gate leak current is eliminated and the gate capacitance can be reduced.

(57) 要約: トレンチゲート型トランジスタにおいて、ゲートリーク電流の発生を防止すると共に、ゲート容量を低減する。Ｎ－型半導体層１２にトレンチ１４を形成する。トレンチ１４において、Ｎ－型半導体層１２のうちトランジスタの活性化領域となる領域には薄いシリコン酸化膜１５Ｂが形成される。一方、活性化領域とならない領域にはシリコン酸化膜１５Ｂよりも厚いシリコン酸化膜１５Ａが形成される。さらに、トレンチ１４内から外に延びる引き出し部１６Ｓがシリコン酸化膜１５Ａと接するゲート電極１６を形成する。これにより、ゲート電極１６の引き出し部１６Ｓにおいてゲート電極１６とＮ－型半導体層１２の角部１２Ｃとの距離が長く確保されるため、ゲートリーク電流の発生が防止されると共に、ゲート容量を低減することができる。

WO 2009/041742 A1

NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

規則4.17に規定する申立て:
— 出願し及び特許を与えられる出願人の資格に関する申立て (規則4.17(ii))

添付公開書類:
— 国際調査報告書

明　細　書

トレンチゲート型トランジスタ及びその製造方法

技術分野

本発明は、トレンチゲート型トランジスタ及びその製造方法に関する。

背景技術

ＤＭＯＳトランジスタは、二重拡散されたＭＯＳ電界効果型トランジスタであり、電源回路やドライバー回路等の電力用半導体素子として用いられている。ＤＭＯＳトランジスタの一種として、トレンチゲート型トランジスタが知られている。

このトレンチゲート型トランジスタは、第４８図に示すように、半導体層２１２に形成したトレンチ２１４内にゲート酸化膜２１５を形成し、トレンチ２１４内のゲート酸化膜２１５を覆ってゲート電極２１６を形成したものである。また、トレンチ２１４の側壁の半導体層２１２の表面に、垂直方向の二重拡散により、不図示のボディ層とソース層とが形成される。

なお、トレンチゲート型トランジスタについては、例えば日本特許公開公報２００５－３２２９４９号、２００３－１８８３７９号に記載されている。

発明の開示

第４８図に示すように、ゲート電極２１６をトレンチ２１４内から外に引き出す部分（以下、引き出し部という）１１６Ｓにおいて、ゲート電極２１６と半導体層

２１２の間にリーク電流（以下、ゲートリーク電流という）が発生するという問題があった。その理由は、本発明者の検討によれば、第１にゲート酸化膜２１５の厚さが薄いこと、第２に引き出し部２１６Ｓにおいて、半導体層２１２の角部２１２Ｃが薄いゲート酸化膜２１５を挟んでゲート電極２１６と対向するので、この部分で電界集中が生じるためである。

本発明のトレンチゲート型トランジスタは、半導体層と、前記半導体層に形成されたトレンチの内に形成され、前記トレンチの外の前記半導体層上に延びたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記半導体層の表面近傍に形成され、前記トレンチの側壁上の前記ゲート絶縁膜に接したボディ層と、を備え、前記ゲート絶縁膜は、前記ボディ層に接する部分で第１の膜厚を有する第１のゲート絶縁膜と、前記トレンチ内から前記トレンチの外の前記半導体層上に延びる部分で前記第１の膜厚より厚い第２の膜厚を有する第２のゲート絶縁膜と、を備えることを特徴とする。

係る構成によれば、前記トレンチ内から前記トレンチの外の前記半導体層上に延びる部分で前記第１の膜厚より大きい第２の膜厚を有する第２のゲート絶縁膜（厚いゲート絶縁膜）を形成したことにより、ゲート電極の引き出し部においてゲート電極と半導体層の角部との距離が長く確保されるため、ゲートリーク電流の発生が防止されると共に、ゲート容量（ゲート電極、絶縁膜、半導体層からなる）を低減することができる。

また、前記ボディ層に接する部分（活性化領域）で第１の膜厚を有する第１のゲート絶縁膜（薄いゲート絶縁膜）を形成したことにより、優れたトランジスタ特性（低い閾値、低オン抵抗）を確保することができる。

本発明のトレンチゲート型トランジスタの製造方法は、半導体層にトレンチを形成する工程と、前記トレンチが形成された半導体層を熱酸化することにより、前記トレンチ内を含めて前記半導体層の表面に酸化膜を形成する工程と、前記トレンチ内の活性化領域の前記酸化膜を選択的に除去する工程と、前記酸化膜が選択的に除去された後に、前記トレンチが形成された前記半導体層を熱酸化することにより、前記トレンチ内の活性化領域上に、第１の膜厚を有した第１のゲート酸化膜を形成するとともに、前記トランジスタの非活性化領域に前記第１の膜厚より厚い第２の膜厚を有する第２のゲート酸化膜を形成する工程と、前記第１及び第２のゲート酸化膜を介して前記トレンチ内に形成され、前記第２のゲート酸化膜を介して前記トレンチの外に延びたゲート電極を形成する工程と、前記トレンチの側壁上に前記第１のゲート酸化膜に接してボディ層を形成する工程と、を備えることを特徴とする。

係る構成によれば、活性化領域には第１のゲート酸化膜（薄いゲート酸化膜）を形成し、非活性化領域には第２のゲート酸化膜（厚いゲート酸化膜）を形成することができ、上記と同様な効果を得ることができる。

また、本発明のトレンチゲート型トランジスタは、半導体層と、前記半導体層に形成されたトレンチ内に形成されたゲート絶縁膜と、前記トレンチの端部に前記ゲート絶縁膜と接して形成され、前記ゲート絶縁膜より厚い膜厚を有する厚い絶縁膜と、前記トレンチ内の前記ゲート絶縁膜を覆って前記厚い絶縁膜上に延びたゲート電極と、前記半導体層の表面近傍に形成され、前記トレンチの側壁の前記ゲート絶縁膜に接したボディ層と、を備えることを特徴とする。

係る構成によれば、前記厚い絶縁膜を形成したことにより、ゲート電極の引き出し部においてゲート電極と半導体層の角部との距離が長く確保されるため、ゲート

リーク電流の発生が防止されると共に、ゲート容量（ゲート電極、絶縁膜、半導体層からなる）を低減することができる。

また、本発明のトレンチゲート型トランジスタの製造方法は、半導体層の表面に短辺と長辺を有するトレンチを形成する工程と、前記トレンチの長辺に沿った方向から、不純物を斜めイオン注入することにより、前記トレンチの側壁及び底面の前記半導体層、及び前記トレンチに隣接する半導体基板の表面に、不純物を導入する第１のイオン注入工程と、前記トレンチの短辺に沿った方向から、不純物を斜めイオン注入することにより、前記トレンチの側壁上方の前記半導体層及び前記トレンチに隣接する半導体基板の表面に、不純物を導入する第２のイオン注入工程と、前記第１及び第２のイオン注入工程により不純物が導入された部分に増速酸化により厚い膜厚を有するゲート絶縁膜を形成する工程と、前記トレンチ内から、前記増速酸化により形成された厚い膜厚を有するゲート絶縁膜を介して前記トレンチの外の半導体層上に延びたゲート電極を形成する工程と、を特徴とする。

係る構成によれば、不純物導入による増速酸化を利用して、厚いゲート絶縁膜を形成したことにより、ゲート電極の引き出し部においてゲート電極と半導体層の角部との距離が長く確保されるため、ゲートリーク電流の発生が防止されると共に、ゲート容量（ゲート電極、絶縁膜、半導体層からなる）を低減することができる。

本発明のトレンチゲート型トランジスタ及びその製造方法によれば、ゲートリーク電流の発生を防止するとともに、ゲート容量を低減することができる。また、優れたトランジスタ特性（低い閾値、低オン抵抗）を確保することができる。

図面の簡単な説明

第１図は本発明の第１の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する平面図であり、第２図は本発明の第１の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第３図は本発明の第１の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第４図は本発明の第１の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第５図は本発明の第１の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第６図は本発明の第１の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第７図は本発明の第１の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第８図は本発明の第１の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第９図は本発明の第１の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第１０図は本発明の第１の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第１１図は本発明の第１の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第１２図は本発明の第１の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第１３図は本発明の第１の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する平面図であり、第１４図は本発明の第２の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する平面図であり、第１５図は本発明の第２の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第１６図は本発明の第２の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面

図であり、第１７図は本発明の第２の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第１８図は本発明の第２の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第１９図は本発明の第２の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第２０図は本発明の第２の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第２１図は本発明の第２の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第２２図は本発明の第２の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第２３図は本発明の第２の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第２４図は本発明の第２の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第２５図は本発明の第２の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第２６図は本発明の第２の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第２７図は本発明の第２の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第２８図は本発明の第２の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する平面図であり、第２９図は本発明の第２の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する平面図であり、第３０図は本発明の第３及び第４の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する平面図であり、第３１図は本発明の第３の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第３２図は本発明の第３の実施形態によるトレンチゲート型トランジス

タ及びその製造方法を説明する断面図であり、第３３図は本発明の第３の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第３４図は本発明の第３の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第３５図は本発明の第３の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第３６図は本発明の第３の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第３７図は本発明の第３の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第３８図は本発明の第３の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第３９図は本発明の第３の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第４０図は本発明の第３の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第４１図は本発明の第４の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第４２図は本発明の第４の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第４３図は本発明の第４の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第４４図は本発明の第４の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第４５図は本発明の第４の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第４６図は本発明の第４の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第４７図は本発明の第４の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する断面図であり、第４８図は従来例のトレンチゲート型トラン

ジスタ及びその製造方法を説明する断面図である。

発明を実施するための最良の形態

［第１の実施形態］

本発明の第１の実施形態について図面を参照して説明する。第１図は本発明の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する平面図である。また、第２図（Ａ）乃至第１１図（Ａ）は、第１図のＡ－Ａ線に沿った断面図であり、第２図（Ｂ）乃至第１１図（Ｂ）は、第１図のＢ－Ｂ線に沿った断面図である。以下の説明では、トレンチゲート型トランジスタを、単に、トランジスタと呼ぶことにする。

最初に、本実施形態によるトランジスタの概略の平面構成について第１図を参照して説明する。ここでは、主要な構成要素のみについて説明する。このトランジスタでは、Ｐ型の半導体基板１０上にＮ＋型半導体層１１、Ｎ－型半導体層１２が形成されており、Ｎ－型半導体層１２の表面側には、ボディ層１９の形成された領域を通って、短辺と長辺を有する複数のトレンチ１４が形成されている。各トレンチ１４には、ゲート絶縁膜（不図示）を介してゲート電極１６が形成されている。各ゲート電極１６は、各トレンチ１４の一方の端で接続されており、トレンチ１４の外に延びている。トレンチ１４の外に延びたゲート電極１６は、層間絶縁膜（不図示）に設けられたコンタクトホールＨ１を通して、配線（不図示）と接続されている。

なお、このトランジスタに隣接して、同一のＮ－型半導体層１２上に、他の高耐圧ＭＯＳトランジスタ（不図示）が形成されてもよい。

以下に、本実施形態によるトレンチゲート型トランジスタ及びその製造方法に

ついて、図面を参照して説明する。

第２図に示すように、Ｐ型の半導体基板１０の表面にＮ型不純物をドーピングした後、半導体層をエピタキシャル成長させることにより、Ｎ＋型半導体層１１、及びＮ－型半導体層１２を形成する。以下において、半導体基板１０はシリコン単結晶基板であり、Ｎ＋型半導体層１１及びＮ－型半導体層１２はシリコン単結晶半導体層であるとして説明するが、これに限られるものではない。次に、Ｎ－型半導体層１２上に、ＣＶＤ法又は熱酸化処理によりシリコン酸化膜１３を形成する。さらに、シリコン酸化膜１３上に、開口部Ｍ１を有したレジスト層Ｒ１を形成する。開口部Ｍ１は、短辺と長辺を有する複数の長方形を有している。

次に、第３図に示すように、レジスト層Ｒ１をマスクとしてシリコン酸化膜１３に対してエッチングを行い、シリコン酸化膜１３に開口部１３Ｍを形成する。レジスト層Ｒ１の除去後、シリコン酸化膜１３をハードマスクとして、Ｎ－型半導体層１２に対してエッチングを行い、開口部１３Ｍに対応して、短辺と長辺を有した複数のトレンチ１４を形成する。このエッチングは、例えばＳＦ６を含むエッチングガスを用いたドライエッチングである。そのため、トレンチ１４の底部における角部１４Ｃ，１４Ｄは丸みを帯びて形成される。好ましくは、トレンチ１４の深さは約１μｍであり、その長辺は約５０μｍ、その短辺は約０．５μｍである。トレンチ１４の個数は、１０個程度であることが好ましい。その後、シリコン酸化膜１３は除去される。

次に、第４図に示すように、トレンチ１４内のＮ－型半導体層１２に対して熱酸化処理を行い、シリコン酸化膜１５Ａを形成する。好ましくは、この時点におけるシリコン酸化膜１５Ａの厚さは、約１００ｎｍである。シリコン酸化膜１５Ａは、トレンチ１４の底部における角部１４Ｃ，１４Ｄの丸みを反映して、その箇所で丸みを

帯びて形成される。

なお、同一のＮ－型半導体層１２上に他の高耐圧ＭＯＳトランジスタが形成される場合、シリコン酸化膜１５Ａは、そのゲート酸化膜と同時に形成される。また、シリコン酸化膜１５Ａの膜厚はＭＯＳトランジスタの耐圧特性によって変わる。

次に、第５図に示すように、シリコン酸化膜１５Ａ上に、開口部Ｍ２を有したレジスト層Ｒ２を形成する。開口部Ｍ２は、Ｎ－型半導体層１２のうち、トランジスタの活性化領域となる領域上を開口している。ここで、トランジスタの活性化領域とは、ボディ層１９が形成される領域である。以下、トランジスタの活性化領域を、単に、活性化領域と呼ぶ。言い換えれば、レジスト層Ｒ２は、Ｎ－型半導体層１２のうち活性化領域とならない領域（非活性化領域）上、即ち、トレンチ１４の短辺方向の角部１４Ｃ上からトレンチ１４の外にかけて延在している。

次に、第６図に示すように、レジスト層Ｒ２をマスクとして、シリコン酸化膜１５Ａに対してエッチングを行う。これにより、活性化領域となるＮ－型半導体層１２の領域を露出する開口部１５Ｍが形成される。その後、レジスト層Ｒ２は除去される。

次に、第７図に示すように、トレンチ１４内であって、シリコン酸化膜１５Ａの開口部１５Ｍで露出するＮ－型半導体層１２に対して熱酸化処理を行うことにより、その領域上に、シリコン酸化膜１５Ｂを形成する。

こうして、Ｎ－型半導体層１２の活性化領域となる領域には、薄いシリコン酸化膜１５Ｂ（本発明の第１のゲート絶縁膜の一例）が形成される。好ましくは、シリコン酸化膜１５Ｂの膜厚は約１０ｎｍである。

一方、活性化領域とならない領域（非活性化領域）にはシリコン酸化膜１５Ｂ

よりも厚いシリコン酸化膜１５Ａ（本発明の第２のゲート絶縁膜の一例）が残存する形で形成される。好ましくは、シリコン酸化膜１５Ａの厚さは、約１００ｎｍとなる。

次に、第８図に示すように、シリコン酸化膜１５Ａ及びシリコン酸化膜１５Ｂを覆うポリシリコン層１６Ｐを形成し、それに対して不純物のドーピングを行う。この不純物は、Ｎ型の不純物であることが好ましい。

その後、第９図に示すように、ポリシリコン層１６Ｐ上であって厚いシリコン酸化膜１５Ａと一部重畳する領域に、レジスト層Ｒ３を形成する。次に、レジスト層Ｒ３をマスクとして、ポリシリコン層１６Ｐに対してエッチングを行うことにより、各トレンチ１４から、シリコン酸化膜１５Ａ上に延びるゲート電極１６を形成する。トレンチ１４内から外に延びるゲート電極１６の引き出し部１６Ｓは、厚いシリコン酸化膜１５Ａと接している。また、各ゲート電極１６は、トレンチ１４の外のシリコン酸化膜１５Ａ上で互いに接続されている。このエッチングは、例えばプラズマエッチングである。その後、レジスト層Ｒ３は除去される。

次に、第１０図に示すように、Ｎ－型半導体層１２において、各トレンチ１４の周囲に、垂直方向にＰ型の不純物をイオン注入することで、Ｐ型のボディ層１９を形成する。このボディ層１９は、薄いシリコン酸化膜１５Ｂと接する。さらに、ボディ層１９の表面に、各トレンチ１４の長辺方向に沿ってＮ型の不純物をイオン注入することにより、ソース層２１を形成する。なお、ボディ層１９とソース層２１の活性化や不純物分布を調整するために、熱処理を行うことが好ましい。

次に、第１１図に示すように、シリコン酸化膜１５Ａ，１５Ｂ及びゲート電極１６を覆う層間絶縁膜２４を形成する。層間絶縁膜２４上には、層間絶縁膜２４に設けられたコンタクトホールＨ１を通してゲート電極１６と接続される配線層２５が形

成される。また、層間絶縁膜２４上には、シリコン酸化膜１５Ｂ及び層間絶縁膜２４に設けられたコンタクトホールＨ２を通してソース層２１と接続されるソース電極２３が形成される。

こうして完成したトランジスタでは、配線層２５からゲート電極１６に閾値以上の電位が印加されると、トレンチ１７の側壁のボディ層１９の表面がＮ型に反転してチャネルが形成される。これにより、ソース電極２３と、ドレインＤとなるＮ－型半導体層１２及びＮ＋型半導体層１１の間に電流を流すことができる。

そして、ゲート電極１６の引き出し部１６Ｓと接したシリコン酸化膜１５Ａが厚いゲート絶縁膜として機能することにより、ゲート電極１６の引き出し部１６Ｓにおいてゲート電極１６とＮ－型半導体層１２の角部１２Ｃとの距離が長く確保されるため、ゲートリーク電流の発生が防止されると共に、ゲート容量（ゲート電極１６、シリコン酸化膜１５Ａ、及びＮ－型半導体層１２からなる）を低減することができる。

また、トランジスタの活性化領域（ボディ層１９が形成される領域）においては、薄いシリコン酸化膜１５Ｂがゲート絶縁膜として形成されているので、優れたトランジスタ特性（低い閾値、低オン抵抗）を得ることができる。

なお、本実施形態の変形例として、第１２図に示すように、ドレイン引き出し部２６及びドレイン電極２７を形成してもよい。この場合、層間絶縁膜２４を形成する前に、Ｎ－型半導体層１２に開口部１２Ｈを形成して、その開口部１２Ｈ内に絶縁膜２８を形成し、ドレイン引き出し部２６を埋め込む。その後、層間絶縁膜２４を形成し、層間絶縁膜２４を貫通する貫通孔Ｈ３を形成し、その貫通孔Ｈ３内にドレイン引き出し部２６と接続されたドレイン電極２７を形成する。

また、本実施形態の他の変形例として、ゲート電極１６は、第１図のように各

トレンチ１４の端で互いに接続されずに、第１３図の平面図に示すように、トレンチ１４毎に分離されて孤立するように形成されてもよい。その他の構成は第１図と同様である。これにより、ポリシリコン層１６Ｐに対するエッチングがプラズマエッチングである場合において、そのポリシリコン層１６Ｐからなるゲート電極１６の面積が小さくなるため、ゲート電極１６に対するプラズマダメージを極力抑えることができる。従って、トランジスタの信頼性を向上させることができる。

［第２の実施形態］

本発明の第２の実施形態について図面を参照して説明する。第１４図は本発明の第２の実施形態によるトレンチゲート型トランジスタ及びその製造方法を説明する平面図である。また、第１５図（Ａ）乃至第２６図（Ａ）は、第１４図のＣ－Ｃ線に沿った断面図であり、第１５図（Ｂ）乃至第２６図（Ｂ）は、第１４図のＤ－Ｄ線に沿った断面図である。以下の説明では、トレンチゲート型トランジスタを、単に、トランジスタと呼ぶことにする。

第１４図及び第２６図に示すように、Ｐ型の半導体基板１０上にＮ＋型半導体層１１１、Ｎ－型半導体層１１２がこの順番に積層して形成されており、Ｎ－型半導体層１２の表面には、複数のトレンチ１１７が形成されている。以下において、半導体基板１１０はシリコン単結晶基板であるとして説明するが、これに限られるものではない。

トレンチ１１７内には、ゲート酸化膜１１３Ｂが形成され、トレンチ１１７の端部にゲート酸化膜１１３Ｂと接してトレンチ酸化膜１１６（本発明の厚い絶縁膜の一例）が形成されている。トレンチ酸化膜１１６は、ゲート酸化膜１１３Ｂより厚い膜厚を有している。トレンチ１１７内には、ゲート酸化膜１１３Ｂを覆って、ゲート

電極１１８が形成されている。ゲート電極１１８はトレンチ１１７のゲート酸化膜１１３Ｂからトレンチ酸化膜１１６上に延びている。トレンチ１１７の外に延びたゲート電極１１８は、層間絶縁膜１２４に設けられたコンタクトホールＨ１１を通して、配線層１２５と接続されている。また、Ｎ－型半導体層１１２の表面には、トレンチ１１７の側壁のゲート酸化膜１１３Ｂに接してボディ層１１９及びソース層１２１が形成されている。ソース層１２１は、ゲート酸化膜１１３Ｂ及び層間絶縁膜１２４に設けられたコンタクトホールＨ１２を通して、ソース電極１２３と接続されている。

このように、ゲート電極１１８のトレンチ１１７の引き出し部に、厚いトレンチ酸化膜１１６を形成したので、ゲートリーク電流の発生を防止すると共に、ゲート容量を低減することができる。

以下に、本実施形態によるトランジスタ及びその製造方法について、図面を参照して説明する。

第１５図に示すように、Ｐ型の半導体基板１１０の表面にＮ型不純物をドーピングした後、半導体層をエピタキシャル成長させることにより、Ｎ＋型半導体層１１１、及びＮ－型半導体層１１２を形成する。以下において、半導体基板１１０はシリコン単結晶基板であり、Ｎ＋型半導体層１１１及びＮ－型半導体層１１２はシリコン単結晶半導体層であるとして説明するが、これに限られるものではない。次に、Ｎ－型半導体層１１２上に、シリコン酸化膜１１３Ａ及びシリコン窒化膜１１４を、この順で形成する。

次に、第１６図に示すように、シリコン窒化膜１１４上に、開口部Ｍ１１を有したレジスト層Ｒ１１を形成する。このレジスト層Ｒ１１をマスクとして、シリコン酸化膜１１３Ａ及びシリコン窒化膜１１４、Ｎ－型半導体層１１２をエッチングする

ことにより、Ｎ－型半導体層１１２にトレンチ状の凹部１１５を形成する。その後、レジスト層Ｒ１１は除去される。この時のエッチングは、Ｃｌ２ガスを用いたプラズマエッチングであることが好ましい。

次に、第１７図に示すように、凹部１１５内を含むシリコン窒化膜１１４上に、ＣＶＤ法によりシリコン酸化膜１１６Ａを形成する。その後、第１８図に示すように、シリコン窒化膜１１４をエッチングストッパーとして、シリコン酸化膜１１６Ａに対して、ＣＭＰ（Chemical Mechanical Etching）処理を行う。これにより、シリコン酸化膜１１６Ａは、シリコン窒化膜１１４と同じ表面に至るまで除去され、凹部１１５内のみ残存して、トレンチ酸化膜１１６になる。

次に、第１９図に示すように、凹部１１５内のトレンチ酸化膜１１６に対してウェットエッチングを行い、その表面をシリコン酸化膜１１３Ａの表面と同じに至るまで除去しておくことが平坦化の上で好ましい。その後、開口部Ｍ１２を有したレジスト層Ｒ１２を形成する。開口部Ｍ１２は、平面的には短辺と長辺を有する複数の長方形である。開口部Ｍ１２の一方の端は、トレンチ酸化膜１１６上に位置している。

次に、第２０図に示すように、レジスト層Ｒ１２をマスクとして、開口部Ｍ１２内のシリコン酸化膜１１３Ａ、シリコン窒化膜１１４をエッチングして除去する。これにより、開口部Ｍ１２内ではＮ－型半導体層１１２が露出される。

次に、第２１図に示すように、レジスト層Ｒ１２をマスクとして、Ｎ－型半導体層１１２をエッチングし、開口部Ｍ１２に対応して、トレンチ１１７を形成する。トレンチ１１７の深さは、凹部１１５の深さよりも浅いことが好ましい。

好ましくは、トレンチ１１７の深さは約１μｍであり、その長辺は約５０μｍ、その短辺は約０．５μｍである。また、好ましくは、トレンチ酸化膜１１６における

垂直方向の膜厚（即ち凹部１１５の深さ）は約１．２μｍであり、トレンチ酸化膜１１６におけるトレンチ１１７の長辺方向に沿った膜厚は約２μｍである。なお、トレンチ１１７を形成するためのエッチングは、ＳＦ６またはＣｌ２ガスを用いたプラズマエッチングであることが好ましい。

次に、レジスト層Ｒ１２、シリコン窒化膜１１４、及びシリコン酸化膜１１３Ａの除去後、第２２図に示すように、熱酸化処理を行い、トレンチ１１７内を含むＮ－型半導体層１１２の表面上にゲート酸化膜１１３Ｂを形成する。ゲート酸化膜１１３Ｂの膜厚は、トレンチ酸化膜１１６の膜厚よりも薄い。好ましくは、ゲート酸化膜１１３Ｂの膜厚は、約２０ｎｍである。

次に、第２３図に示すように、ゲート酸化膜１１３Ｂ及びトレンチ酸化膜１１６を覆うポリシリコン層１１８Ｐを形成し、ポリシリコン層１１８Ｐに不純物のドーピングを行う。この不純物は、Ｎ型の不純物であることが好ましい。

その後、第２４図に示すように、ポリシリコン層１１８Ｐ上であってトレンチ酸化膜１１６と一部重畳する領域に、レジスト層Ｒ１３を形成する。次に、レジスト層Ｒ１３をマスクとして、ポリシリコン層１１８Ｐに対してエッチングを行うことにより、各トレンチ１１７からトレンチ酸化膜１１６上に延びるゲート電極１１８を形成する。ゲート電極１１８は、トレンチ１１７の外のトレンチ酸化膜１１６上で互いに接続されている。このエッチングは、Ｃｌ２ガスを用いたプラズマエッチングであることが好ましい。その後、レジスト層Ｒ１３は除去される。

次に、第２５図に示すように、Ｎ－型半導体層１１２において、各トレンチ１１７の周囲に、垂直方向にＰ型の不純物をイオン注入することで、Ｐ型のボディ層１１９を形成する。さらに、ボディ層１１９の表面に、各トレンチ１１７の長辺方向に

沿ってN型の不純物をイオン注入することにより、N型のソース層１２１を形成する。なお、ボディ層１１９とソース層１２１の活性化や不純物分布を調整するために、熱処理を行うことが好ましい。

次に、第２６図に示すように、ゲート酸化膜１１３B及びゲート電極１１８を覆う層間絶縁膜１２４を形成する。層間絶縁膜１２４上には、層間絶縁膜１２４に設けられたコンタクトホールH１１を通してゲート電極１１８と接続される配線層１２５が形成される。また、層間絶縁膜１２４上には、ゲート酸化膜１１３B及び層間絶縁膜１２４に設けられたコンタクトホールH１２を通してソース層１２１と接続されるソース電極１２３が形成される。

こうして完成したトランジスタでは、配線層１２５からゲート電極１１８に閾値以上の電位が印加されると、トレンチ１１７の側壁のボディ層１１９の表面がN型に反転してチャネルが形成される。これにより、ソース電極１２３と、ドレインDとなるN－型半導体層１１２及びN＋型半導体層１１１の間に電流を流すことができる。

そして、トレンチ酸化膜１１６を形成したことにより、ゲート電極１１８の引き出し部１１８Sにおいてゲート電極１１８とN－型半導体層１１２の角部１１２Cとの距離が長く確保されるため、ゲートリーク電流の発生が防止されると共に、ゲート容量（ゲート電極１１８を上部電極とし、ゲート酸化膜１１３B及びトレンチ酸化膜１１６を容量絶縁膜とし、N－型半導体層１１２を下部電極とする）を低減することができる。

なお、本実施形態の変形例として、第２７図に示すように、ドレイン引き出し部１２６及びドレイン電極１２７を形成してもよい。この場合、層間絶縁膜１２４を形成する前に、N－型半導体層１１２に開口部１１２Hを形成して、その開口部１１

２Ｈ内に絶縁膜１２８を形成し、ドレイン引き出し部１２６を埋め込む。その後、層間絶縁膜１２４を形成し、層間絶縁膜１２４を貫通する貫通孔Ｈ１３を形成し、その貫通孔Ｈ１３内にドレイン引き出し部１２６と接続されたドレイン電極１２７を形成する。

また、本実施形態の他の変形例として、ゲート電極１１８は、第１４図のようにトレンチ酸化膜１１６上で互いに接続されずに、第２８図の平面図に示すように、トレンチ１１７毎に分離されて孤立するように形成されてもよい。その他の構成は第１４図と同様である。これにより、ポリシリコン層１１８Ｐに対するエッチングがプラズマエッチングである場合において、そのポリシリコン層１１８Ｐからなるゲート電極１１８の面積が小さくなるため、ゲート電極１１８に対するプラズマダメージを抑えることができる。従って、トランジスタの信頼性を向上させることができる。

さらにトランジスタの信頼性を向上させるため、第２８図の構成に加えて、第２９図の平面図に示すように、トレンチ酸化膜１１６についてもトレンチ１１７毎（即ち分離されたゲート電極１１８毎）に分離されて孤立するように形成されてもよい。これにより、熱処理時のトレンチ酸化膜１１６の熱膨張によるＮ－型半導体層１１２の結晶欠陥の発生を抑えることができる。

［第３の実施形態］

本発明の第３の実施形態について図面を参照して説明する。第３０図は本発明の第３の実施形態によるトランジスタ及びその製造方法を説明する平面図である。また、第３１図（Ａ）乃至第４０図（Ａ）は、第３０図のＥ－Ｅ線に沿った断面図であり、第３１図（Ｂ）乃至第４０図（Ｂ）は、第３０図のＦ－Ｆ線に沿った断面図である。第３０図乃至第４０図において、第１４図乃至第２９図と同じ構成要素について

は同一の符号を付している。このトランジスタでは、第４０図に示すように、トレンチ酸化膜１１６の代わりに、ＬＯＣＯＳ酸化膜１３３Ｌを用いた構造になっている。その他の構成は基本的には第２の実施形態と同じである。

以下に、本実施形態によるトランジスタ及びその製造方法について、図面を参照して説明する。

第３１図に示すように、第２の実施形態と同様にして、半導体基板１１０上にＮ＋型半導体層１１１及びＮ－型半導体層１１２を形成する。次に、Ｎ－型半導体層１１２上に、シリコン酸化膜１３３Ａを形成する。その後、シリコン酸化膜１３３Ａ上に、開口部Ｍ１４を有したレジスト層Ｒ１４を形成する。

次に、第３２図に示すように、レジスト層Ｒ１４をマスクとして、開口部Ｍ１４内のシリコン酸化膜１３３Ａに対してエッチングを行い、それを除去する。これにより、開口部Ｍ１４内ではＮ－型半導体層１１２が露出される。

次に、第３３図に示すように、レジスト層Ｒ１４をマスクとして、Ｎ－型半導体層１１２に対してエッチングを行い、トレンチ１３４を形成する。

次に、レジスト層Ｒ１４及びシリコン酸化膜１３３Ａの除去後、第３４図に示すように、熱酸化処理により、トレンチ１３４内にゲート酸化膜１３３Ｂを形成する。好ましくは、ゲート酸化膜１３３Ｂの膜厚は、約２０ｎｍである。

次に、第３５図に示すように、ＣＶＤ法により、シリコン酸化膜１３３Ｂを覆ってシリコン窒化膜１３５を形成し、そのシリコン窒化膜１３５をエッチバックする。これにより、トレンチ１３４の側壁のゲート酸化膜１３３Ｂ上にシリコン窒化膜１３５を残存させる。

次に、第３６図に示すように、シリコン窒化膜１３５をマスクとした熱酸化処

理により、トレンチ１３４の底部、トレンチ１３４の外側の端部を覆うＬＯＣＯＳ酸化膜１３３Ｌを形成する。ＬＯＣＯＳ酸化膜１３３Ｌの膜厚は、元のゲート酸化膜１３３Ｂの膜厚よりも厚くなる。

次に、第３７図に示すように、ゲート酸化膜１３３Ｂ及びＬＯＣＯＳ酸化膜１３３Ｌを覆うポリシリコン層１３６Ｐを形成し、それに対して不純物のドーピングを行う。この不純物は、Ｎ型の不純物であることが好ましい。

その後、第３８図に示すように、ポリシリコン層１３６Ｐ上であってＬＯＣＯＳ酸化膜１３３Ｌと一部重畳する領域に、レジスト層Ｒ１５を形成する。次に、レジスト層Ｒ１５をマスクとして、ポリシリコン層１３６Ｐに対してエッチングを行うことにより、各トレンチ１３４から、その外のＬＯＣＯＳ酸化膜１３３Ｌ上に延びるゲート電極１３６を形成する。ゲート電極１３６は、トレンチ１３４の外のＬＯＣＯＳ酸化膜１３３Ｌ上で互いに接続されている。その後、レジスト層Ｒ１５は除去される。

次に、第３９図に示すように、Ｎ－型半導体層１１２の表面に、第２の実施形態と同様に、ボディ層１１９及びソース層１２１を形成する。

次に、第４０図に示すように、ＬＯＣＯＳ酸化膜１３３Ｌ及びゲート電極１３６を覆う層間絶縁膜１２４を形成する。層間絶縁膜１２４上には、層間絶縁膜１２４に設けられたコンタクトホールＨ１１を通してゲート電極１３６と接続される配線層１２５が形成される。また、層間絶縁膜１２４上には、層間絶縁膜１２４及びＬＯＣＯＳ酸化膜１３３Ｌに設けられたコンタクトホールＨ１２を通してソース層１２１と接続されるソース電極１２３が形成される。

こうして完成したトランジスタでは、第２の実施形態と同様に、配線層１２５からゲート電極１３６に閾値以上の電位が印加されると、トレンチ１３４の側壁のボ

ディ層１１９の表面がＮ型に反転してチャネルが形成される。これにより、ソース電極１２３と、ドレインＤとなるＮ－型半導体層１１２及びＮ＋型半導体層１１１の間に電流を流すことができる。なお、トレンチ１３４の側壁にシリコン窒化膜１３５を残すことで、ゲート酸化膜１３３Ｂの厚さを補って、信頼性向上を図ることができるが、低閾値化を図りたい場合にはシリコン窒化膜１３５を除去してもよい。

そして、ＬＯＣＯＳ酸化膜１３３Ｌを形成したことにより、ゲート電極１３６の引き出し部１３６Ｓにおいてゲート電極１３６とＮ－型半導体層１１２の角部１１２Ｃとの距離が長く確保されるため、ゲートリーク電流の発生が防止されると共に、ゲート容量（ゲート電極１３６を上部電極とし、ゲート酸化膜１３３Ｂ及びＬＯＣＯＳ酸化膜１３３Ｌを容量絶縁膜とし、Ｎ－型半導体層１１２を下部電極とする）を低減することができる。

なお、本実施形態の変形例として、第２の実施形態の第２７図に示したものと同様に、ドレイン引き出し部１２６及びドレイン電極１２７を形成してもよい。この場合、層間絶縁膜１２４を形成する前に、Ｎ－型半導体層１１２に開口部１１２Ｈを形成して、その開口部１１２Ｈ内に絶縁膜１２８を形成し、ドレイン引き出し部１２６を埋め込む。その後、層間絶縁膜１２４を形成し、層間絶縁膜１２４を貫通する貫通孔Ｈ１３を形成し、その貫通孔Ｈ１３内にドレイン引き出し部１２６と接続されたドレイン電極１２７を形成する。

また、本実施形態の他の変形例として、ゲート電極１３６は、第２の実施形態の第２８図に示したものと同様に、トレンチ１３４毎に分離されて孤立するように形成されてもよい。この場合においても第２の実施形態と同等の効果を得ることができる。

［第４の実施形態］

本発明の第４の実施形態について図面を参照して説明する。このトランジスタの概略の平面構成については、第３０図と同様である。

以下に、本実施形態によるトランジスタ及びその製造方法について、図面を参照して説明する。

第４１図（Ａ）乃至第４７図（Ａ）は、第３０図のＥ－Ｅ線に沿った断面図であり、第４１図（Ｂ）乃至第４７図（Ｂ）は、第３０図のＦ－Ｆ線に沿った断面図である。第３０図、第４１図乃至第４７図において、第３０図乃至第４０図と同様の構成要素については同一の符号を付す。

第４１図に示すように、第２の実施形態と同様にして、半導体基板１１０上にＮ＋型半導体層１１１及びＮ－型半導体層１１２を形成する。Ｎ－型半導体層１１２上には、ハードマスクとして開口部１４１Ｍを有したシリコン酸化膜１４１を形成する。好ましくは、シリコン酸化膜１４１の厚さは、約１００ｎｍである。

次に、シリコン酸化膜１４１をハードマスクとして、Ｎ－型半導体層１１２に対してエッチングを行い、開口部１４１Ｍに対応して、短辺と長辺を有したトレンチ１４４を形成する。その後、シリコン酸化膜１４１を除去する。

次に、第４２図に示すように、トレンチ１４４内のＮ－型半導体層１１２の表面に対して熱酸化処理を行い、ゲート酸化膜１４５を形成する。好ましくは、この時点におけるゲート酸化膜１４５の厚さは、約２０ｎｍである。その後、ゲート酸化膜１４５を貫通してＮ－型半導体層１１２の中にアルゴン等の不純物を斜めイオン注入する。この斜めイオン注入では、トレンチ１４４の長辺に沿った方向と短辺に沿った方向から、半導体基板１１０の水平面に対して約１０度～４５度の入射角を以ってイ

オン注入が行われることが好ましい。この入射角は、更に好ましくは、半導体基板１１０の水平面に対して約３０度である。また、不純物がアルゴンである場合、イオン注入のドーズ量は、１×１０１６／ｃｍ２であり、加速ネルギーは約４０ＫｅＶであることが好ましい。

このようなイオン注入は、例えば、トレンチ１４４の長辺方向に沿って、第１の斜めイオン注入が行われた後、それとは逆向きに第２の斜めイオン注入が行われる。次に、トレンチ１４４の短辺方向に沿って、第３の斜めイオン注入が行われた後、それとは逆向きに第４の斜めイオン注入が行われる。なお、上記以外の手順として、第１乃至第４の斜めイオン注入のうちいずれか又は全ては同時に行われてもよい。

第１及び第２の斜めイオン注入により、トレンチ１４４の側面及び底面のＮ－型半導体層１１２、トレンチ１４４に隣接したＮ－型半導体層１１２の表面に不純物注入層が形成される。一方、第３及び第４の斜めイオン注入によれば、トレンチ１４４の側面上方のＮ－型半導体層１１２とトレンチ１４４に隣接したＮ－型半導体層１１２の表面に不純物注入層が形成される。即ち、第３及び第４の斜めイオン注入では、トレンチ１４４の側面の下方、及び底面には不純物は導入されないことになる。

次に、熱酸化処理を行うことにより、ゲート酸化膜１４５を形成する。ここで、前の工程で不純物がイオン注入された領域のみが増速酸化されることになる。これにより、第４３図（Ａ）に示すように、ゲート酸化膜１４５のうち、Ｎ－型半導体層１１２の表面上の領域、トレンチ１４４内の長辺方向に沿った底部、トレンチ１４４内の短辺方向に沿った側壁では、イオンが十分に注入されているため、厚い酸化膜となる。

一方、第４３図（Ｂ）に示すように、ゲート酸化膜１４５のうち、トレンチ１

４４の長辺方向に沿った側壁の上部（即ちトレンチ１４４の開口部近傍）では、イオンが十分に注入されているため厚い酸化膜となるが、それより下部の側壁では厚い酸化膜とはならない。ゲート酸化膜１４５のうち、厚い酸化膜となる領域の厚さは、他の領域の厚さの約１０％～１５０％大きくなり、好ましくは約３０％以上大きくなる。

次に、第４４図に示すように、ゲート酸化膜１４５を覆うようにして、ポリシリコン層１４６Ｐを形成し、それに対して不純物のドーピングを行う。この不純物は、Ｎ型の不純物であることが好ましい。

その後、第４５図に示すように、ポリシリコン層１４６Ｐ上であって厚いゲート酸化膜１４５と一部重畳する領域に、レジスト層Ｒ１６を形成する。次に、レジスト層Ｒ１６をマスクとして、ポリシリコン層１４６Ｐに対してエッチングを行うことにより、各トレンチ１４４から、その外のゲート酸化膜１４５上に延びるゲート電極１４６を形成する。ゲート電極１４６は、第３の実施形態におけるゲート電極１３６と同様に、トレンチ１４４の外のゲート酸化膜１４５上で互いに接続されている。その後、レジスト層Ｒ１６は除去される。

次に、第４６図に示すように、第２の実施形態と同様に、Ｎ－型半導体層１１２において、各トレンチ１４４の周囲にボディ層１１９及びソース層１２１を形成する。さらに、第４７図に示すように、ゲート酸化膜１４５及びゲート電極１４６を覆う層間絶縁膜１２４を形成する。層間絶縁膜１２４上には、層間絶縁膜１２４に設けられたコンタクトホールＨ１１を通してゲート電極１４６と接続される配線層１２５が形成される。また、層間絶縁膜１２４上には、ゲート酸化膜１４５及び層間絶縁膜１２４に設けられたコンタクトホールＨ１２を通してソース層１２１と接続されるソース電極１２３が形成される。

こうして完成したトランジスタでは、第２の実施形態と同様に、配線層１２５からゲート電極１４６に閾値以上の電位が印加されると、トレンチ１４４の側壁のボディ層１１９の表面がＮ型に反転してチャネルが形成される。これにより、ソース電極１２３とドレインＤとなるＮ－型半導体層１１２及びＮ＋型半導体層１１１の間に電流を流すことができる。

そして、トレンチ１４４内の短辺方向に沿った側壁におけるゲート酸化膜１４５は厚い酸化膜となるため、ゲート電極１４６の引き出し部１４６Ｓにおいてゲート電極１４６とＮ－型半導体層１１２の角部１１２Ｃとの距離が長く確保され、ゲートリーク電流の発生が防止されると共に、ゲート容量（ゲート電極１４６、ゲート酸化膜１４５、及びＮ－型半導体層１１２からなる）を低減することができる。同様に、トレンチ１４４の長辺方向に沿った側壁の上部（即ちトレンチ１４４の開口部近傍）におけるゲート酸化膜も厚い酸化膜となるため、より確実に、ゲートリーク電流の発生が防止されると共に、ゲート容量を低減することができる。

一方、トレンチ１４４の長辺方向に沿った側壁の下部のゲート酸化膜１４５は、比較的薄いため、トランジスタの閾値を小さくすることができる。

なお、本実施形態の変形例として、第２の実施形態の第２７図に示したものと同様に、ドレイン引き出し部１２６及びドレイン電極１２７を形成してもよい。この場合、層間絶縁膜１２４を形成する前に、Ｎ－型半導体層１１２に開口部１１２Ｈを形成して、その開口部１１２Ｈ内に絶縁膜１２８を形成し、ドレイン引き出し部１２６を埋め込む。その後、層間絶縁膜１２４を形成し、層間絶縁膜１２４を貫通する貫通孔Ｈ１３を形成し、その貫通孔Ｈ１３内にドレイン引き出し部１２６と接続されたドレイン電極１２７を形成する。

また、本実施形態の他の変形例として、ゲート電極１４６は、第２の実施形態の第２８図に示したものと同様に、トレンチ１４４毎に分離されて孤立するように形成されてもよい。この場合においても第２の実施形態と同等の効果を得ることができる。

なお、本発明は上記実施形態に限定されることなく、その要旨を逸脱しない範囲で変更が可能であることは言うまでもない。例えば、Ｎチャネル型のトランジスタについて説明したが、本発明は、Ｐチャネル型のトランジスタについても、ソース層、ボディ層等の導電型を逆導電型に変更することにより、適用することができる。

また、本発明は、トレンチゲート型のＩＧＢＴなどの埋め込みゲート電極を有するデバイスにも適用することができる。

請　求　の　範　囲

1．　半導体層と、前記半導体層に形成されたトレンチの内に形成され、前記トレンチの外の前記半導体層上に延びたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記半導体層の表面近傍に形成され、前記トレンチの側壁上の前記ゲート絶縁膜に接したボディ層と、を備え、

前記ゲート絶縁膜は、前記ボディ層に接する部分で第１の膜厚を有する第１のゲート絶縁膜と、前記トレンチ内から前記トレンチの外の前記半導体層上に延びる部分で前記第１の膜厚より厚い第２の膜厚を有する第２のゲート絶縁膜と、を備えることを特徴とするトレンチゲート型トランジスタ。

2．　前記第２のゲート絶縁膜は、前記トレンチ内から前記トレンチの外の前記半導体層上に延びる部分でラウンドしていることを特徴とする請求の範囲第１項に記載のトレンチゲート型トランジスタ。

3．　第２のゲート絶縁膜は、前記半導体層の表面に形成された高耐圧ＭＯＳトランジスタのゲート絶縁膜と同時に形成されたことを特徴とする請求の範囲第１項に記載のトレンチゲート型トランジスタ。

4．　半導体層にトレンチを形成する工程と、

前記トレンチが形成された半導体層を熱酸化することにより、前記トレンチ内を含めて前記半導体層の表面に酸化膜を形成する工程と、

前記トレンチ内の活性化領域の前記酸化膜を選択的に除去する工程と、

前記酸化膜が選択的に除去された後に、前記トレンチが形成された前記半導体層を熱酸化することにより、前記トレンチ内の活性化領域上に、第１の膜厚を有した第１のゲート酸化膜を形成するとともに、非活性化領域に前記第１の膜厚よ

り厚い第２の膜厚を有する第２のゲート酸化膜を形成する工程と、

前記第１及び第２のゲート酸化膜を介して前記トレンチ内に形成され、前記第２のゲート酸化膜を介して前記トレンチの外に延びたゲート電極を形成する工程と、

前記トレンチの側壁上に前記第１のゲート酸化膜に接してボディ層を形成する工程と、を備えることを特徴とするトレンチゲート型トランジスタの製造方法。

5．　前記酸化膜を形成する工程において、前記酸化膜は前記トレンチ内から前記トレンチの外の前記半導体層上に延びる部分でラウンドするように熱酸化を行うことを特徴とする請求の範囲第４項に記載のトレンチゲート型トランジスタの製造方法。

6．　半導体層と、前記半導体層に形成されたトレンチ内に形成されたゲート絶縁膜と、前記トレンチの端部に前記ゲート絶縁膜と接して形成され、前記ゲート絶縁膜より厚い膜厚を有する厚い絶縁膜と、前記トレンチ内の前記ゲート絶縁膜を覆って前記厚い絶縁膜上に延びたゲート電極と、前記半導体層の表面近傍に形成され、前記トレンチの側壁の前記ゲート絶縁膜に接したボディ層と、を備えることを特徴とするトレンチゲート型トランジスタ。

7．　前記厚い絶縁膜は、素子分離用のトレンチ絶縁膜であることを特徴とする請求の範囲第６項に記載のトレンチゲート型トランジスタ。

8．　前記トレンチ絶縁膜は、前記トレンチよりも深く形成されていることを特徴とする請求の範囲第７項に記載のトレンチゲート型トランジスタ。

9．　前記厚い絶縁膜は、ＬＯＣＯＳ酸化膜であることを特徴とする請求の範囲第６項に記載のトレンチゲート型トランジスタ。

１０．　半導体層と、前記半導体層に形成された複数のトレンチ内に形成されたゲート絶縁膜と、前記複数のトレンチの端部に前記ゲート絶縁膜と接して形成され、前記ゲート絶縁膜より厚い膜厚を有する厚い絶縁膜と、各トレンチ内の前記ゲート絶縁膜を覆って前記厚い絶縁膜上に延びた複数のゲート電極と、前記半導体層の表面近傍に形成され、前記複数のトレンチの側壁の前記ゲート絶縁膜に接したボディ層と、を備え、前記複数のゲート電極は互いに孤立していることを特徴とするトレンチゲート型トランジスタ。

１１．　前記厚い絶縁膜は、前記複数のゲート電極に対応して分割されていることを特徴とする請求の範囲第１０項に記載のトレンチゲート型トランジスタ。

１２．　半導体層の表面に短辺と長辺を有するトレンチを形成する工程と、

前記トレンチの長辺に沿った方向から、不純物を斜めイオン注入することにより、前記トレンチの側壁及び底面の前記半導体層、及び前記トレンチに隣接する半導体基板の表面に、不純物を導入する第１のイオン注入工程と、

前記トレンチの短辺に沿った方向から、不純物を斜めイオン注入することにより、前記トレンチの側壁上方の前記半導体層及び前記トレンチに隣接する半導体基板の表面に、不純物を導入する第２のイオン注入工程と、

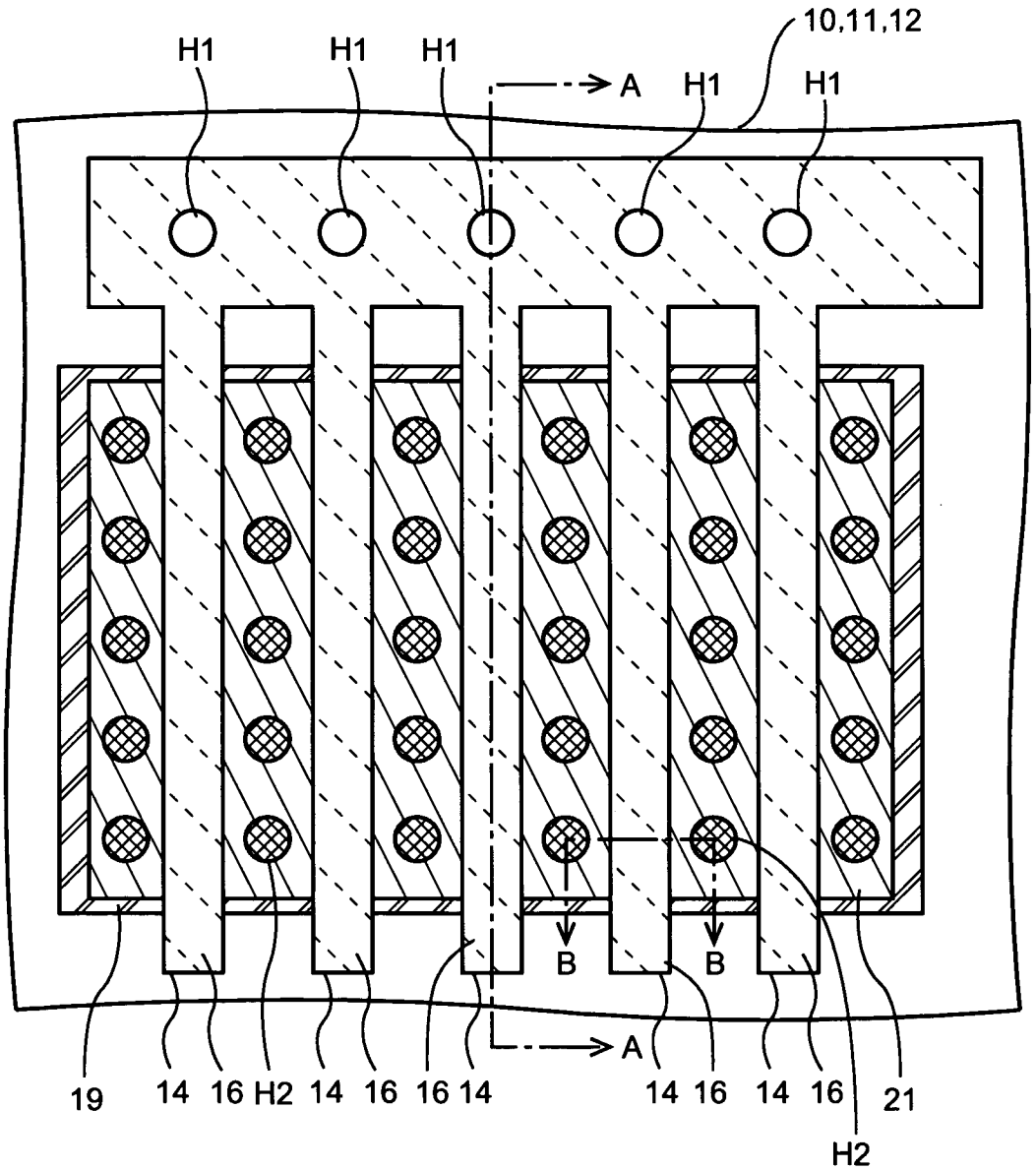
前記第１及び第２のイオン注入工程により不純物が導入された部分に増速酸化により厚い膜厚を有するゲート絶縁膜を形成する工程と、

前記トレンチ内から、前記増速酸化により形成された厚い膜厚を有するゲート絶縁膜を介して前記トレンチの外の半導体層上に延びたゲート電極を形成する工程と、を特徴とするトレンチゲート型トランジスタの製造方法。

１３．前記不純物はアルゴンであることを特徴とする請求の範囲第１２項に記載の

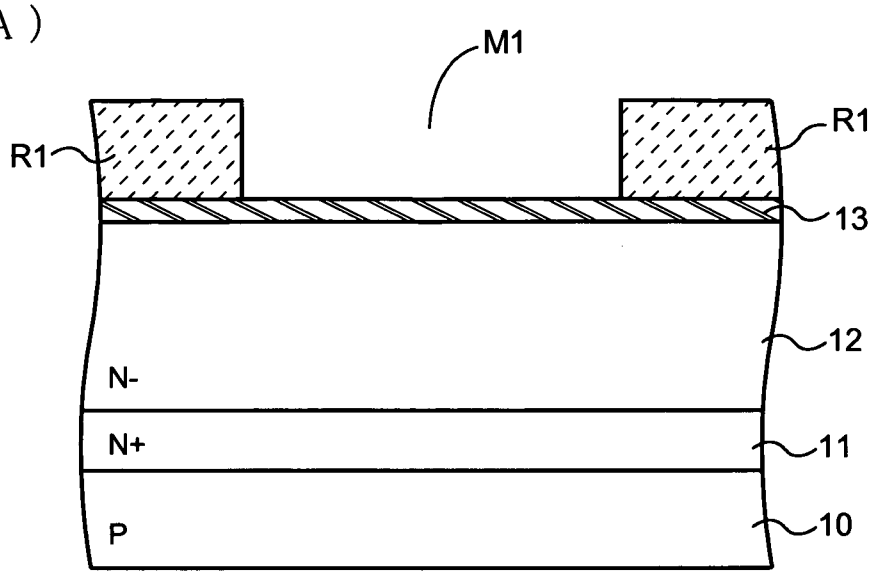
トレンチゲート型トランジスタの製造方法。

第 1 図

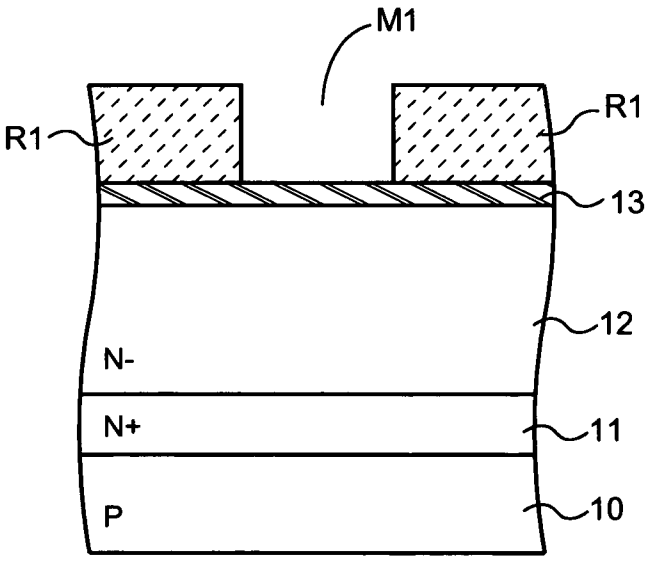


第２図

（Ａ）

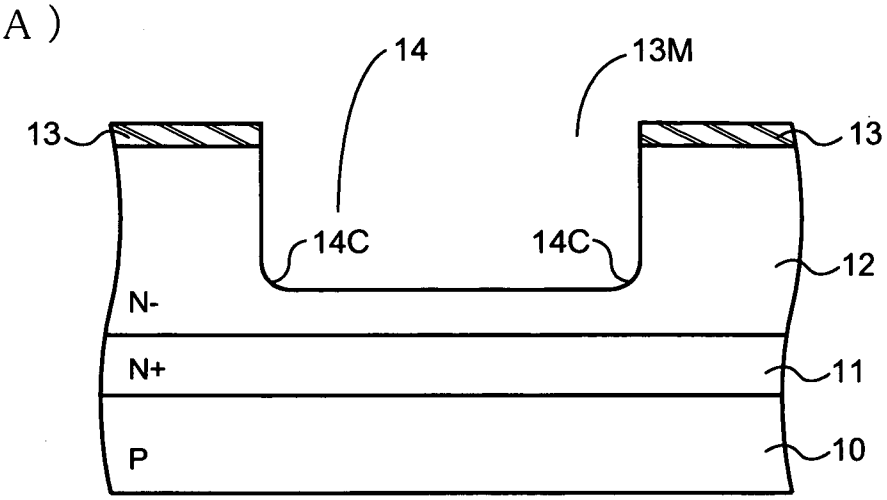


（Ｂ）

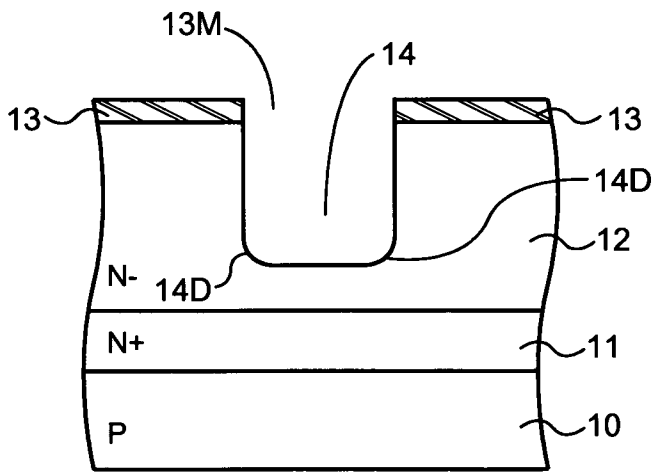


第３図

（Ａ）

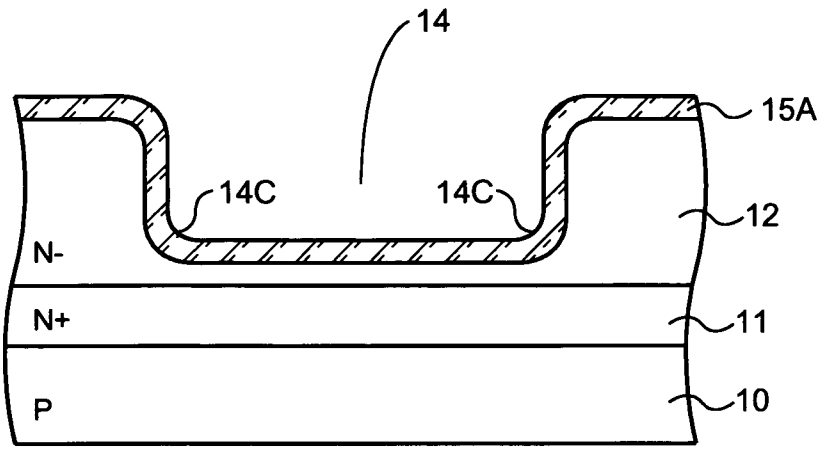


（Ｂ）

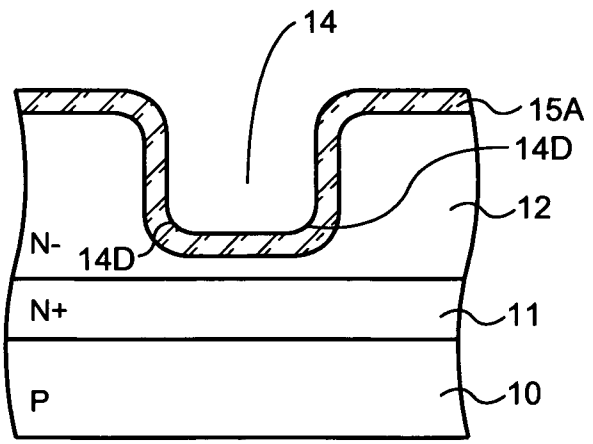


第４図

（Ａ）

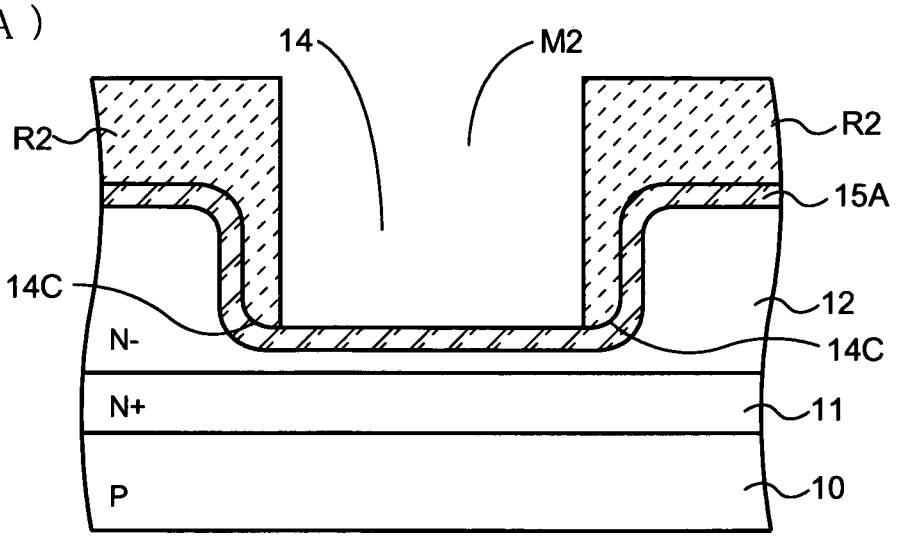


（Ｂ）

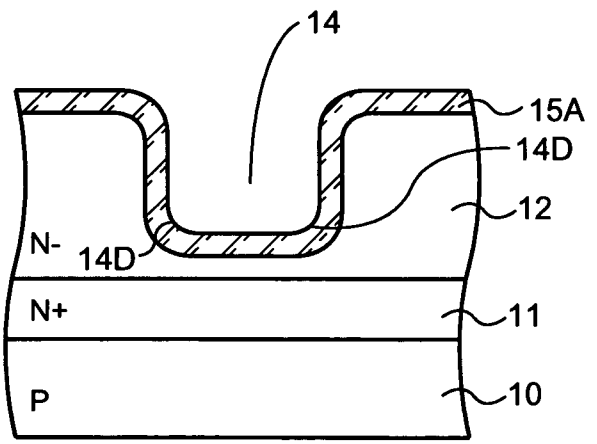


第５図

（Ａ）

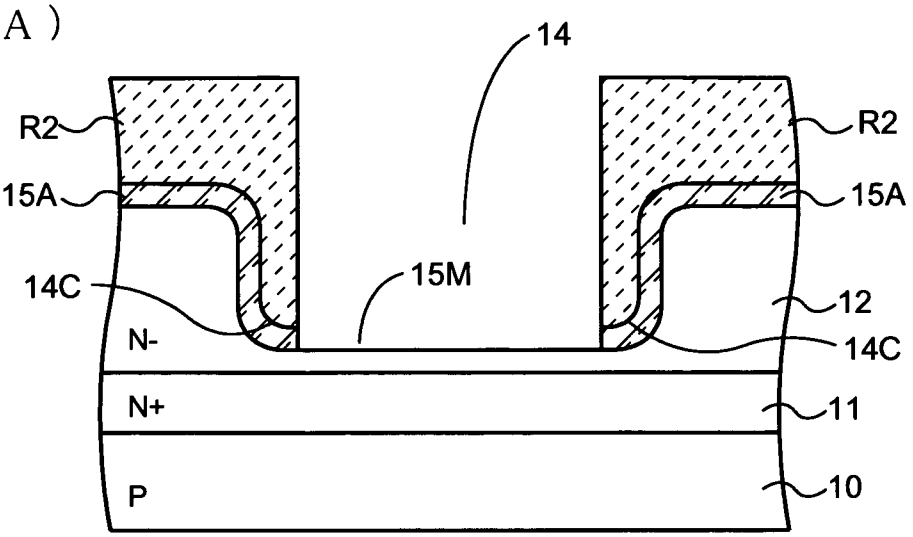


（Ｂ）

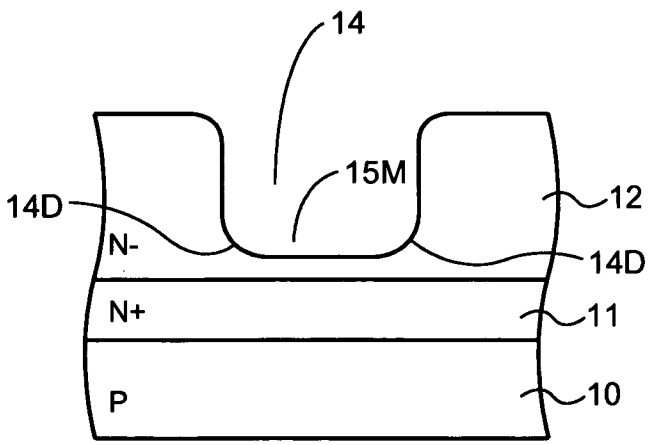


第６図

（Ａ）

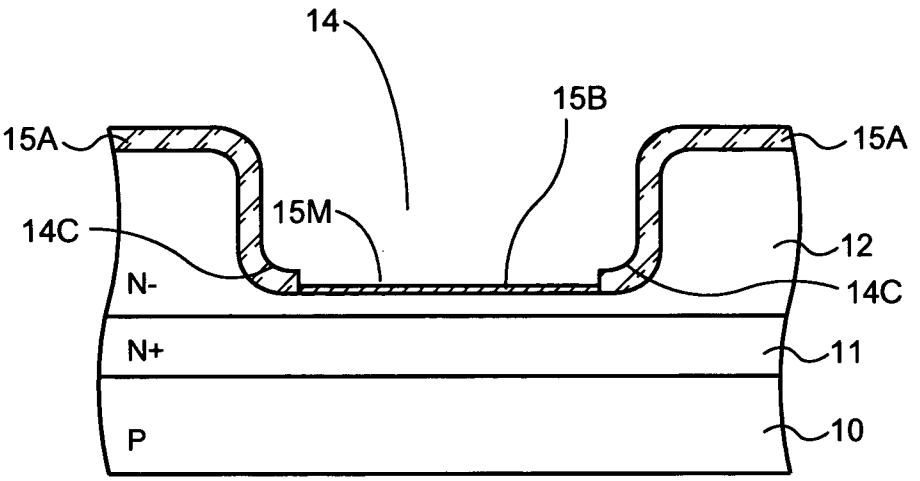

14
R2
R2
15A
15A
15M
14C
12
N-
14C
N+
11
P
10

（Ｂ）

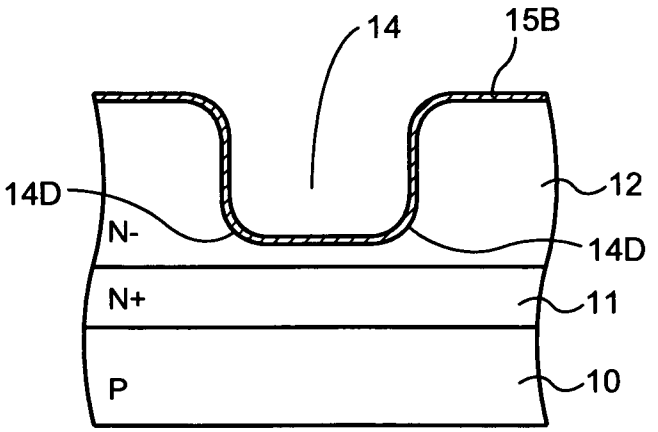

14
15M
14D
12
N-
14D
N+
11
P
10

第７図

（Ａ）

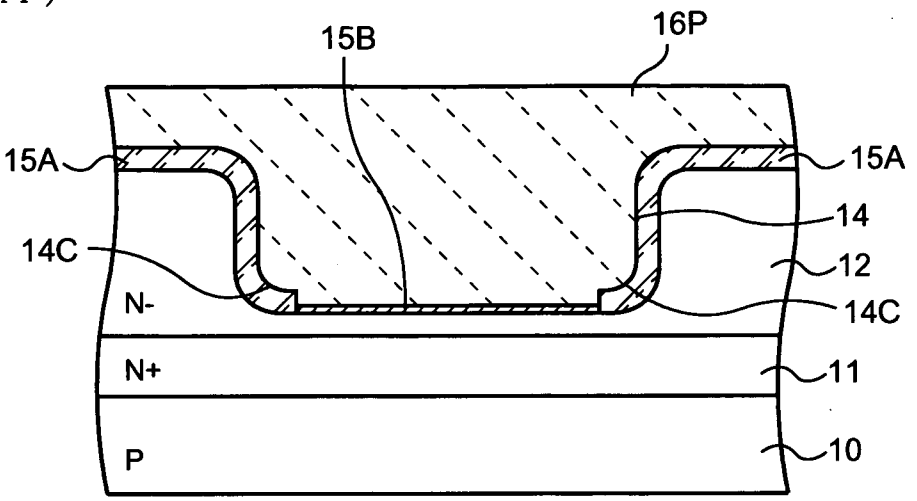


（Ｂ）

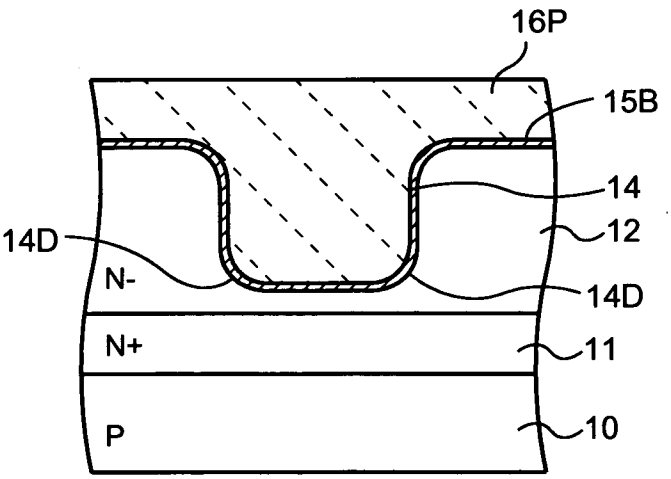


第８図

（Ａ）

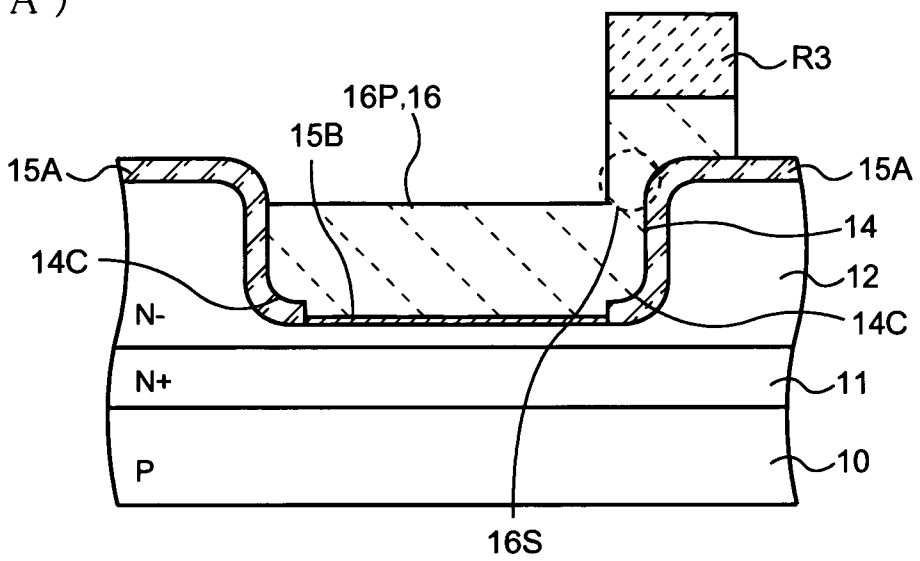

15B
16P
15A
15A
14
14C
12
N-
14C
N+
11
P
10

（Ｂ）

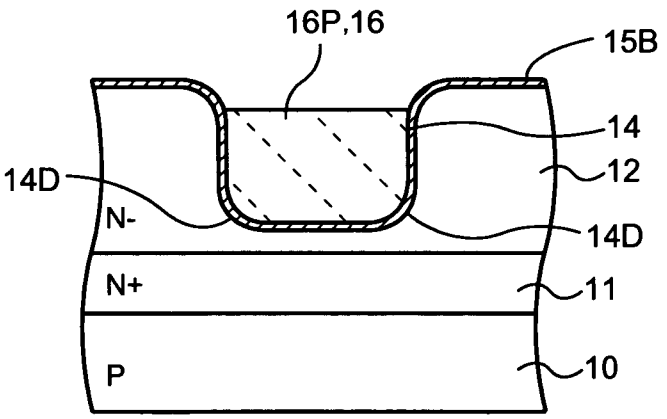

16P
15B
14
14D
12
N-
14D
N+
11
P
10

第９図

（Ａ）

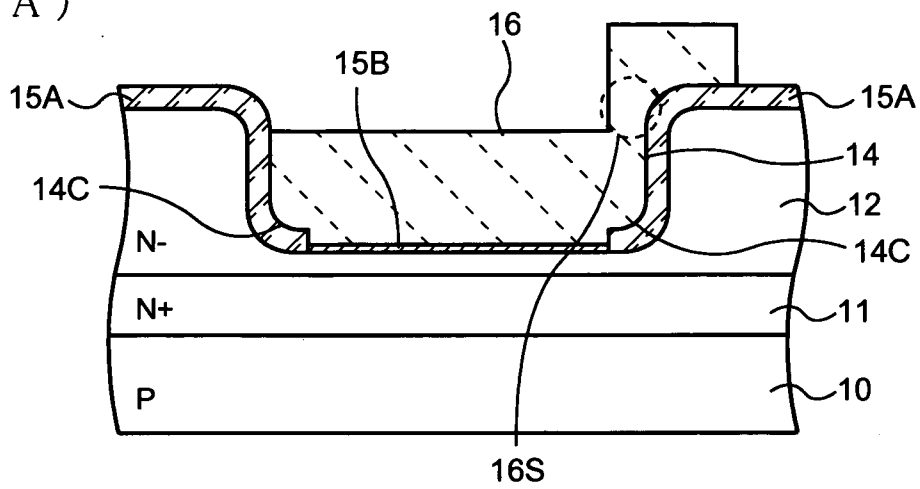

R3
16P,16
15B
15A
15A
14
14C
12
N-
14C
N+
11
P
10
16S

（Ｂ）

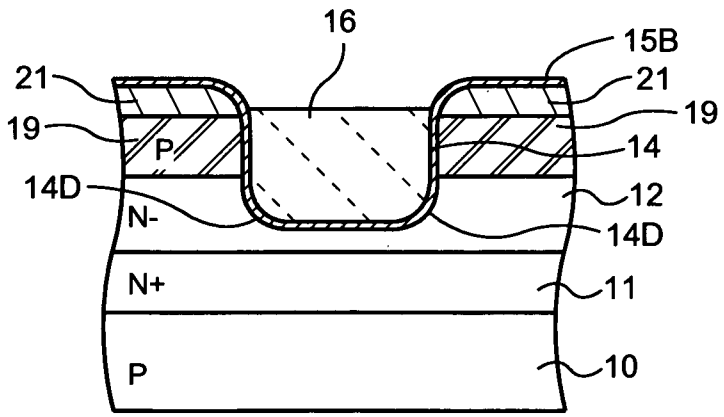

16P,16
15B
14
14D
12
N-
14D
N+
11
P
10

第１０図

（Ａ）

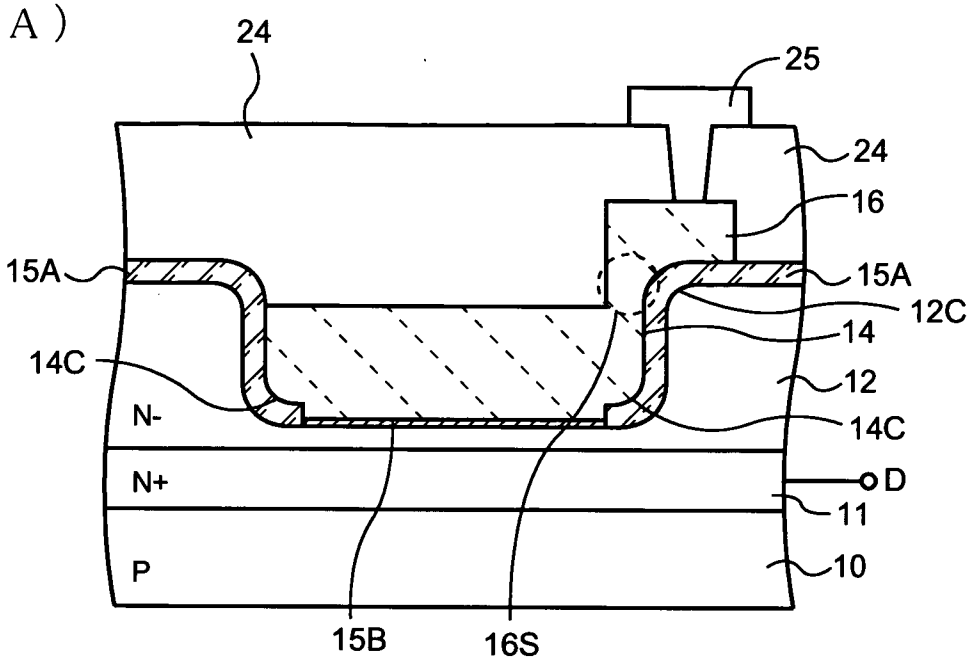

16
15B
15A
15A
14
14C
12
N-
14C
N+
11
P
10
16S

（Ｂ）

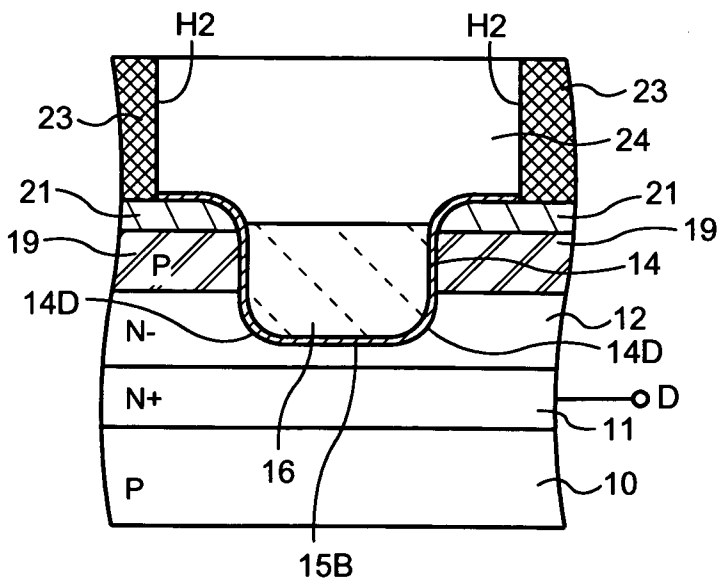

16
15B
21
21
19
19
P
14
14D
12
N-
14D
N+
11
P
10

第１１図

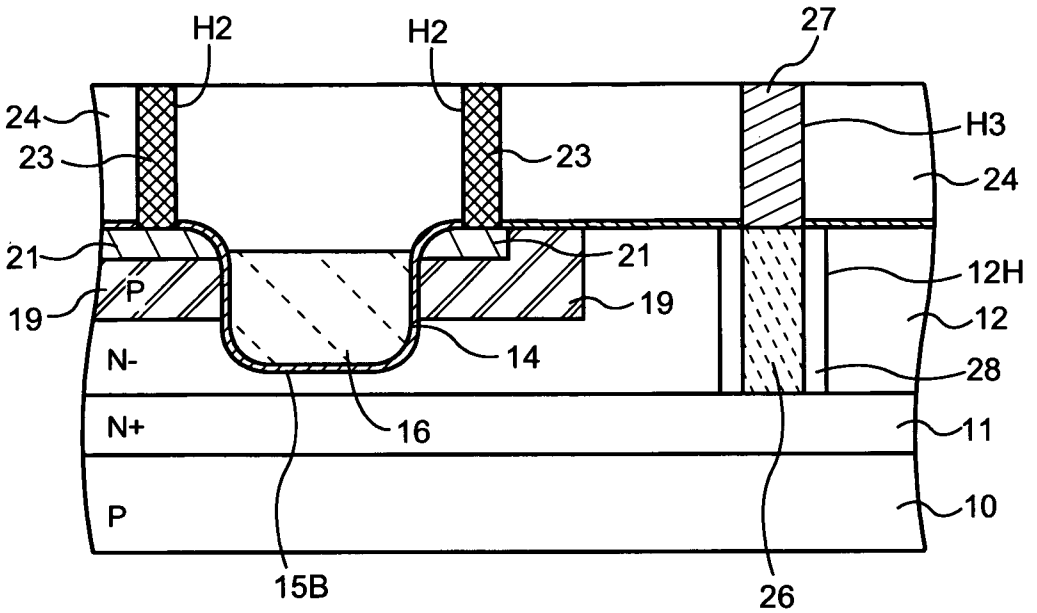
（Ａ）


24
25
24
16
15A
15A
12C
14
14C
12
N-
14C
N+
D
11
P
10
15B
16S

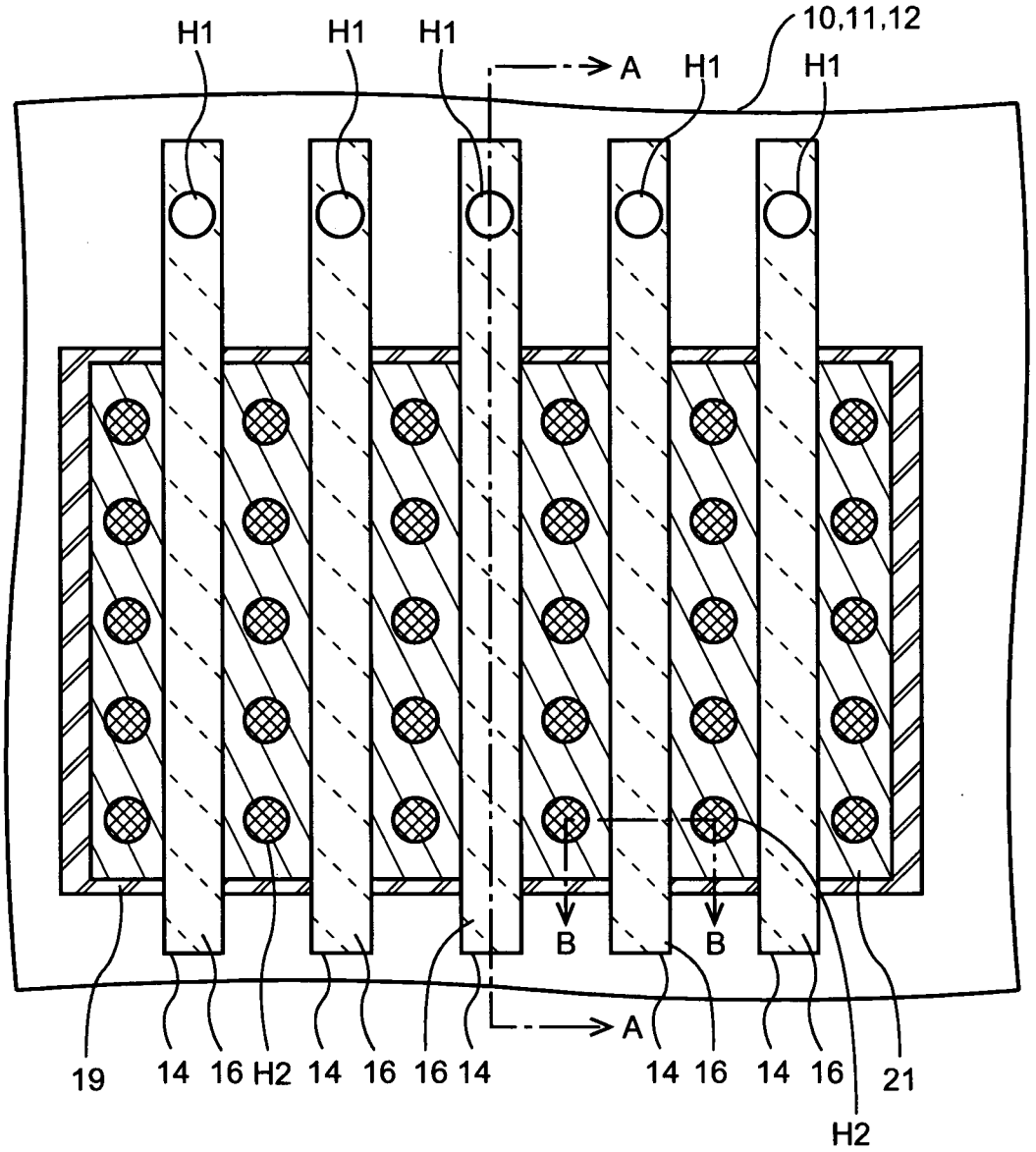
（Ｂ）


H2
H2
23
23
24
21
21
19
19
P
14
14D
12
N-
14D
N+
D
11
16
P
10
15B

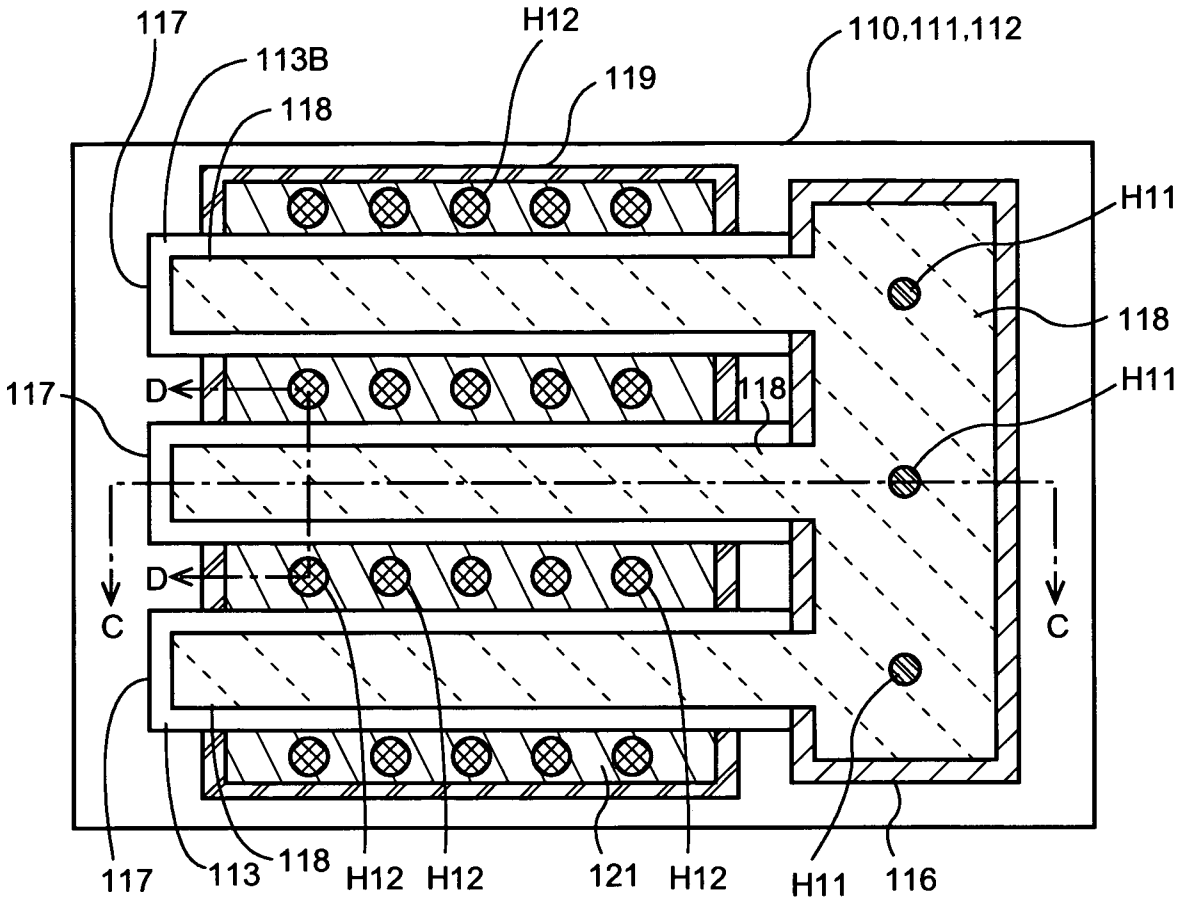
第１２図



第１３図

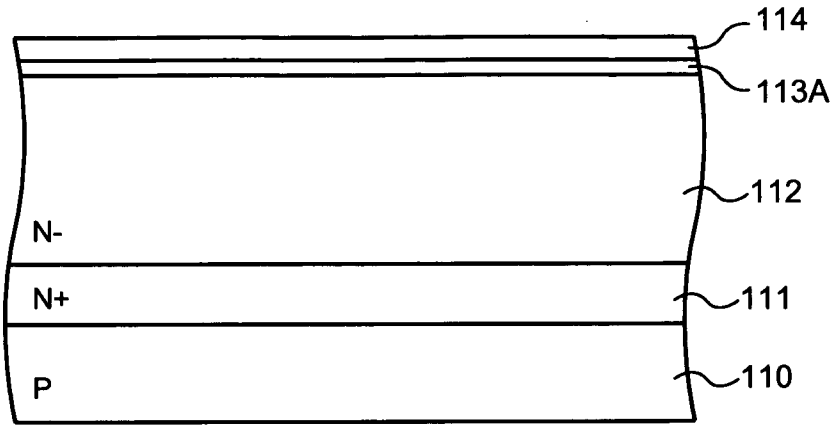


第１４図

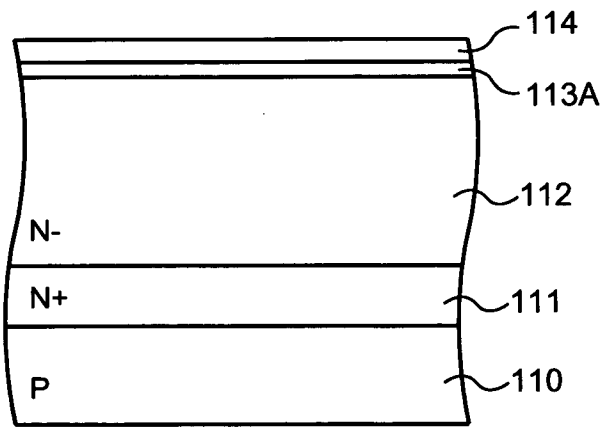

117
113B
118
H12
119
110,111,112
H11
118
117
D
118
H11
D
C
C
117
113
118
H12
H12
121
H12
H11
116

第１５図

（Ａ）

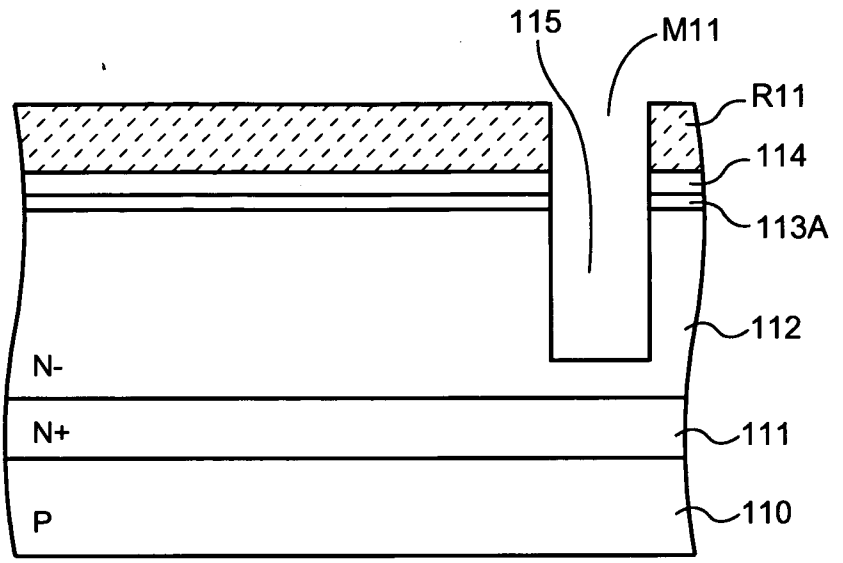


（Ｂ）

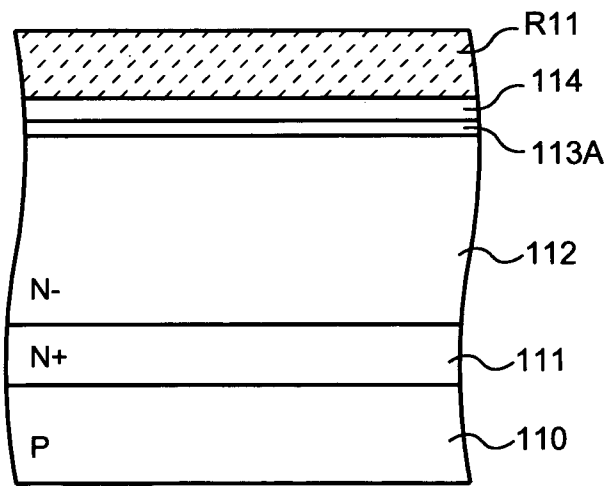


第１６図

（Ａ）

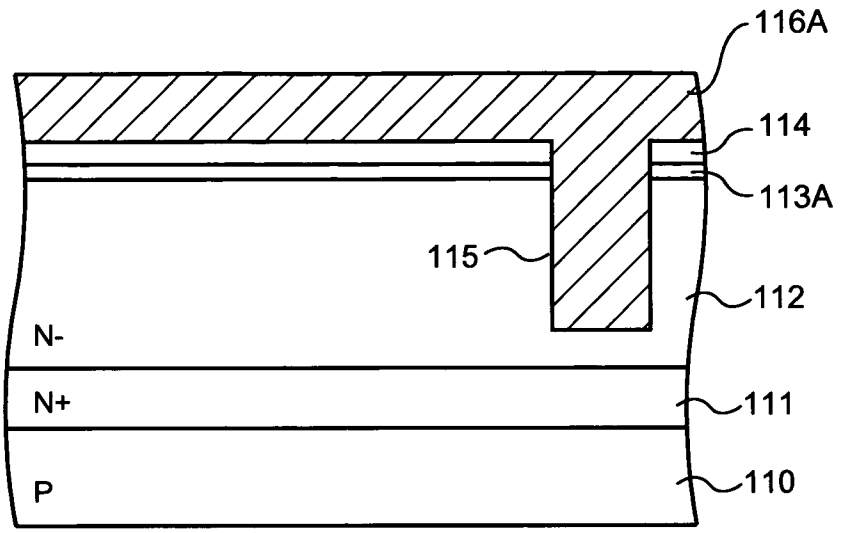

115
M11
R11
114
113A
112
N-
N+
111
P
110

（Ｂ）

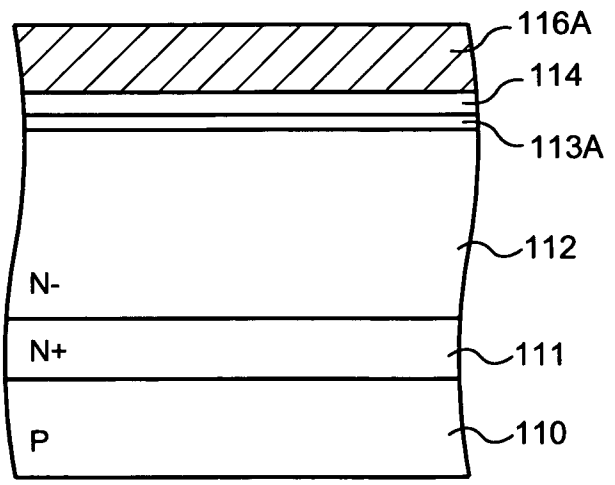

R11
114
113A
112
N-
N+
111
P
110

第１７図

（Ａ）

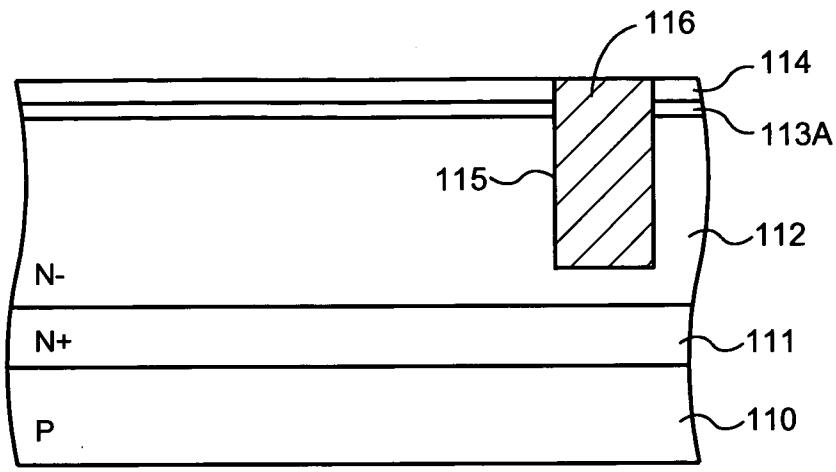


（Ｂ）

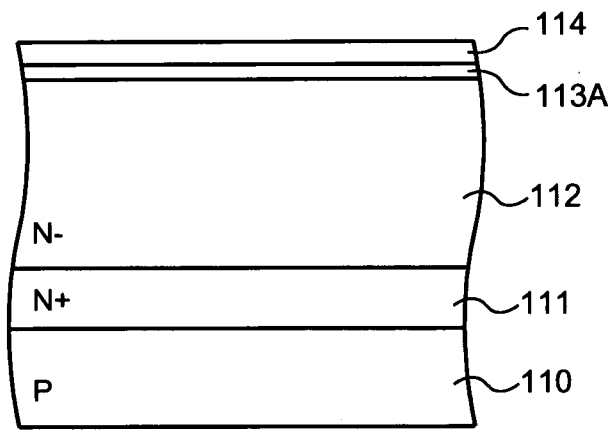


第１８図

（Ａ）

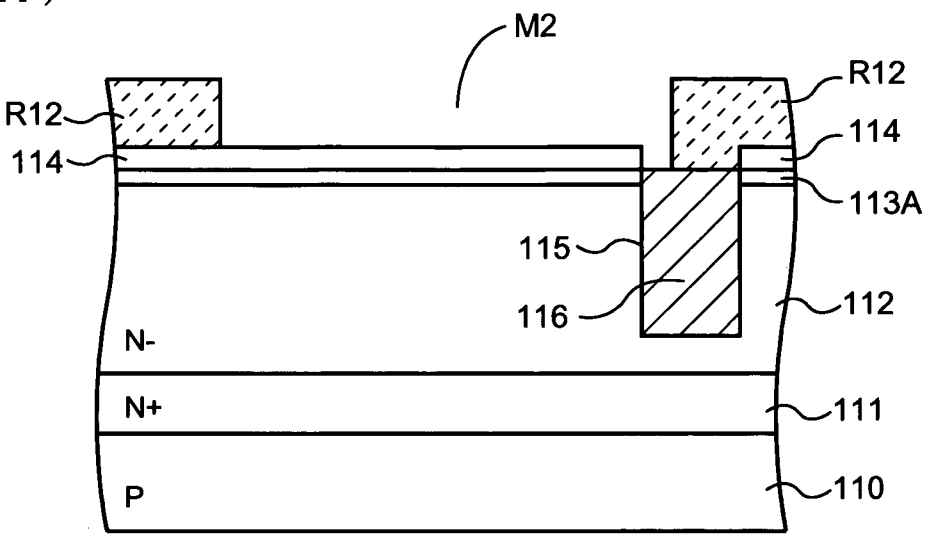


（Ｂ）

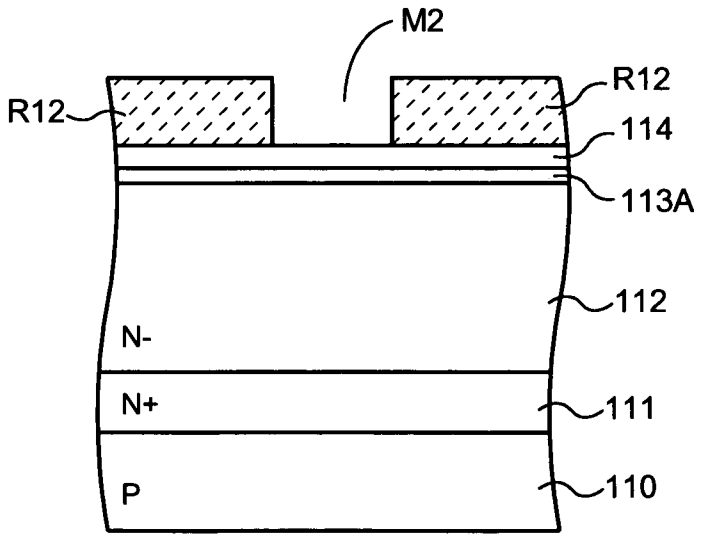


第１９図

（Ａ）

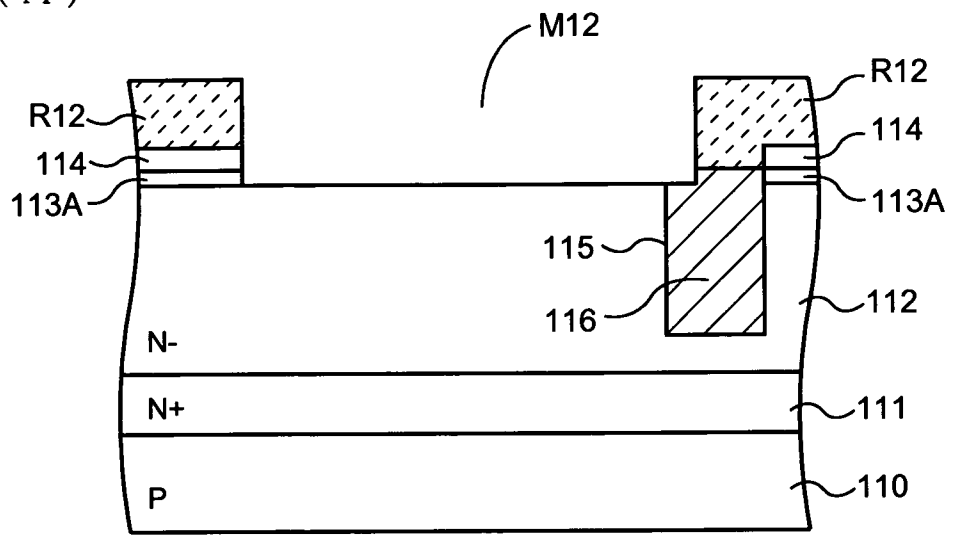

M2
R12
R12
114
114
113A
115
116
112
N-
N+
111
P
110

（Ｂ）

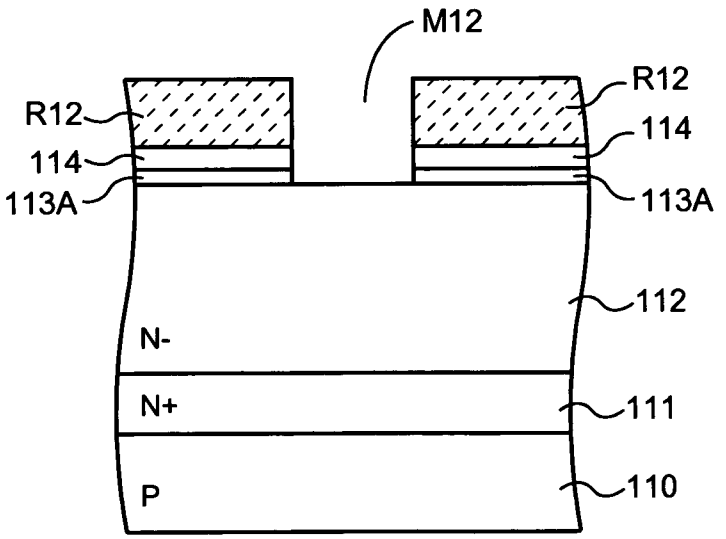

M2
R12
R12
114
113A
112
N-
N+
111
P
110

第２０図

（Ａ）

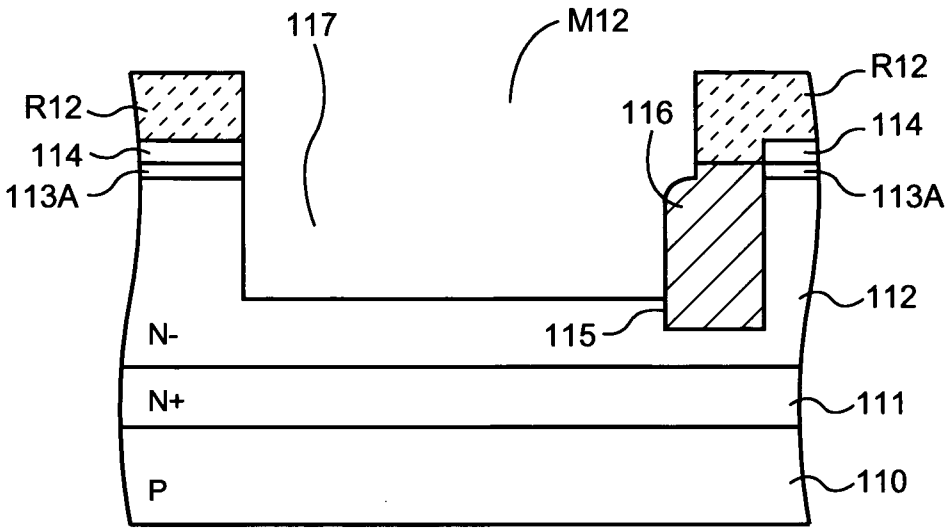

M12
R12
R12
114
114
113A
113A
115
116
112
N-
N+
111
P
110

（Ｂ）

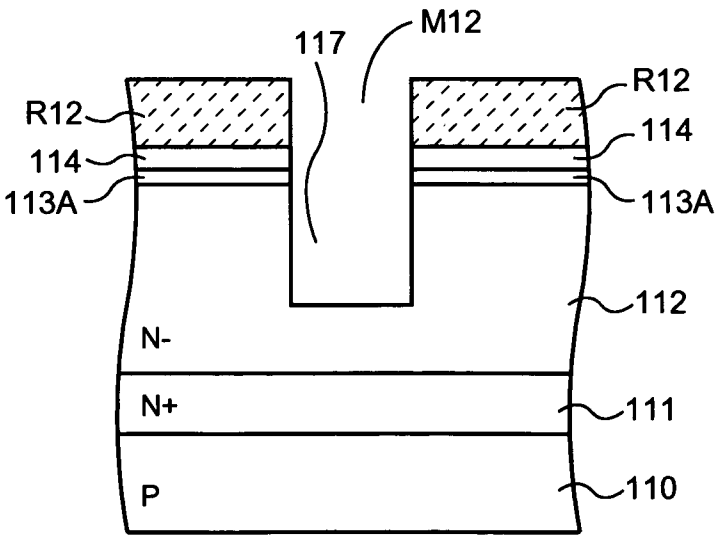

M12
R12
R12
114
114
113A
113A
112
N-
N+
111
P
110

第２１図

（Ａ）

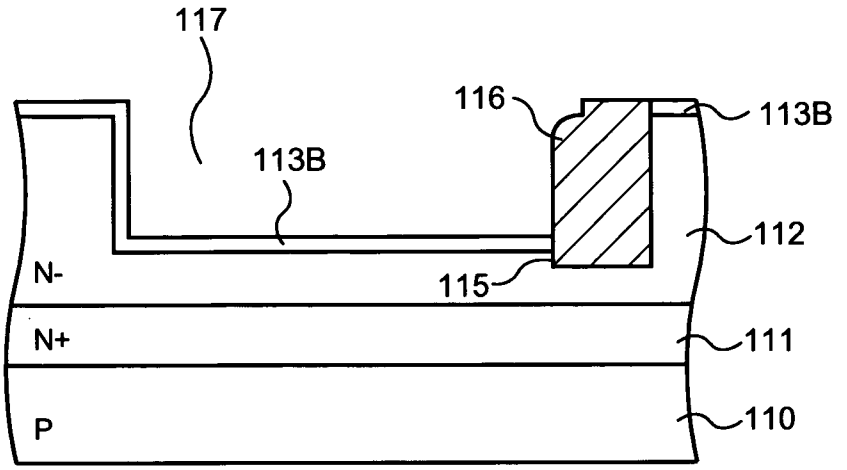

117
M12
R12
R12
116
114
114
113A
113A
112
N-
115
N+
111
P
110

（Ｂ）

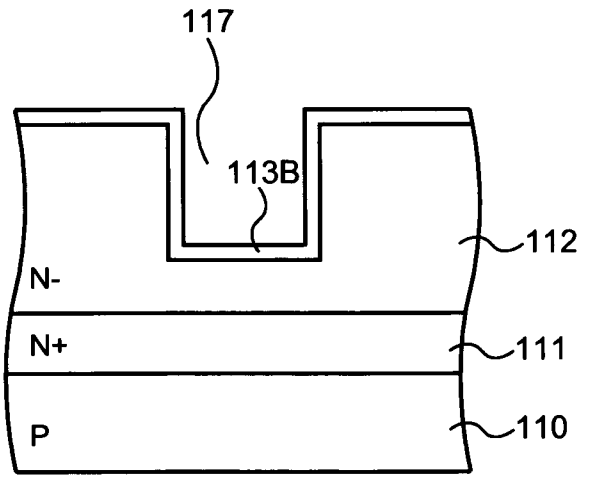

117
M12
R12
R12
114
114
113A
113A
112
N-
N+
111
P
110

第２２図

（Ａ）

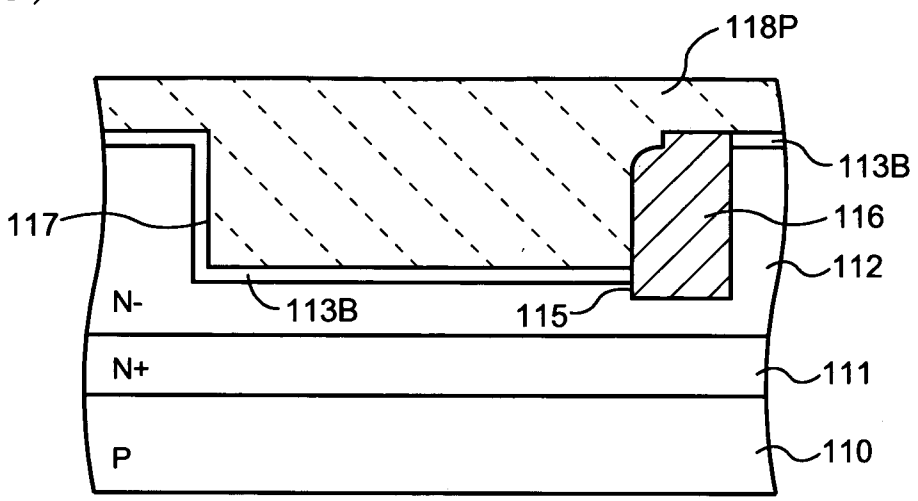


（Ｂ）

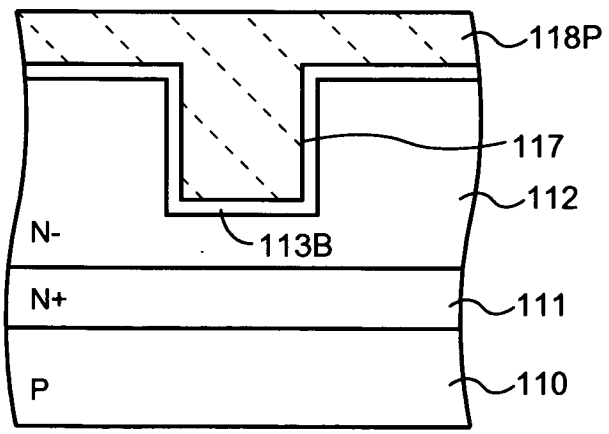


第２３図

（Ａ）

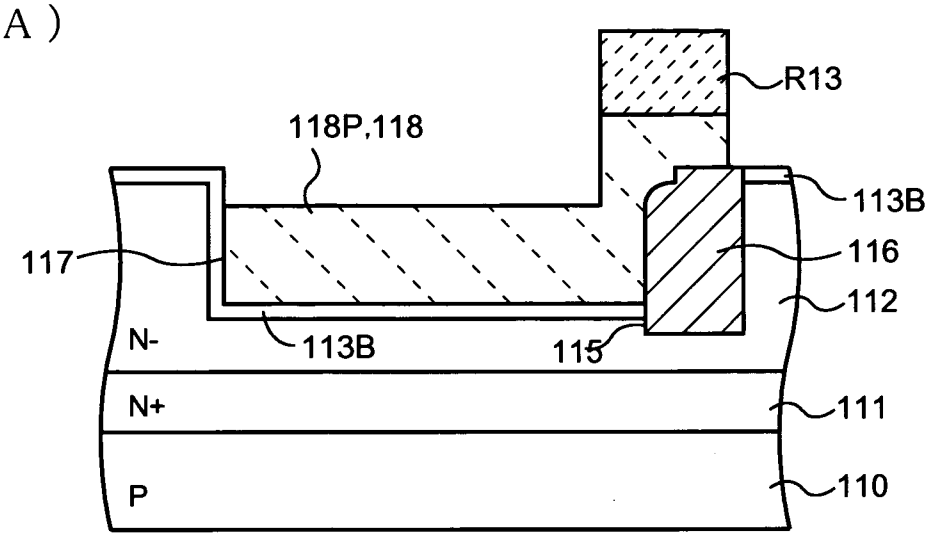

118P
113B
117
116
112
N-
113B
115
N+
111
P
110

（Ｂ）

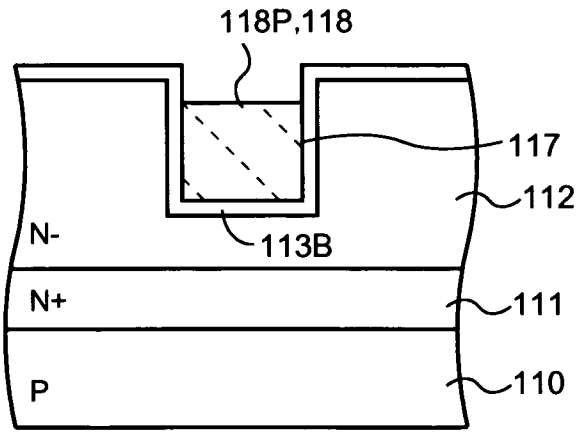

118P
117
112
N-
113B
N+
111
P
110

第２４図

（Ａ）

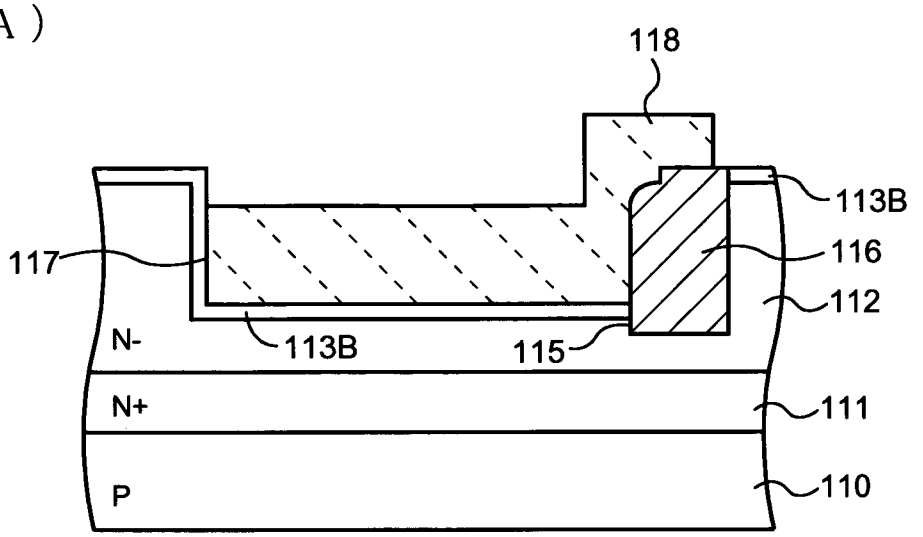

R13
118P,118
113B
117
116
112
N-
113B
115
N+
111
P
110

（Ｂ）

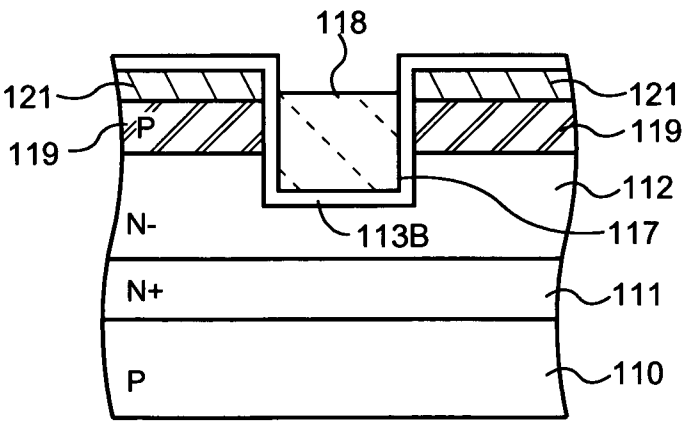

118P,118
117
112
N-
113B
N+
111
P
110

第２５図

（Ａ）

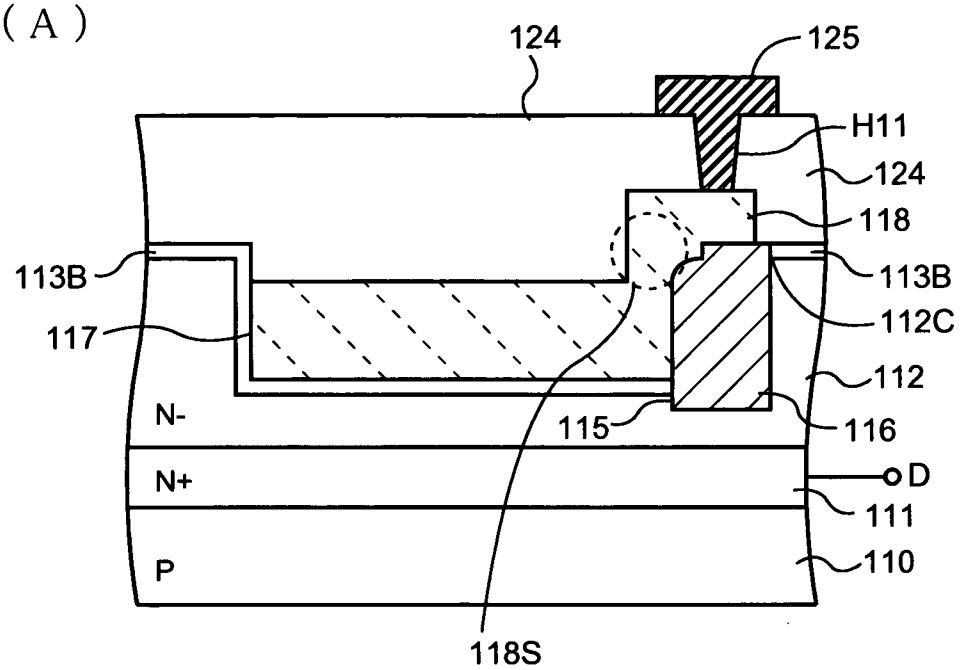

118
113B
117
116
112
N-
113B
115
N+
111
P
110

（Ｂ）

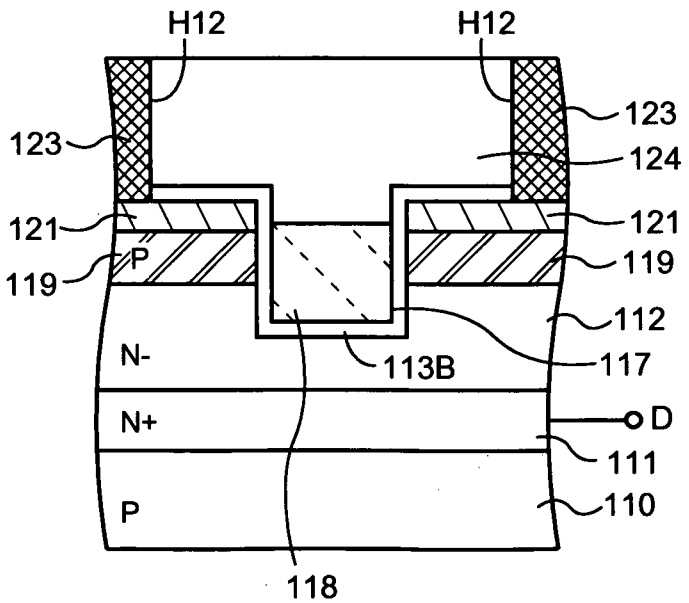

118
121
121
P
119
119
112
N-
113B
117
N+
111
P
110

第２６図

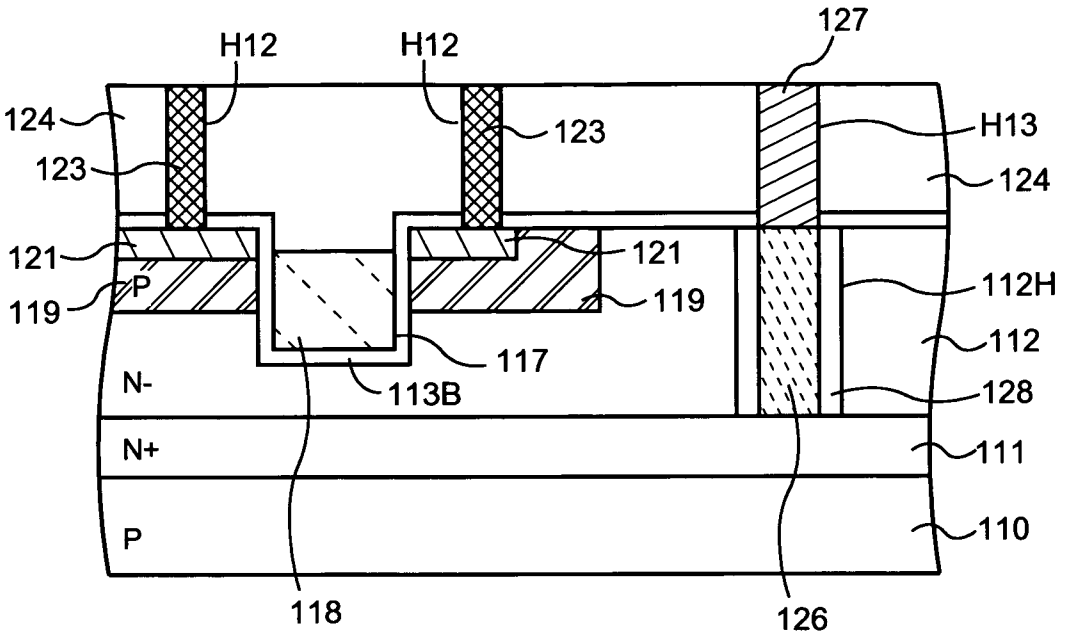
（Ａ）


124
125
H11
124
118
113B
113B
112C
117
112
N-
115
116
N+
D
111
P
110
118S

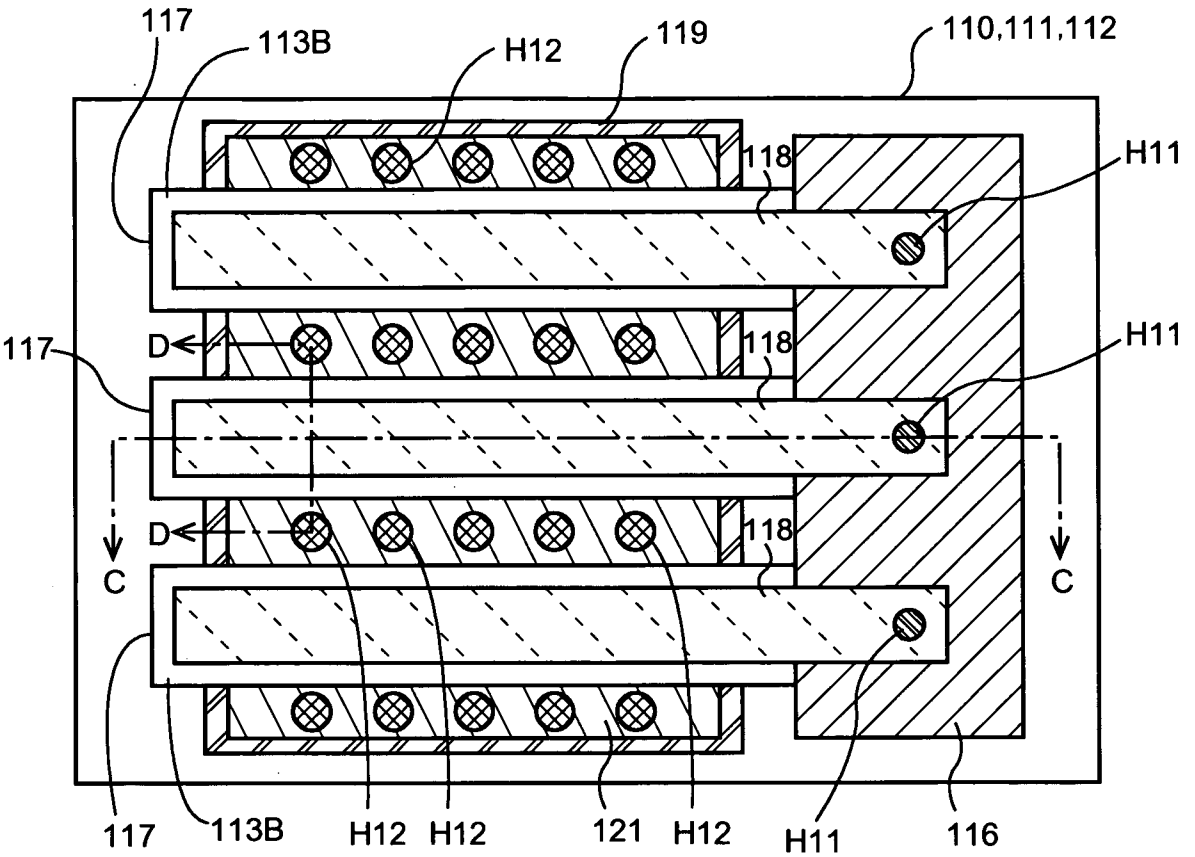
（Ｂ）


H12
H12
123
123
124
121
121
P
119
119
112
N-
113B
117
N+
D
111
P
110
118

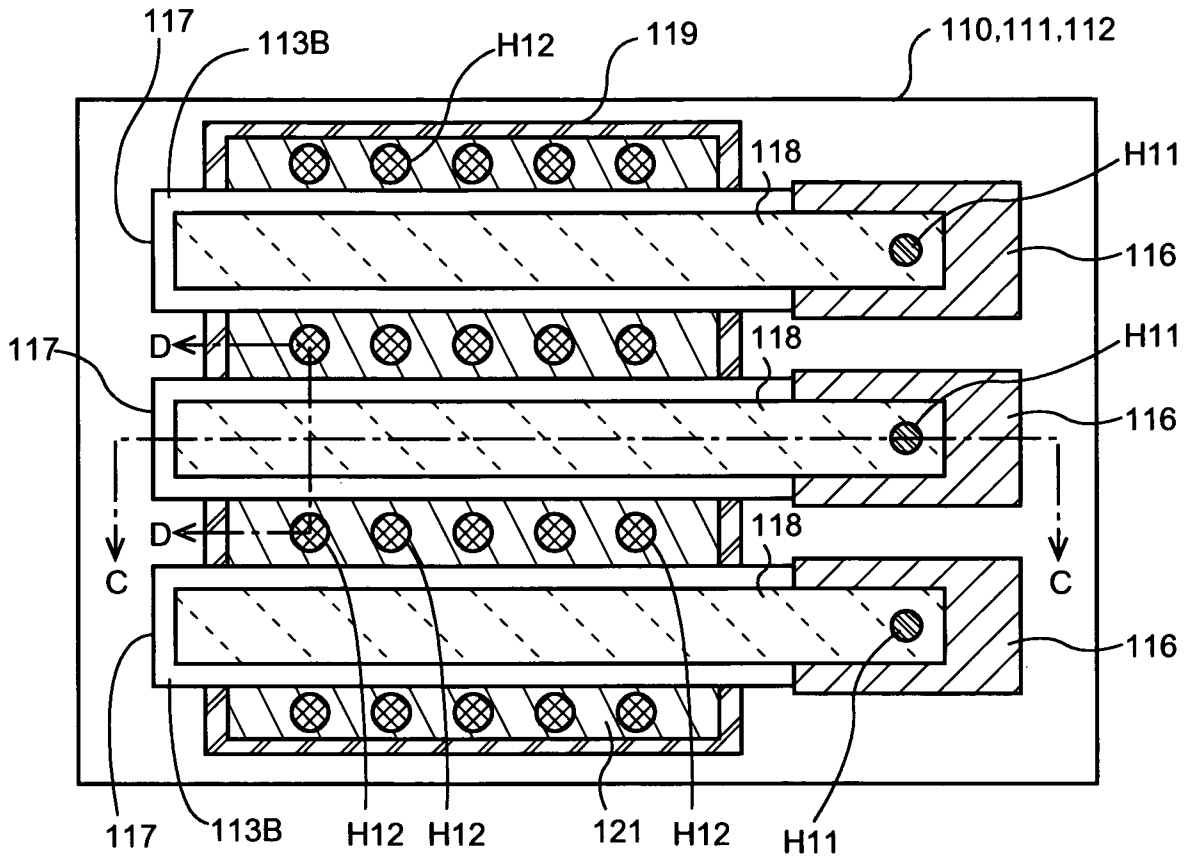
第２７図


H12
H12
127
124
123
123
H13
124
121
121
P
119
119
112H
112
117
N-
113B
128
N+
111
P
110
118
126

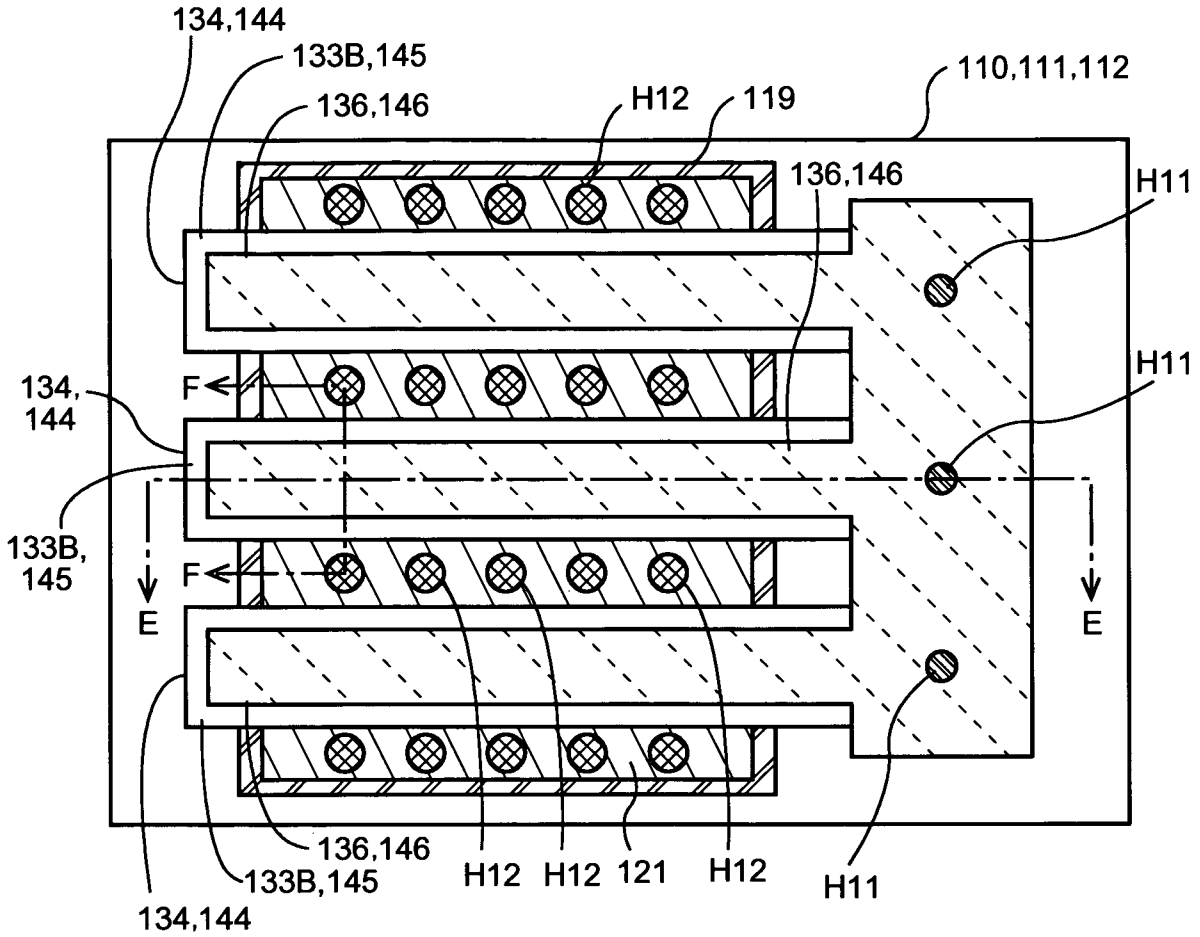
第２８図


117
113B
H12
119
110,111,112
118
H11
117
D
118
H11
D
118
C
C
117
113B
H12
H12
121
H12
H11
116

第２９図

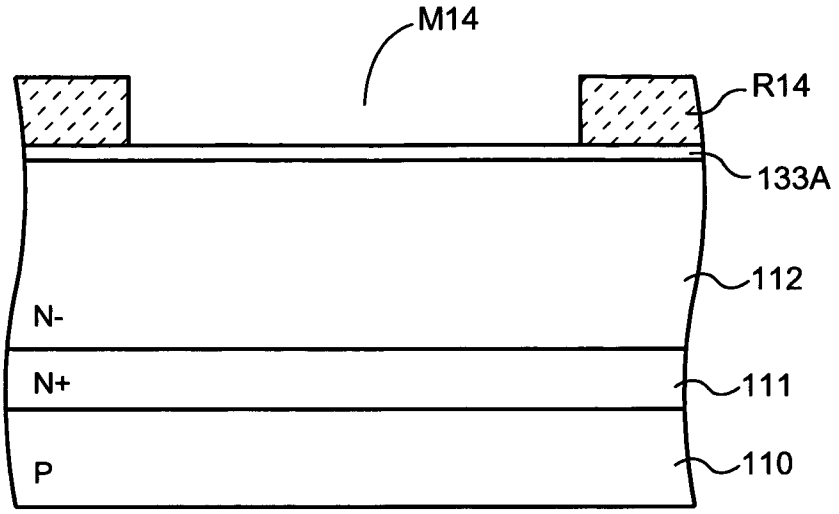

117
113B
H12
119
110,111,112
118
H11
116
117
D
118
H11
116
D
118
C
C
116
117
113B
H12
H12
121
H12
H11

第３０図

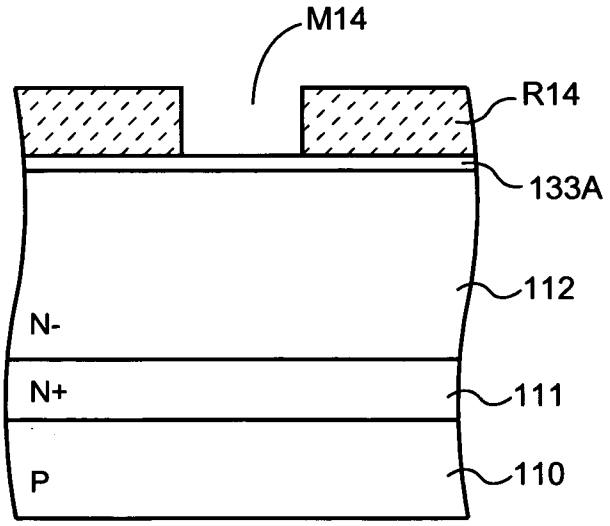

134,144
133B,145
136,146
H12
119
110,111,112
136,146
H11
H11
134,
144
F
133B,
145
F
E
E
136,146
133B,145
134,144
H12
H12
121
H12
H11

第３１図

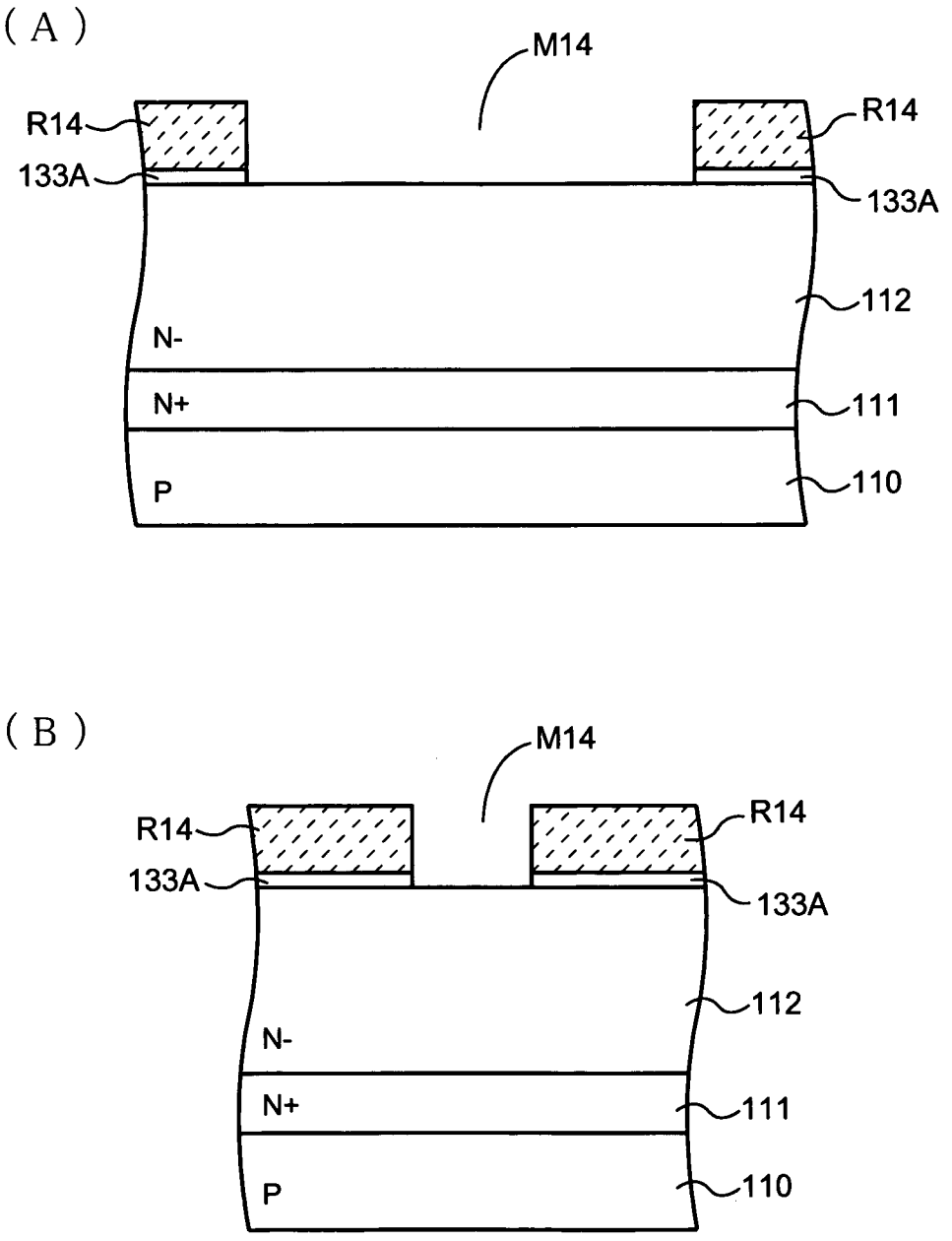
（Ａ）



（Ｂ）

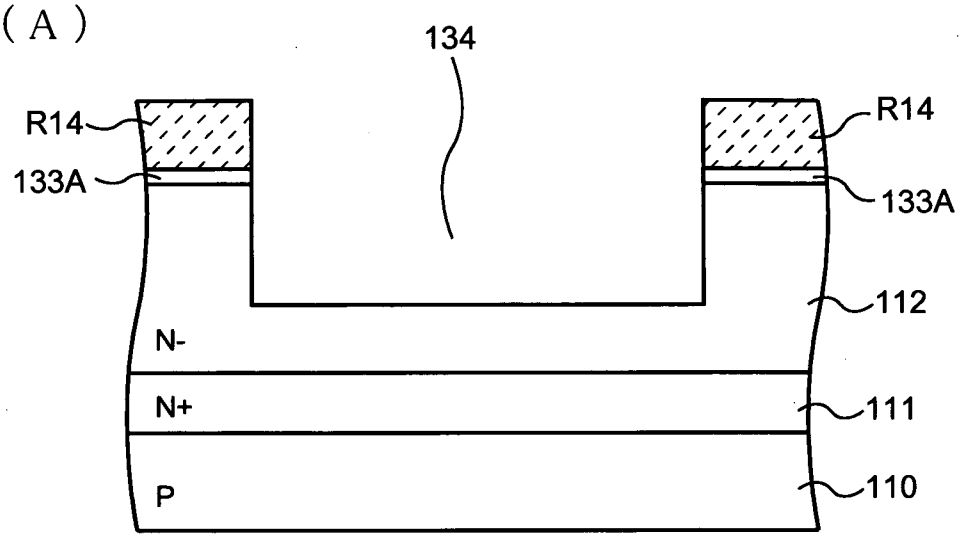


第３２図

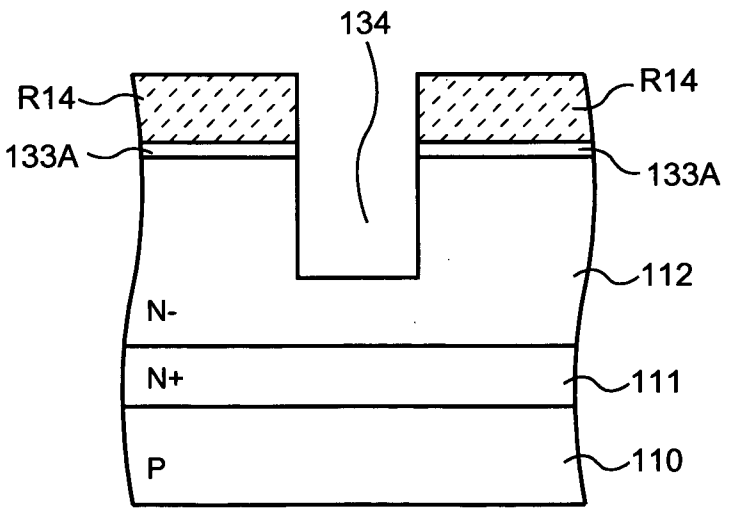

（Ａ）
M14
R14
R14
133A
133A
112
N-
N+
111
P
110
（Ｂ）
M14
R14
R14
133A
133A
112
N-
N+
111
P
110

第３３図

（Ａ）

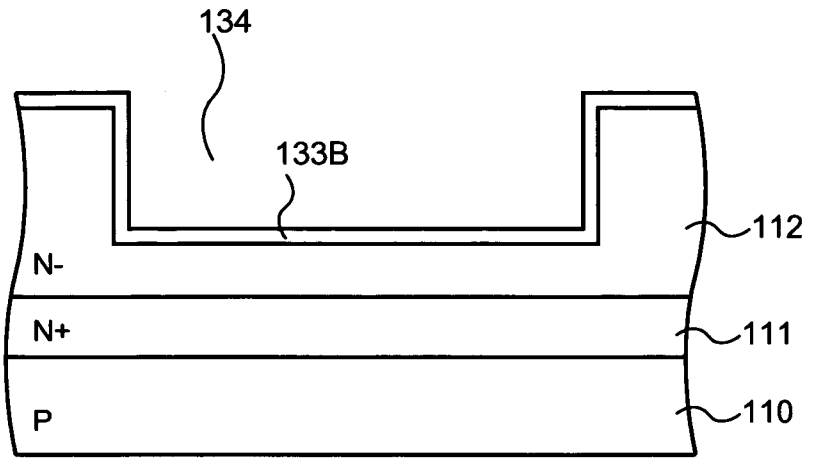

134
R14
R14
133A
133A
112
N-
N+
111
P
110

（Ｂ）

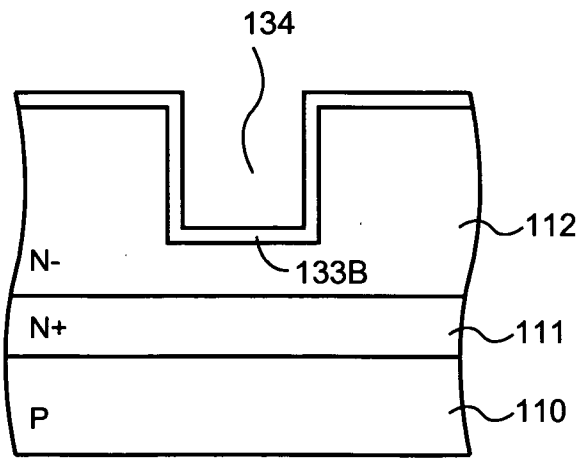

134
R14
R14
133A
133A
112
N-
N+
111
P
110

第３４図

（Ａ）

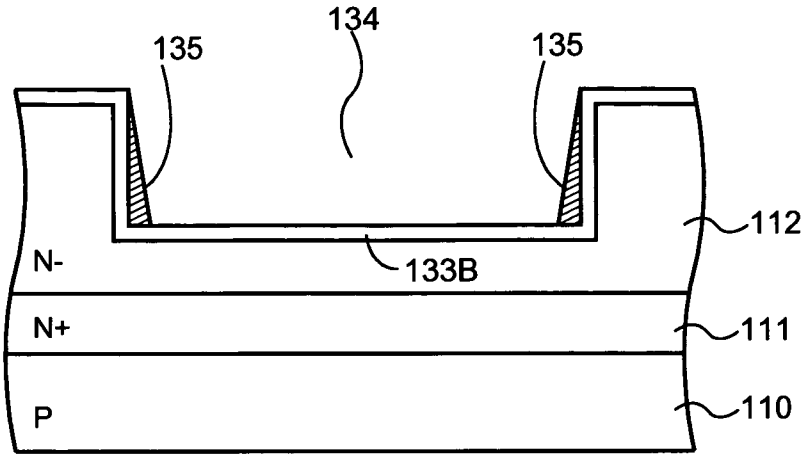


（Ｂ）

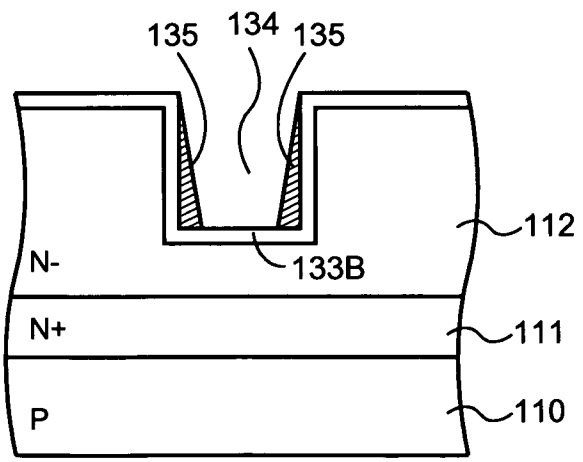


第３５図

（Ａ）

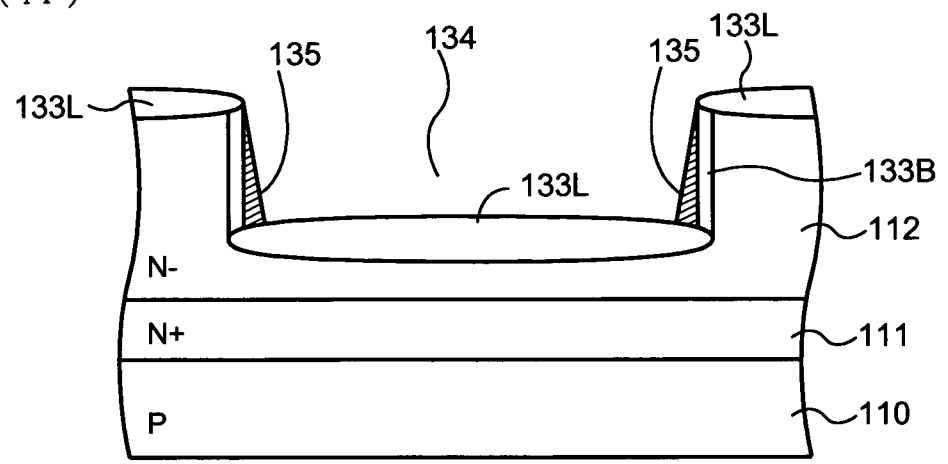

135
134
135
112
N-
133B
N+
111
P
110

（Ｂ）

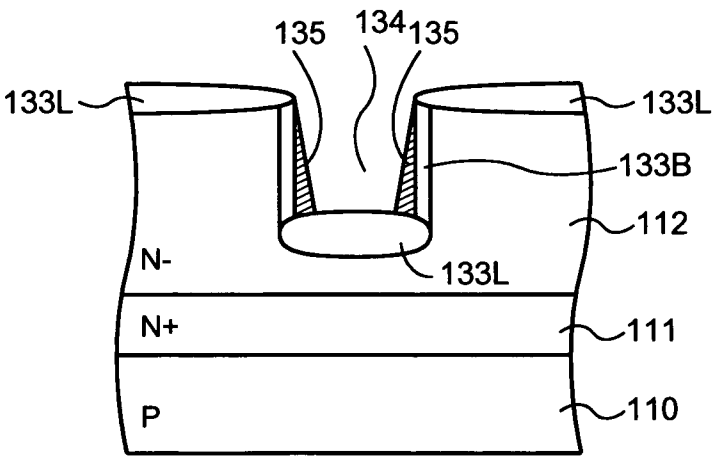

135
134
135
112
N-
133B
N+
111
P
110

第３６図

（Ａ）

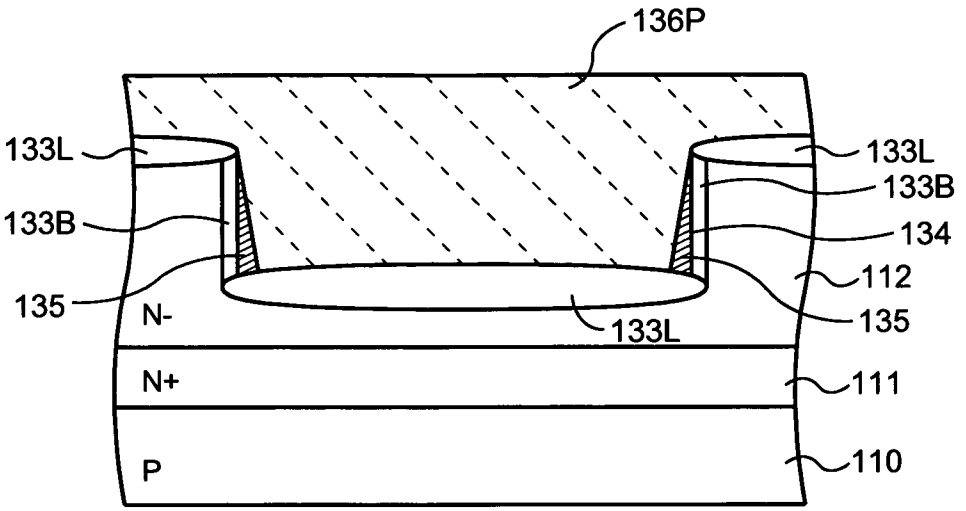

135
134
135
133L
133L
133L
133B
112
N-
N+
111
P
110

（Ｂ）

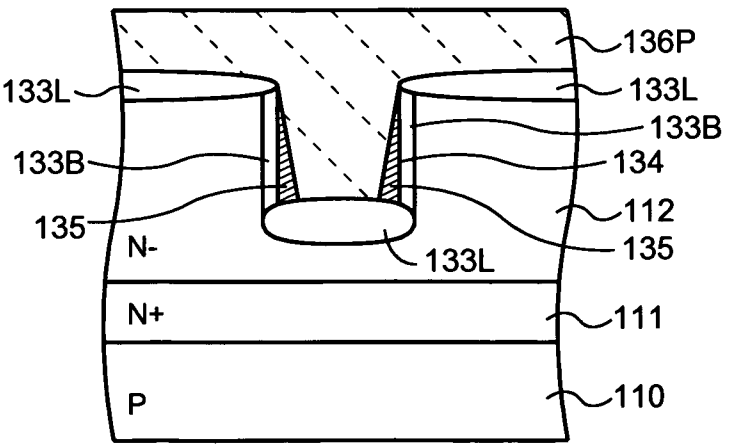

135
134
135
133L
133L
133B
112
N-
133L
N+
111
P
110

第３７図

（Ａ）

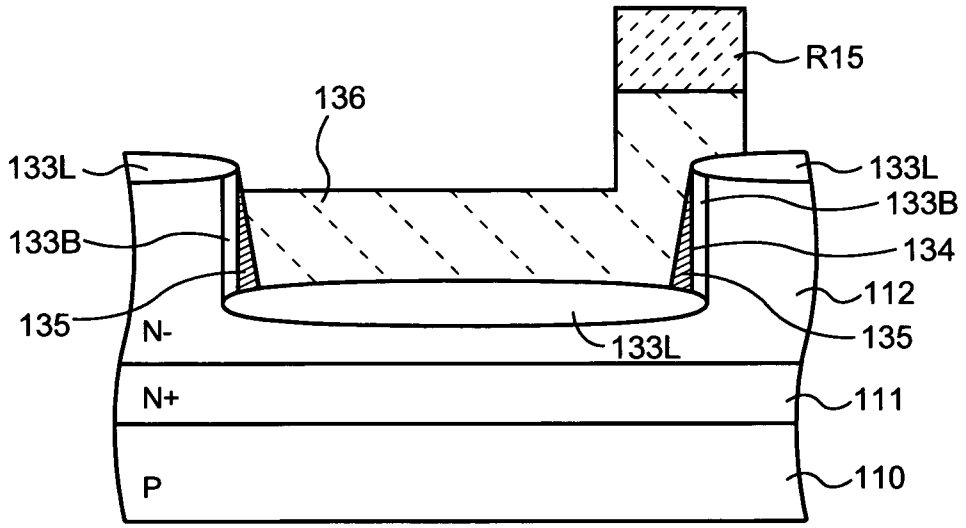

136P
133L
133L
133B
133B
134
112
135
135
N-
133L
N+
111
P
110

（Ｂ）

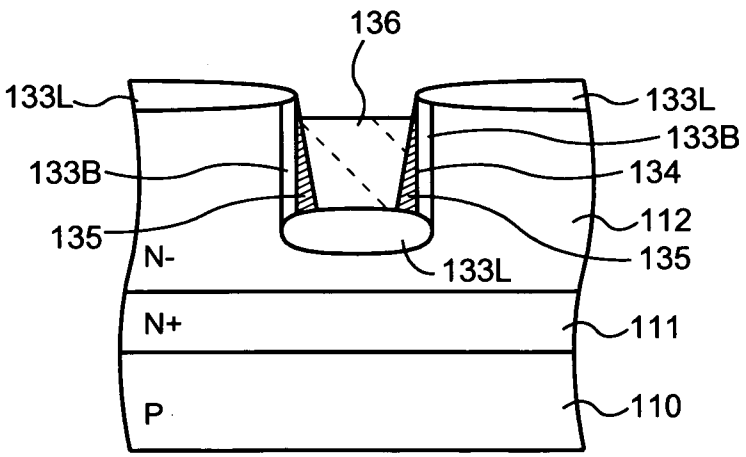

136P
133L
133L
133B
133B
134
112
135
135
N-
133L
N+
111
P
110

第３８図

（Ａ）

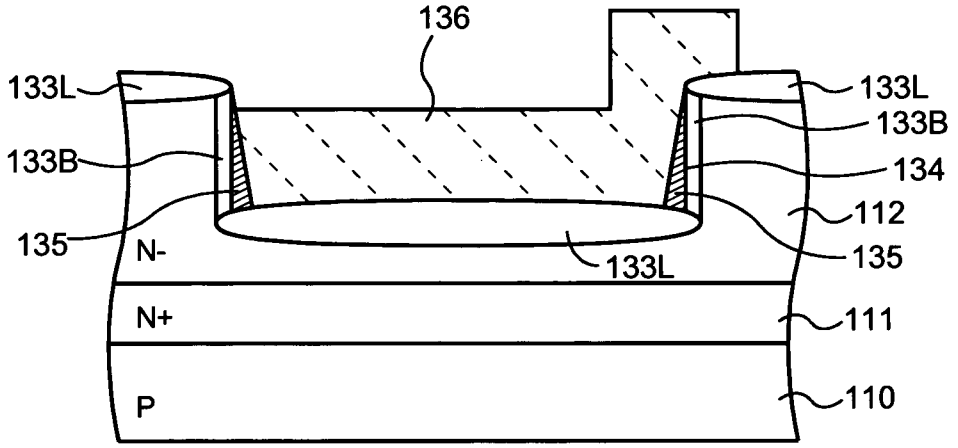

R15
136
133L
133L
133B
133B
134
112
135
N-
133L
135
N+
111
P
110

（Ｂ）

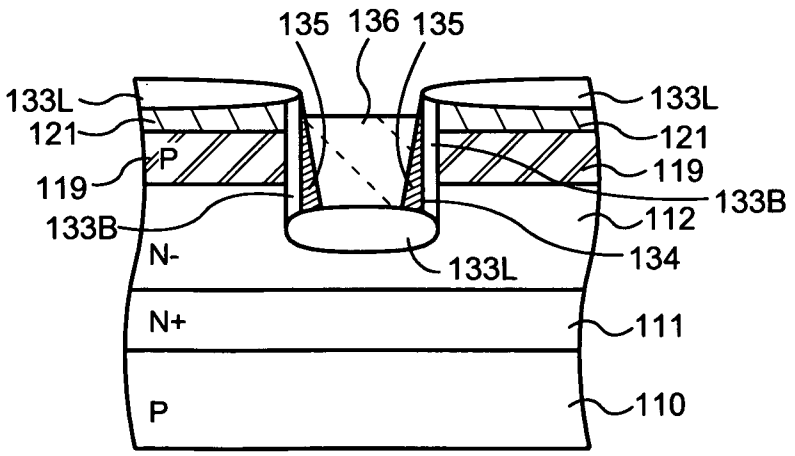

136
133L
133L
133B
133B
134
112
135
N-
133L
135
N+
111
P
110

第３９図

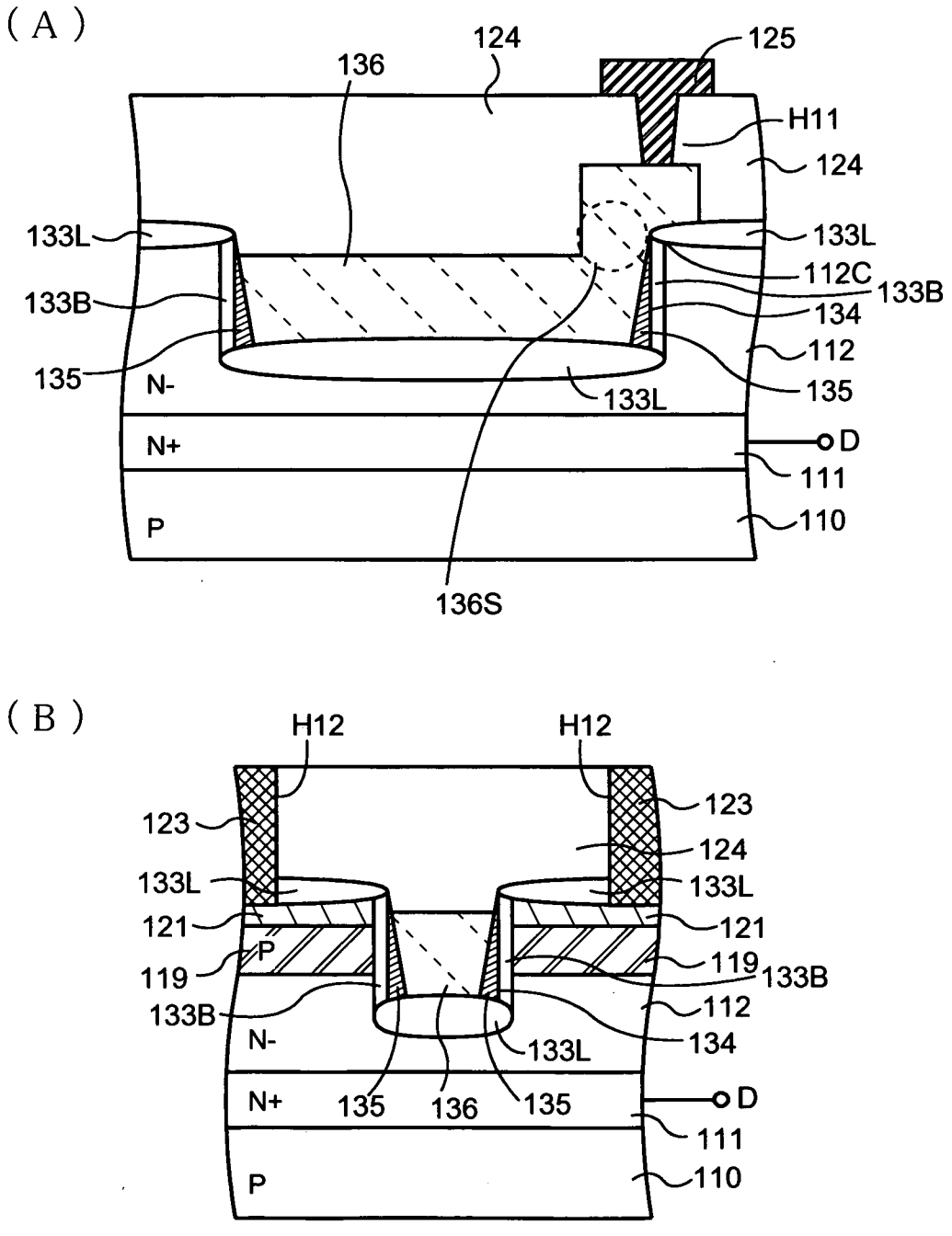
（Ａ）


136
133L
133L
133B
133B
134
112
135
135
N-
133L
N+
111
P
110

（Ｂ）

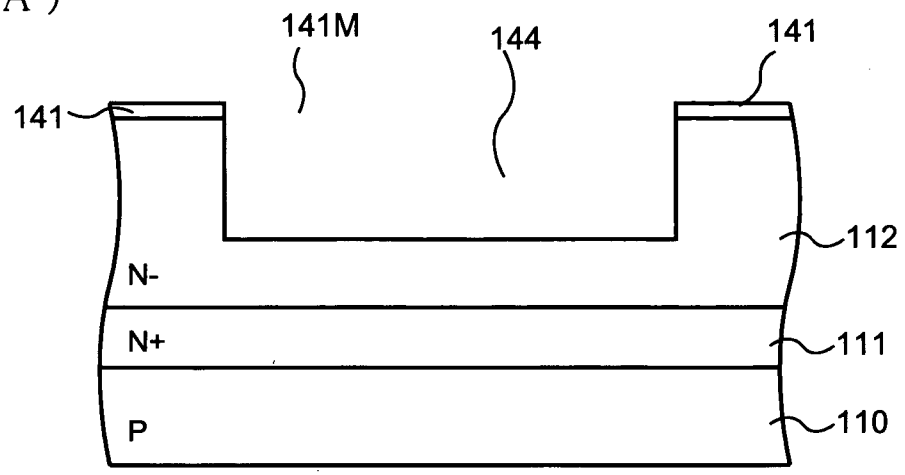

135
136
135
133L
133L
121
121
P
119
119
133B
133B
112
N-
134
133L
N+
111
P
110

第４０図

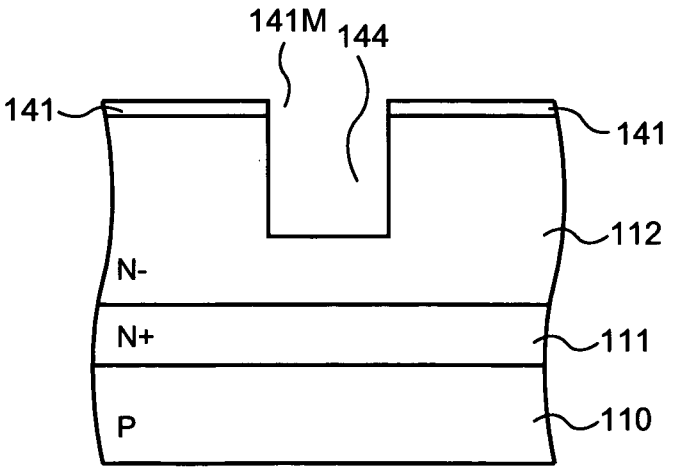

（A）
124
125
136
H11
124
133L
133L
112C
133B
133B
134
112
135
N-
133L
135
N+
D
111
P
110
136S
（B）
H12
H12
123
123
124
133L
133L
121
121
P
119
119
133B
133B
112
N-
134
133L
N+
135
136
135
D
111
P
110

第４１図

（Ａ）

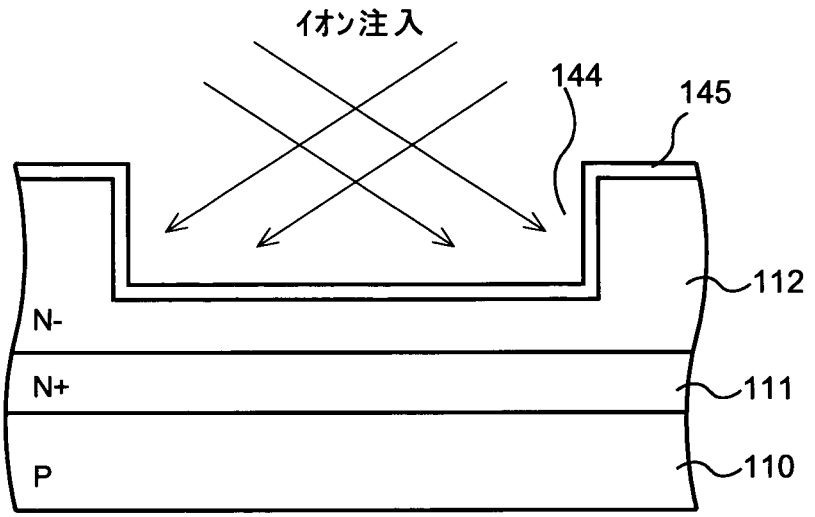

141M
144
141
141
112
N-
N+
111
P
110

（Ｂ）

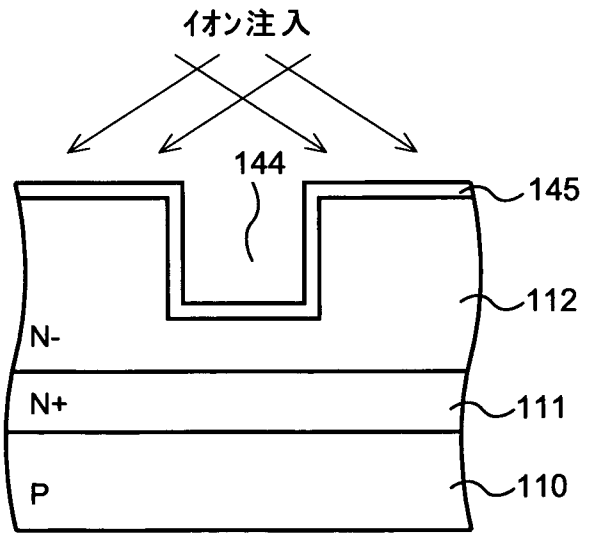

141M
144
141
141
112
N-
N+
111
P
110

第４２図

（Ａ）

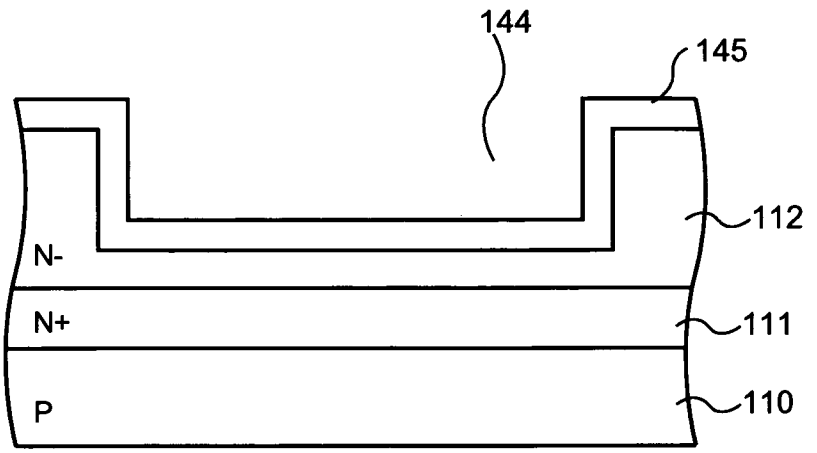


（Ｂ）

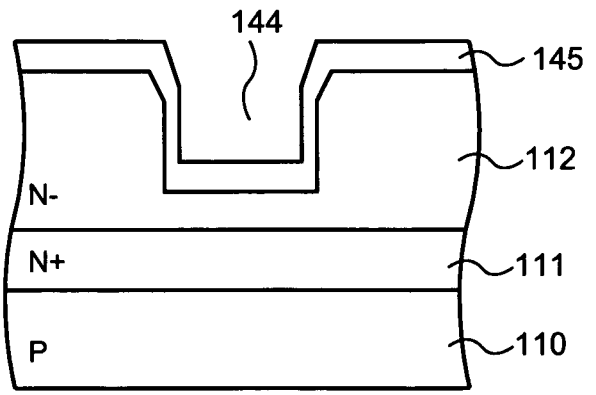


第４３図

（Ａ）

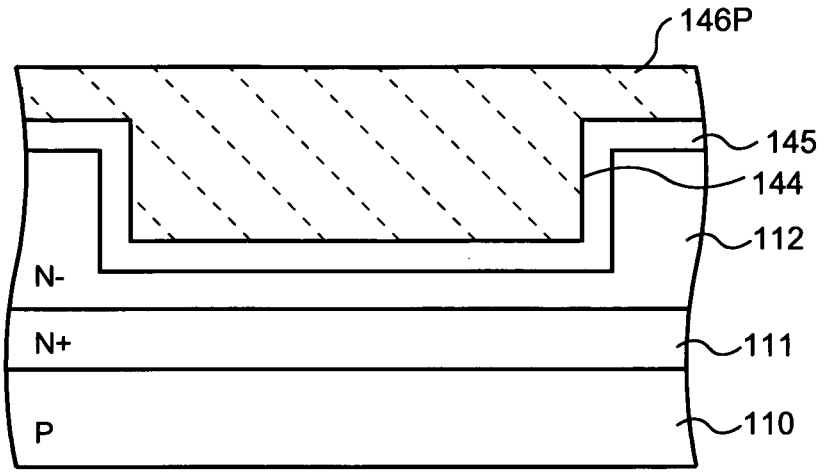


（Ｂ）

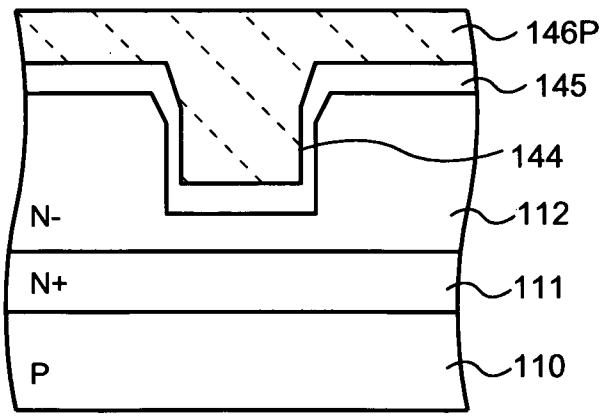


第４４図

（Ａ）

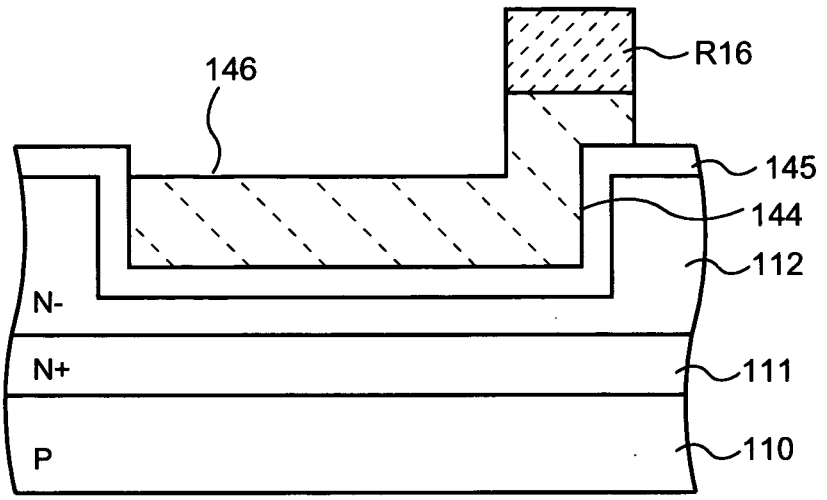


（Ｂ）

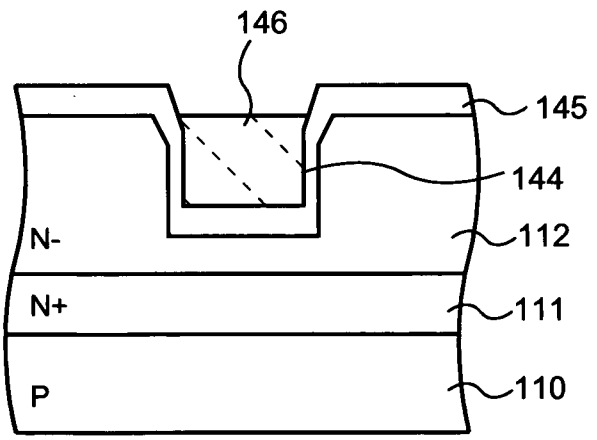


第４５図

（Ａ）

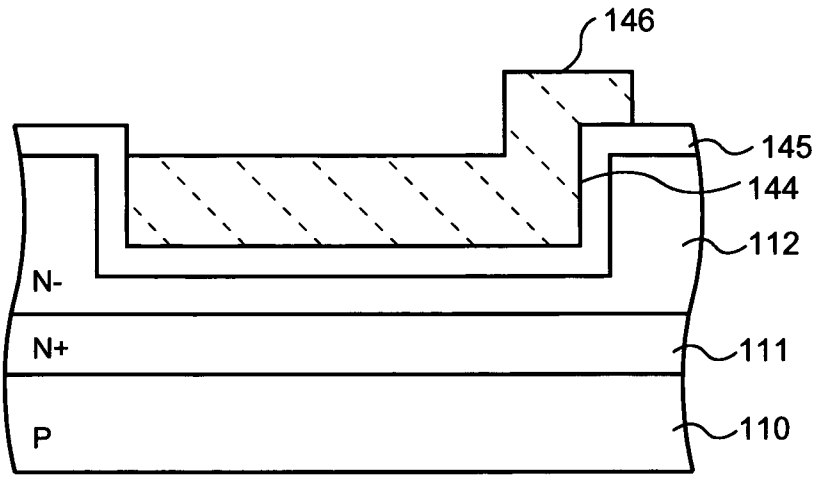


（Ｂ）

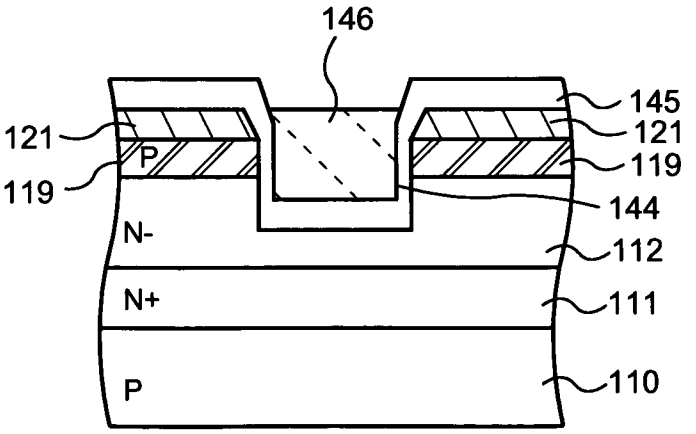


第４６図

（Ａ）

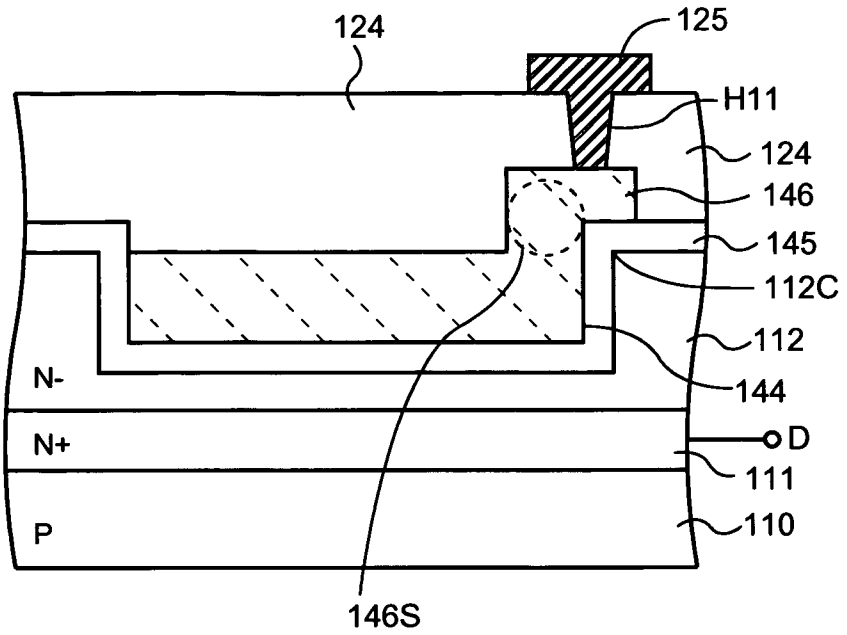

146
145
144
112
N-
N+
111
P
110

（Ｂ）

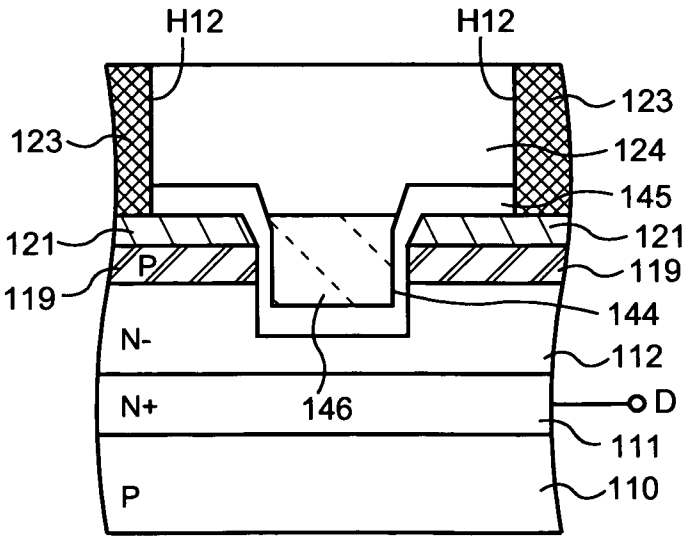

146
145
121
121
P
119
119
144
N-
112
N+
111
P
110

第４７図

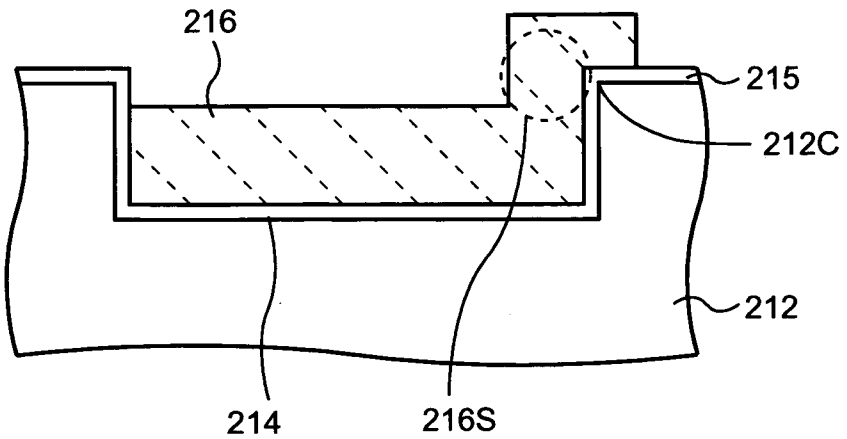
（Ａ）


124
125
H11
124
146
145
112C
112
144
N-
N+
D
111
P
110
146S

（Ｂ）


H12
H12
123
123
124
145
121
121
P
119
119
144
N-
112
N+
146
D
111
P
110

第４８図



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2008/068115

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/78(2006.01)i, *H01L21/336*(2006.01)i, *H01L29/739*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/78, H01L21/336, H01L29/739

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2008
Kokai Jitsuyo Shinan Koho 1971-2008 Toroku Jitsuyo Shinan Koho 1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2001-015733 A (Fuji Electric Co., Ltd.), 19 January, 2001 (19.01.01), Par. Nos. [0016] to [0032]; Figs. 1 to 13 (Family: none)	1-3,6
A	JP 2004-055659 A (Toyota Central Research and Development Laboratories, Inc.), 19 February, 2004 (19.02.04), Par. Nos. [0049] to [0053]; Figs. 19, 22 (Family: none)	1-3,6

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
15 December, 2008 (15.12.08)	22 December, 2008 (22.12.08)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2008/068115

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See extra sheet.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1-3 and 6

Remark on Protest

the

☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.

☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.

☐ No protest accompanied the payment of additional search fees.

Continuation of Box No.III of continuation of first sheet(2)

The inventions in claims 1-13 have the same or corresponding features of such a common feature that "a semiconductor layer, a gate insulating film formed in a trench formed on the semiconductor layer by extending over the semiconductor layer outside the trench, a gate electrode formed on the gate insulating film, and a body layer formed in the vicinity of the surface of the semiconductor layer by being brought into contact with the gate insulating film on a side wall of the trench are provided, and that the gate insulating film is provided with a first gate insulating film having a first film thickness at a portion brought into contact with the body layer, and a second gate insulating film having a second film thickness larger than the first film thickness at a portion extending from the inside of trench to the semiconductor layer outside the trench".

This technical feature, however, is publicly known, as disclosed in JP 2001-015733 A, in paragraphs [0016]-[0021] and Figs. 1 and 2.

Therefore, the inventions in claims 1-13 do not have a technical relationship expressed by the same or corresponding special technical features.

Consequently, the inventions in claims 1-13 are not a group of inventions so linked as to form a single general inventive concept.

The groups of the inventions so linked as to form a general inventive concept in claims of this international application are as follows; the invention in claims 1-3 and 6, the invention in claims 4 and 5, the invention in claims 7 and 8, the invention in claim 9, the invention in claims 10 and 11, and the invention in claims 12 and 13.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００８／０６８１１５

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L29/739(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/78, H01L21/336, H01L29/739

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００８年
日本国実用新案登録公報	１９９６－２００８年
日本国登録実用新案公報	１９９４－２００８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X	JP 2001-015733 A (富士電機株式会社) 2001.01.19, 段落[0016]-[0032], 図 1-13 (ファミリーなし)	１－３，６
A	JP 2004-055659 A (株式会社豊田中央研究所) 2004.02.19, 段落[0049]-[0053], 図 19, 22 (ファミリーなし)	１－３，６

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１５．１２．２００８	２２．１２．２００８

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）	４Ｍ	４０３９
日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	恩田　春香 電話番号　０３－３５８１－１１０１　内線　３４６２		

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００８／０６８１１５

第Ⅱ欄　請求の範囲の一部の調査ができないときの意見（第１ページの２の続き）

法第8条第3項（ＰＣＴ17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

１．☐ 請求の範囲＿＿＿＿＿＿＿＿は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、

２．☐ 請求の範囲＿＿＿＿＿＿＿＿は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

３．☐ 請求の範囲＿＿＿＿＿＿＿＿は、従属請求の範囲であってＰＣＴ規則6.4(a)の第２文及び第3文の規定に従って記載されていない。

第Ⅲ欄　発明の単一性が欠如しているときの意見（第１ページの３の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

特別ページ参照

１．☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。

２．☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。

３．☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。

４．☑ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲１－３，６

追加調査手数料の異議の申立てに関する注意

☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。

☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。

☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

請求の範囲１－１３に係る発明は、「半導体層と、前記半導体層に形成されたトレンチの内に形成され、前記トレンチの外の前記半導体層上に延びたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記半導体層の表面近傍に形成され、前記トレンチの側壁上の前記ゲート絶縁膜に接したボディ層と、を備え、
前記ゲート絶縁膜は、前記ボディ層に接する部分で第１の膜厚を有する第１のゲート絶縁膜と、前記トレンチ内から前記トレンチの外の前記半導体層上に延びる部分で前記第１の膜厚より厚い第２の膜厚を有する第２のゲート絶縁膜と、を備える」という同一の又は対応する技術的特徴を有する点で共通する。
しかしながら、当該技術的特徴はJP 2001-015733 Aの段落[0016]-[0021]，図1,2に記載されているように公知である。
したがって、請求の範囲１－１３に係る発明は相互に同一の又は対応する特別な技術的特徴によって表現された技術的相互関連性を有しているとは認められない。
よって、請求の範囲１－１３に係る発明は単一の一般的発明概念を形成するように関連している一群の発明とすることはできない。

そして、この国際出願の請求の範囲に記載されている、一般的発明概念を形成するように連関している発明の群は、請求の範囲１－３，６に係る発明、請求の範囲４，５に係る発明、請求の範囲７，８に係る発明、請求の範囲９に係る発明、請求の範囲１０，１１に係る発明、請求の範囲１２，１３に係る発明である。