



## (12) 发明专利申请

(10) 申请公布号 CN 101714854 A

(43) 申请公布日 2010.05.26

(21) 申请号 200910179176.7

G09G 3/20 (2006.01)

(22) 申请日 2009.09.29

G09G 3/32 (2006.01)

(30) 优先权数据

259249/2008 2008.10.06 JP

146836/2009 2009.06.19 JP

(71) 申请人 松下电器产业株式会社

地址 日本大阪府

(72) 发明人 小川宗彦 西和义 小岛宽

小岛友和

(74) 专利代理机构 永新专利商标代理有限公司

72002

代理人 黄剑锋

(51) Int. Cl.

H03F 3/45 (2006.01)

H03F 1/30 (2006.01)

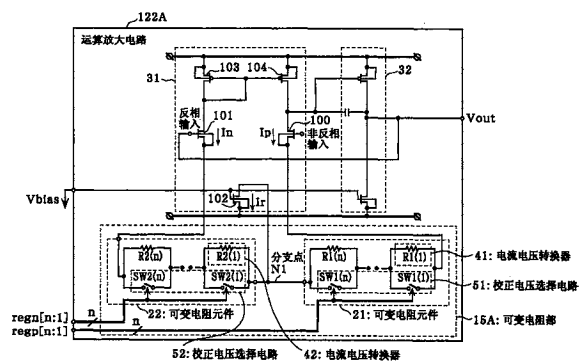
权利要求书 3 页 说明书 21 页 附图 17 页

(54) 发明名称

运算放大电路以及显示装置

(57) 摘要

本发明所涉及的运算放大电路包括差动放大部。差动放大部包括：形成第一差动对的第一差动晶体管和第二差动晶体管；以及向所述第一差动对提供电流的电流源晶体管。所述运算放大电路还包括：第一可变电阻元件，该第一可变电阻元件被连接于所述第一差动晶体管和所述第二差动晶体管的至少一方与所述电流源晶体管的漏极之间；所述第一可变电阻元件包括：第一端子和第二端子；被串联连接的多个第一电阻元件；以及第一校正电压选择电路，通过变更被连接于所述第一端子和所述第二端子之间的、被串联连接的多个第一电阻元件的级数，从而变更第一端子和第二端子之间的电阻值。



1. 一种运算放大电路,包括差动放大部,

所述差动放大部包括:

形成第一差动对的第一差动晶体管和第二差动晶体管;以及

向所述第一差动对提供电流的电流源晶体管;

所述运算放大电路还包括:

第一可变电阻元件,该第一可变电阻元件被连接于所述第一差动晶体管和所述第二差动晶体管的至少一方的源极与所述电流源晶体管的漏极之间;

所述第一可变电阻元件包括:

第一端子和第二端子;

被串联连接的多个第一电阻元件;以及

第一校正电压选择电路,通过变更被连接于所述第一端子和所述第二端子之间的、所述被串联连接的多个第一电阻元件的级数,从而变更所述第一端子和所述第二端子之间的电阻值。

2. 如权利要求1所述的运算放大电路,

所述第一可变电阻元件被连接于所述第一差动晶体管的源极与所述电流源晶体管的漏极之间;

所述运算放大电路还包括:

第二可变电阻元件,该第二可变电阻元件被连接于所述第二差动晶体管的源极与所述电流源晶体管的漏极之间;

所述第二可变电阻元件包括:

第三端子和第四端子;

被串联连接的多个第二电阻元件;以及

第二校正电压选择电路,通过变更被连接于所述第三端子和所述第四端子之间的、所述被串联连接的多个第二电阻元件的级数,从而变更所述第三端子和所述第四端子之间的电阻值。

3. 如权利要求1所述的运算放大电路,

所述运算放大电路还具有校正极性切换电路,对第一模式和第二模式进行切换,所述第一模式是指,在将所述第一可变电阻元件连接于所述第一差动晶体管的源极与所述电流源晶体管的漏极之间的状态下,不使该第一可变电阻元件连接于所述第二差动晶体管的源极与所述电流源晶体管的漏极之间,所述第二模式是指,在将所述第一可变电阻元件连接于所述第二差动晶体管的源极与所述电流源晶体管的漏极之间的状态下,不使该第一可变电阻元件连接于所述第一差动晶体管的源极与所述电流源晶体管的漏极之间。

4. 如权利要求1所述的运算放大电路,

所述运算放大电路还包括:

可变电流源,将多个电流值中的某个电流值的电流有选择地提供给所述第一差动晶体管以及所述第二差动晶体管的至少一方的源极。

5. 如权利要求1所述的运算放大电路,

所述运算放大电路还包括:

电压可变电路,将多个电压值中的某个电压值的电压有选择地输出到所述电流源晶体

管的栅极。

6. 如权利要求 1 所述的运算放大电路，

所述第一校正电压选择电路包括多个第一开关，该多个第一开关被设置成与所述多个第一电阻元件的每一个相对应，使对应的所述第一电阻元件的两端短路或断开。

7. 如权利要求 6 所述的运算放大电路，

所述多个第一电阻元件的各个电阻值不同。

8. 如权利要求 1 所述的运算放大电路，

所述第一校正电压选择电路包括：多个第一开关，该多个第一开关的每一个的一端被分别连接于所述多个第一电阻元件的串联连接的两端以及分支点，而另一端被连接于所述第一端子以及所述第二端子中的一方。

9. 如权利要求 6 所述的运算放大电路，

所述第一电阻元件的电阻值的温度依存性是，所述第一开关的电阻值的温度依存性的反方向的特性。

10. 如权利要求 1 所述的运算放大电路，

所述第一差动晶体管和所述第二差动晶体管是 N 沟道 MOS 晶体管。

11. 如权利要求 1 所述的运算放大电路，

所述第一差动晶体管和所述第二差动晶体管是 P 沟道 MOS 晶体管。

12. 如权利要求 1 所述的运算放大电路，

所述第一差动晶体管和所述第二差动晶体管是 N 沟道 MOS 晶体管；

所述差动放大部还包括形成第二差动对的第三差动晶体管和第四差动晶体管；

所述第三差动晶体管和所述第四差动晶体管是 P 沟道 MOS 晶体管。

13. 一种运算放大电路，包括差动放大部，

所述差动放大部包括：

形成第一差动对的第一差动晶体管以及第二差动晶体管；以及

向所述第一差动对提供电流的电流源晶体管；

所述运算放大电路还包括：

第一可变电阻元件，该第一可变电阻元件被连接于所述第一差动晶体管和所述第二差动晶体管的至少一方的源极与所述电流源晶体管的漏极之间；

所述第一可变电阻元件包括：

第一端子以及第二端子；

晶体管，该晶体管的源极端子以及漏极端子的一方被连接于所述第一端子，该晶体管的所述源极端子以及所述漏极端子的另一方被连接于所述第二端子；以及

电压可变电路，通过向所述晶体管提供多个电压值中的某个电压值的电压，来变更所述晶体管的导通电阻。

14. 如权利要求 13 所述的运算放大电路，

所述晶体管的栅极端子被施加有一定的电压；

所述电压可变电路通过变更晶体管的衬底偏压，从而变更所述晶体管的导通电阻。

15. 如权利要求 13 所述的运算放大电路，

所述晶体管被提供有一定的衬底偏压；

所述电压可变电路通过变更所述晶体管的栅极电压,从而变更所述晶体管的导通电阻。

16. 一种显示装置,显示与图像数据相对应的图像,该显示装置包括:

显示面板,显示所述图像;以及

显示驱动装置,驱动所述显示面板;

所述显示面板包括:

被配置成矩阵状的多个发光像素;以及

按每一行或每一列设置的多个源极线;

所述显示驱动装置包括:

权利要求 1 所述的多个运算放大电路,该多个运算放大电路的每一个被设置于所述源极线的每一线,向对应的所述源极线输出与所述图像数据相对应的信号电压。

17. 如权利要求 16 所述的显示装置,

所述显示面板为有机 EL 面板。

## 运算放大电路以及显示装置

### 技术领域

[0001] 本发明涉及运算放大电路以及显示装置,尤其涉及包括差动放大部的运算放大电路。

### 背景技术

[0002] 近些年,液晶面板以及有机 EL(organic electroluminescence:电致发光)面板被利用于便携式设备、小型移动设备以及大型面板设备。并且,液晶面板以及有机 EL(电致发光)面板被利用于市场日趋扩大的电视等映像设备领域中的显示装置。在这种显示装置中,为了更加接近自然画质,多阶度化(8bit → 10bit → 12bit)以及显示面板的高画质化正在不断地推广。并且,对于显示装置所具备的显示驱动器 LSI,则被要求降低输出端子之间的输出电压的不均一性(偏差)。

[0003] 例如,在专利文献 1 和专利文献 2 中公开了在以往的技术中降低这种输出电压的不均一性的方法。

[0004] 以下对专利文献 1 所述的输出电路 300 进行说明。

[0005] 图 18 示出了专利文献 1 所述的输出电路 300 的构成。

[0006] 在图 18 所示的输出电路 300 中,在差动级的差动晶体管的源极和差动级的电流源晶体管的漏极上被并联连接有多组电阻和开关。

[0007] 在图 18 所示的输出电路 300 中,被形成有包括差动晶体管 302 和 304 的运算放大器,在差动晶体管 302 和分支点 306 之间被连接有电阻 RA1,在差动晶体管 304 和分支点 306 之间被连接有电阻 RB1。

[0008] 并且,在差动晶体管 302 和分支点 306 之间,多组电阻 RA2、RA3、RA4、…分别与多个开关 310 相连接,同样,在差动晶体管 304 和分支点 306 之间,多组电阻 RB2、RB3、RB4、…分别与多个开关 310 相连接。

[0009] 以下,对具有以上这种构成的输出电路 300 的工作进行说明。

[0010] 首先,将分别被连接于电阻 RA2、RA3、RA4、…的开关 310 全部设为接通状态,将分别被连接于电阻 RB2、RB3、RB4、…的开关 310 全部设为断开状态,在这种状态下进行输出电路 300 的输出。由于电阻 RA2、RA3、RA4、…被并联连接,因此,在只有相同的电流流入到差动晶体管 302 和 304 时,差动晶体管 304 的源极和分支点 306 之间的电压比差动晶体管 302 的源极和分支点 306 之间的电压大。因此,在将差动晶体管 302 和 304 的栅极电压都设为相同的无偏置的状态之时,输出电路 300 的输出电压在比向输入 320 输入的电压高的状态下是稳定的。

[0011] 如以上的说明,输出电路 300 对分别连接于并联连接的电阻 RA2、RA3、RA4、…的开关 310 进行控制。即,通过变更并联连接的电阻的数量来改变合成电阻值。因此,输出电路 300 变更了输出电压。

[0012] 专利文献 1 日本特开 2007-116493 号公报

[0013] 专利文献 2 日本特开平 6-35414 号公报

[0014] 在此,由于在以往的显示驱动装置中阶度数量比较少,因此,即使在具有数十 mV 的输出电压偏差的运算放大电路(输出电路 300)中,也不会对显示画质产生过大的影响。

[0015] 然而,由于近些年的面板开发技术的提高以及多阶度化,因此即使是数十 mV 的输出电压偏差,也会成为使显示画质降低的原因。因此,在针对液晶面板以及有机 EL(电致发光)面板的运算放大电路中被要求进一步降低输出电压的偏差。

[0016] 在此,输出电压偏差是指,在制造工序中随机发生的不均一。因此,若想通过改善制造工序来将输出电压的偏差抑制到数 mV 左右,则需要花费过大的成本和时间,在现实中是比较困难的。

[0017] 另外,如专利文献 1 所述,在通过增加电路来降低输出电压偏差的情况下,显示驱动装置的电路面积也会增加。在此,尤其是针对液晶面板以及有机 EL(电致发光)面板的显示驱动装置,则更被要求小面积化。也就是说,最好是尽量少增加电路的面积。

## 发明内容

[0018] 于是,本发明的目的在于提供一种既能够抑制电路面积的增加,又能够降低输出电压的不均一性(偏差)的运算放大电路以及显示装置。

[0019] 为了达成上述的目的,本发明所涉及的运算放大电路包括差动放大部,所述差动放大部包括:形成第一差动对的第一差动晶体管和第二差动晶体管;以及向所述第一差动对提供电流的电流源晶体管;所述运算放大电路还包括:第一可变电阻元件,该第一可变电阻元件被连接于所述第一差动晶体管和所述第二差动晶体管的至少一方的源极与所述电流源晶体管的漏极之间;所述第一可变电阻元件包括:第一端子和第二端子;被串联连接的多个第一电阻元件;以及第一校正电压选择电路,通过变更被连接于所述第一端子和所述第二端子之间的、所述被串联连接的多个第一电阻元件的级数,从而变更所述第一端子和所述第二端子之间的电阻值。

[0020] 根据这种构成,本发明所涉及的运算放大电路通过将第一可变电阻元件的电阻值设定成输出电压偏差减小,从而能够降低运算放大电路的输出电压偏差。

[0021] 并且,本发明所涉及的运算放大电路具有第一可变电阻元件,该第一可变电阻元件包括被串联连接的多个第一电阻元件。据此,与具有包括被并联连接的多个电阻元件的可变电阻元件的运算放大电路相比,本发明所涉及的运算放大电路能够实现小面积化。而且,本发明所涉及的运算放大电路能够容易地使输出电压偏差的调整间隔成为等间隔。

[0022] 这样,本发明所涉及的运算放大电路能够在抑制电路面积增加的情况下降低输出电压偏差。

[0023] 并且,也可以是,所述第一可变电阻元件被连接于所述第一差动晶体管的源极与所述电流源晶体管的漏极之间;所述运算放大电路还包括:第二可变电阻元件,该第二可变电阻元件被连接于所述第二差动晶体管的源极与所述电流源晶体管的漏极之间;所述第二可变电阻元件包括:第三端子和第四端子;被串联连接的多个第二电阻元件;以及第二校正电压选择电路,通过变更被连接于所述第三端子和所述第四端子之间的、所述被串联连接的多个第二电阻元件的级数,从而变更所述第三端子和所述第四端子之间的电阻值。

[0024] 根据这种构成,本发明所涉及的运算放大电路能够降低正的以及负的输出电压偏差。

[0025] 并且,也可以是,所述运算放大电路还具有校正极性切换电路,对第一模式和第二模式进行切换,所述第一模式是指,在将所述第一可变电阻元件连接于所述第一差动晶体管的源极与所述电流源晶体管的漏极之间的状态下,不使该第一可变电阻元件连接于所述第二差动晶体管的源极与所述电流源晶体管的漏极之间,所述第二模式是指,在将所述第一可变电阻元件连接于所述第二差动晶体管的源极与所述电流源晶体管的漏极之间的状态下,不使该第一可变电阻元件连接于所述第一差动晶体管的源极与所述电流源晶体管的漏极之间。

[0026] 根据此构成,本发明所涉及的运算放大电路能够降低正的以及负的输出电压偏差。而且,与具有两个可变电阻元件的运算放大电路的情况相比,本发明所涉及的运算放大电路能够使电路面积减小。

[0027] 并且,也可以是,所述运算放大电路还包括:可变电流源,将多个电流值中的某个电流值的电流有选择地提供给所述第一差动晶体管以及所述第二差动晶体管的至少一方的源极。

[0028] 根据此构成,本发明所涉及的运算放大电路在能够扩大输出电压偏差的调整范围的情况下,还能够使输出电压偏差的调整间隔变得细小。

[0029] 并且,也可以是,所述运算放大电路还包括:电压可变电路,将多个电压值中的某个电压值的电压有选择地输出到所述电流源晶体管的栅极。

[0030] 根据此构成,本发明所涉及得运算放大电路在能够扩大输出电压偏差的调整范围的情况下,还能够使输出电压偏差的调整间隔变得细小。

[0031] 并且,也可以是,所述第一校正电压选择电路包括多个第一开关,该多个第一开关被设置成与所述多个第一电阻元件的每一个相对应,使对应的所述第一电阻元件的两端短路或断开。

[0032] 根据此构成,本发明能够以小面积来实现输出电压偏差的调整间隔成为等间隔的运算放大电路。

[0033] 并且,也可以是,所述多个第一电阻元件的各个电阻值不同。

[0034] 并且,也可以是,所述第一校正电压选择电路包括:多个第一开关,该多个第一开关的每一个的一端被分别连接于所述多个第一电阻元件的串联连接的两端以及分支点,而另一端被连接于所述第一端子以及所述第二端子中的一方。

[0035] 并且,也可以是,所述第一电阻元件的电阻值的温度依存性是,所述第一开关的电阻值的温度依存性的反方向的特性。

[0036] 根据此构成,本发明所涉及的运算放大电路能够缓解输出电压偏差的温度依存性。

[0037] 并且,也可以是,所述第一差动晶体管和所述第二差动晶体管是N沟道MOS晶体管。

[0038] 并且,也可以是,所述第一差动晶体管和所述第二差动晶体管是P沟道MOS晶体管。

[0039] 并且,也可以是,所述第一差动晶体管和所述第二差动晶体管是N沟道MOS晶体管;所述差动放大部还包括形成第二差动对的第三差动晶体管和第四差动晶体管;所述第三差动晶体管和所述第四差动晶体管是P沟道MOS晶体管。

[0040] 并且,本发明所涉及的运算放大电路包括差动放大部,所述差动放大部包括:形成第一差动对的第一差动晶体管和第二差动晶体管;以及向所述第一差动对提供电流的电流源晶体管;所述运算放大电路还包括:第一可变电阻元件,该第一可变电阻元件被连接于所述第一差动晶体管和所述第二差动晶体管的至少一方的源极与所述电流源晶体管的漏极之间;所述第一可变电阻元件包括:第一端子和第二端子;晶体管,该晶体管的源极端子以及漏极端子的一方被连接于所述第一端子,该晶体管的所述源极端子以及所述漏极端子的另一方被连接于所述第二端子;以及电压可变电路,通过向所述晶体管提供多个电压值中的某个电压值的电压,来变更所述晶体管的导通电阻。

[0041] 根据这种构成,本发明所涉及的运算放大电路通过将第一可变电阻元件的电阻值设定成输出电压偏差减小,从而能够降低运算放大电路的输出电压偏差。

[0042] 而且,本发明所涉及的运算放大电路通过具有包括晶体管的第一可变电阻元件,从而能够实现小面积化。

[0043] 这样,本发明所涉及的运算放大电路在能够抑制电路面积增加的情况下,降低输出电压偏差。

[0044] 并且,也可以是,所述晶体管的栅极端子被施加有一定的电压;所述电压可变电路通过变更晶体管的衬底偏压,从而变更所述晶体管的导通电阻。

[0045] 根据此构成,本发明所涉及的运算放大电路通过变更晶体管的栅极电压,从而能够变更第一可变电阻元件的电阻值。

[0046] 并且,也可以是,所述晶体管被提供有一定的衬底偏压;所述电压可变电路通过变更所述晶体管的栅极电压,从而变更所述晶体管的导通电阻。

[0047] 根据此构成,本发明所涉及的运算放大电路通过变更晶体管的衬底偏压,从而能够变更第一可变电阻元件的电阻值。

[0048] 并且,本发明所涉及的显示装置显示与图像数据相对应的图像,该显示装置包括:显示面板,显示所述图像;以及显示驱动装置,驱动所述显示面板;所述显示面板包括:被配置成矩阵状的多个发光像素;以及按每一行或每一列设置的多个源极线;所述显示驱动装置包括:多个所述运算放大电路,该多个运算放大电路的每一个被设置于所述源极线的每一线,向对应的所述源极线输出与所述图像数据相对应的信号电压。

[0049] 根据此构成,本发明所涉及的显示装置由于能够降低显示面板中的显示不均匀,因此能够提高显示画质。

[0050] 并且,也可以是,所述显示面板为有机 EL 面板。

[0051] 根据此构成,与具有液晶面板的显示装置相比,在具有需要进一步使输出电压偏差降低的有机 EL 面板的显示装置中,能够降低运算放大电路的输出电压偏差。

[0052] 并且,本发明不仅能够作为上述这样的运算放大电路实现,而且能够作为能够降低这种运算放大电路的输出电压偏差的运算放大电路的调整方法来实现,并且,能够作为使计算机执行这样的运算放大电路的调整方法的程序来实现。

[0053] 并且,这样的程序可以通过 CD-ROM 等记录介质或互联网等传输介质来分发。

[0054] 而且,本发明可以作为实现这样的运算放大电路的功能的一部分或全部的半导体集成电路 (LSI) 来实现,并且能够作为具有这样的运算放大电路的显示驱动装置或显示装置来实现。

[0055] 因此,本发明能够提供一种运算放大电路以及显示装置,能够在抑制电路面积的增加的情况下,降低输出电压偏差。

#### 附图说明

- [0056] 图 1 示出了本发明的实施例所涉及的显示装置。
- [0057] 图 2 示出了本发明的实施例所涉及的驱动部的构成。
- [0058] 图 3 是示出本发明的实施例所涉及的显示装置的工作的时间图。
- [0059] 图 4 是本发明的实施例 1 所涉及的运算放大电路的比较例子的电路图。
- [0060] 图 5 是本发明的实施例 1 所涉及的运算放大电路的电路图。
- [0061] 图 6 示出了本发明的实施例 1 所涉及的可变电阻元件的电阻值的一个例子。
- [0062] 图 7 是本发明的实施例 1 所涉及的运算放大电路的调整方法的流程图。
- [0063] 图 8 是本发明的实施例 1 所涉及的运算放大电路的调整方法的时间图。
- [0064] 图 9 是本发明的实施例 2 所涉及的运算放大电路的电路图。
- [0065] 图 10 是本发明的实施例 2 所涉及的、在调整正的输出电压偏差时的运算放大电路的调整方法的时间图。
- [0066] 图 11 是本发明的实施例 2 所涉及的、在调整负的输出电压偏差时的运算放大电路的调整方法的时间图。
- [0067] 图 12 是本发明的实施例 3 所涉及的运算放大电路的电路图。
- [0068] 图 13 是本发明的实施例 4 所涉及的运算放大电路的电路图。
- [0069] 图 14 示出了本发明的实施例所涉及的可变电阻元件的变形例的构成。
- [0070] 图 15 示出了本发明的实施例所涉及的可变电阻元件的变形例的电阻值的一个例子。
- [0071] 图 16 是本发明的实施例所涉及的运算放大电路的变形例的电路图。
- [0072] 图 17 是本发明的实施例所涉及的运算放大电路的变形的电路图。
- [0073] 图 18 是以往的输出电路的电路图。

#### 具体实施方式

- [0074] 以下参照附图,对本发明的实施例进行说明。
- [0075] 并且,对于本发明的实施例,将对多个实施例进行说明,以下,首先对多个实施例中共同的部分进行说明。
- [0076] 图 1 是示出本发明的实施例所涉及的显示装置 10 的构成的方框图。
- [0077] 图 1 所示的显示装置 10 显示与被输入的图像数据相对应的图像。该显示装置 10 具有有机 EL(电致发光)面板 111 和显示驱动装置 110。
- [0078] 有机 EL 面板 111 是用于显示与图像数据相对应的图像的显示面板。该有机 EL 面板 111 具有:被排列为矩阵状的多个像素 112、在每个列设置的多个源极线 115、在每行设置的多个栅极线 116。
- [0079] 各像素 112 具有有机 EL(电致发光)元件。该有机 EL 元件在对应的栅极线 116 被选择时,按照对应的源极线 115 的电压值来发光。
- [0080] 显示驱动装置 110 驱动有机 EL 面板 111。该显示驱动装置 110 具有多个源极驱动

器 113、多个栅极驱动器 117、以及定时控制器 118。

[0081] 多个源极驱动器 113 驱动多个源极线 115。并且，多个栅极驱动器 117 驱动多个栅极线 116。

[0082] 定时控制器 118 对源极驱动器 113 和栅极驱动器 117 驱动多个源极线 115 和多个栅极线 116 的定时进行控制。

[0083] 多个源极驱动器 113 具有在每个列设置的多个驱动部 114。

[0084] 并且，图 1 所示的显示装置 10 虽然具有多个源极驱动器 113 和多个栅极驱动器 117，也可以具有一个源极驱动器 113 和一个栅极驱动器 117。

[0085] 图 2 示出了驱动部 114 的构成例子。

[0086] 如图 2 所示，驱动部 114 具有：运算放大电路 122、选择部 123、第一锁存部 124 以及第二锁存部 125。并且，在驱动部 114 被输入有由定时控制器 118 输出的数据信号 126 和数据获取信号 127 以及数据传输信号 128。在此，数据信号 126 与以像素表示的像素数据相对应。并且，被输入到多个驱动部 114 的数据获取信号 127 各不相同。并且，在多个驱动部 114 中被输入有共同的数据传输信号 128。

[0087] 第一锁存部 124 以数据获取信号 127 的变化定时来获取数据信号 126。并且，第一锁存部 124 将获取的数据信号 126 作为第一锁存数据 129 来输出。

[0088] 第二锁存部 125 以数据传输信号 128 的变化的定时来获取第一锁存数据 129。并且，第二锁存部 125 将获取的第一锁存数据 129 作为第二锁存数据 130 来输出。

[0089] 选择部 123 将作为数字值的第二锁存数据 130 转换为模拟电压的模拟信号 131。具体而言，选择部 123 选择与第二锁存数据 130 的数字值相对应的模拟电压，并将选择的模拟电压作为模拟信号 131 输出给运算放大电路 122。

[0090] 运算放大电路 122 将与模拟信号 131 相对应的模拟电压输出到源极线 115。即，运算放大电路 122 将与图像数据相对应的信号电压输出到源极线 115。

[0091] 以下，对具有这种构成的显示装置 10 的工作进行说明。图 3 是示出显示装置 10 的工作的流程图。

[0092] 并且，图 3 所示的栅极线 116a、116b 以及 116c 分别表示多个栅极线 116 中的某个信号。例如，栅极线 116a、116b 以及 116c 是从上方开始的第一行到第三行的栅极线 116。

[0093] 并且，第一锁存数据 129a、第二锁存数据 130a 以及源极线 115a 与驱动部 114a 相对应，第一锁存数据 129n、第二锁存数据 130n 以及源极线 115n 与驱动部 114n 相对应。在此，驱动部 114a 以及驱动部 114n 例如是多个驱动部 114 中的与两端的列相对应的驱动部 114。

[0094] 在图 3 所示的时刻 T<sub>1</sub> 的定时，第一锁存部 124 按照数据获取信号 127 来获取从定时控制器 118 传送来的数据信号 126。并且，该工作针对显示装置 10 所具有的所有驱动部 114 按顺序进行。

[0095] 在时刻 T<sub>2</sub>，数据信号 126 被获取到所有的第一锁存部 124。

[0096] 接着，在时刻 T<sub>3</sub> 的定时，栅极驱动器 117 按照来自定时控制器 118 的指令，仅对栅极线 116a 输出“高”。在此，“高”状态是指显示状态，“低”状态是指非显示状态。

[0097] 并且，在时刻 T<sub>3</sub> 的定时，数据传输信号 128 上升。据此，多个第二锁存部 125 获取第一锁存数据 129，并将第二锁存数据 130 传输到选择部 123。

[0098] 并且,选择部 123 按照从第二锁存部 125 传输来的第二锁存数据 130 来选择所希望的模拟电压,并将选择了的模拟电压作为模拟信号 131 输出给运算放大电路 122。

[0099] 运算放大电路 122 将与从选择部 123 输出的模拟信号 131 相对应的模拟电压输出到源极线 115。

[0100] 这样,栅极线 116 使与图像数据相对应的电压施加到“高”状态的像素 112。因此,通过按每一行来反复进行这个工作,从而进行所有的行对像素 112 的电压施加。据此,显示全画面,即进行一帧的显示。

[0101] 以下对实施例 1 至 4 中的运算放大电路 122 的具体例子进行说明。

[0102] (实施例 1)

[0103] 在本发明的实施例 1,对图 2 所示的运算放大电路 122 的一个实施例的运算放大电路 122A 进行说明。

[0104] 图 4 是用于进行比较的图,是一般的运算放大电路 222 的电路图。

[0105] 图 4 所示的运算放大电路 222 是具有反相输入端子和非反相输入端子以及输出端子  $V_{out}$  的运算放大器。

[0106] 反相输入端子被连接于输出端子  $V_{out}$ 。据此,运算放大电路 222 将被施加到非反相输入端子的电压值输出到输出端子  $V_{out}$ 。

[0107] 该运算放大电路 222 具有差动放大部 31(差动级)和输出部 32(输出级)。

[0108] 差动放大部 31 对反相输入端子的电压和非反相输入端子的电压的电压差进行放大,并输出表示放大后的电压差的电压。输出部 32 将由差动放大部 31 输出的电压输出到输出端子  $V_{out}$ 。

[0109] 并且,差动放大部 31 包括:形成差动对的差动晶体管 100 和 101、向该差动对提供电流的电流源晶体管 102、负载晶体管 103 和 104。

[0110] 图 5 是本发明的实施例 1 所涉及的运算放大电路 122A。对于与图 4 相同的要素赋予相同的符号。

[0111] 图 5 所示的运算放大电路 122A 除具有图 4 所示的运算放大电路 222 的构成以外,还包括可变电阻部 15A。可变电阻部 15A 被连接有:分支点 N1(电流源晶体管 102 的漏极)、非反相输入侧的差动晶体管 100 的源极、反相输入侧的差动晶体管 101 的源极,该可变电阻部 15A 按照控制信号  $regn[n:1]$  和控制信号  $regp[n:1]$ ,来变更分支点 N1 和差动晶体管 100 的源极之间的电阻值以及分支点 N1 和差动晶体管 101 的源极之间的电阻值。该可变电阻部 15A 具有可变电阻元件 21 和 22。

[0112] 可变电阻元件 21 被连接于非反相输入侧的差动晶体管 100 的源极和电流源晶体管 102 的漏极之间。具体而言,可变电阻元件 21 的第一端子与非反相输入侧的差动晶体管 100 的源极相连接,第二端子与分支点 N1 相连接。可变电阻元件 22 被连接在反相输入侧的差动晶体管 101 的源极和电流源晶体管 102 的漏极之间。具体而言,可变电阻元件 22 的第三端子与反相输入侧的差动晶体管 101 的源极相连接,第四端子与分支点 N1 相连接。

[0113] 并且,可变电阻元件 21 具有  $n$ (1 以上的整数)个串联连接的电流电压转换器 41 和校正电压选择电路 51。

[0114] 各个电流电压转换器 41 是将电流转换为电压的电阻元件。并且, $n$  个电流电压转换器 41 的电阻值分别不同。

[0115] 校正电压选择电路 51 通过变更被串联连接于第一端子和第二端子之间的电流电压转换器 41 的级数,从而变更第一端子和第二端子之间的电阻值。该校正电压选择电路 51 具有  $n$  个开关 SW1(1) 至 SW1( $n$ )。并且,在没有特殊区别  $n$  个开关 SW1(1) 至 SW1( $n$ ) 的情况下,记作开关 SW1。

[0116]  $n$  个开关 SW1(1) 至 SW1( $n$ ) 被设置成与  $n$  个电流电压转换器 41 分别对应,使对应的电流电压转换器 41 的两端短路或断开。

[0117] 换言之,一个电流电压转换器 41 和一个开关 SW1 并联连接,并联连接的一个电流电压转换器 41 和一个开关 SW1 为一组, $n$  个这样的组被串联连接。

[0118] 并且, $n$  个开关 SW1(1) 至 SW1( $n$ ) 由  $n$  比特的可变电阻元件控制信号  $regp[n:1]$  被控制成短路或断开。

[0119] 可变电阻元件 22 的构成与可变电阻元件 21 相同,具有  $n$  个串联连接的电流电压转换器 42 和校正电压选择电路 52。

[0120] 各个电流电压转换器 42 是将电流转换为电压的电阻元件。并且, $n$  个电流电压转换器 42 的电阻值各不相同。

[0121] 校正电压选择电路 52 通过变更被串联连接于第三端子和第四端子之间的电流电压转换器 42 的级数,来变更第三端子和第四端子之间的电阻值。该校正电压选择电路 52 具有  $n$  个开关 SW2(1) 至 SW2( $n$ )。另外,在不需要对这  $n$  个开关 SW2(1) 至 SW2( $n$ ) 进行特别区别的情况下,记作开关 SW2。

[0122]  $n$  个开关 SW2(1) 至 SW2( $n$ ) 被设置成分别与  $n$  个电流电压转换器 42 相对应,从而使对应的电流电压转换器 42 的两端短路或断开。

[0123] 换言之,一个电流电压转换器 42 和一个开关 SW2 并联连接,并联连接的一个电流电压转换器 42 和一个开关 SW2 为一组, $n$  个这样的组为串联连接。

[0124] 并且, $n$  个开关 SW2(1) 至 SW2( $n$ ) 由  $n$  比特的可变电阻元件控制信号  $regn[n:1]$  被控制成短路或断开。

[0125] 以下,对具有以上这种构成的运算放大电路 122A 的工作进行说明。

[0126] 可变电阻元件 21 接受可变电阻元件控制信号  $regp[n:1]$ ,并将  $n$  个开关 SW1(1) 至 SW1( $n$ ) 控制成短路或断开。

[0127] 同样,可变电阻元件 22 接受可变电阻元件控制信号  $regn[n:1]$ ,并将  $n$  个开关 SW2(1) 至 SW2( $n$ ) 控制成短路或断开。

[0128] 该可变电阻元件控制信号  $regp[n:1]$  以及可变电阻元件控制信号  $regn[n:1]$  例如是显示装置 10 所具有的其他的电路(图中未示出),或者由显示装置 10 的外部的装置输入。

[0129] 一组被并联连接的一个电流电压转换器 41 和一个开关 SW1 所组成的组的电阻值,在开关 SW1 为接通的情况下,可以考虑成为  $0\Omega$ ,在开关 SW1 为断开的情况下,成为电流电压转换器 41 的电阻值。

[0130] 同样,一组被并联连接的一个电流电压转换器 42 和一个开关 SW2 所组成的组的电阻值,在开关 SW2 为接通的情况下,可以考虑成为  $0\Omega$ ,在开关 SW2 为断开的情况下,成为电流电压转换器 42 的电阻值。

[0131] 例如,电流电压转换器 41 为一级串联连接的情况下,即  $n = 1$  的情况下,可变电阻

元件 21 的电阻值成为  $0\Omega$  和电流电压转换器 41 的电阻值  $R$  这两个值之中的某一个。

[0132] 并且, 电流电压转换器 41 为两级串联连接的情况下, 即  $n = 2$  的情况下, 若将两个电流电压转换器 41 的电阻值设为  $R$  以及  $2R$  的情况下, 可变电阻元件 21 的电阻值成为  $0\Omega$ 、电阻值  $R$  的一倍、两倍、以及三倍这四个值中的某一个。

[0133] 图 6 示出了  $n = 2$  的情况下的可变电阻元件控制信号  $\text{regp}[n:1]$ 、多个开关  $\text{SW1}(1)$  至  $\text{SW}(n)$  的接通与断开状态、以及可变电阻元件 21 的电阻值。

[0134] 并且, 可变电阻元件 22 的电阻值也与可变电阻元件 21 相同。

[0135] 运算放大电路 122A 通过电流源晶体管 102 流过电流  $I_r$ , 从而使电流  $I_p$  流到可变电阻元件 21, 使电流  $I_n$  流到可变电阻元件 22。

[0136] 在此, 与可变电阻元件 21 的电阻值和流到可变电阻元件 21 的电流  $I_p$  相对应, 非反相输入侧的差动晶体管 100 的源极和分支点  $N1$  之间产生电压差  $\Delta V_p$ 。

[0137] 同样, 与可变电阻元件 22 的电阻值和流到可变电阻元件 22 的电流  $I_n$  相对应, 反相输入侧的差动晶体管 101 的源极和分支点  $N1$  之间产生电压差  $\Delta V_n$ 。

[0138] 以下对因产生了  $\Delta V_n$  和  $\Delta V_p$ , 从而输出电压偏差得以降低的原理进行说明。

[0139] 首先, 在图 4 所记载的运算放大电路 222 中, 在将电压  $V_{in}$  施加到非反相输入的情况下, 运算放大电路 222 的输出电压  $V_{out}$  由以下的 (公式 1) 来表示。

[0140]  $V_{out} = (V_{in} - V_p) + V_n$  (公式 1)

[0141] 在此,  $V_p$  是差动晶体管 100 的阈值电压和差动晶体管 100 的过载电压的和,  $V_n$  是差动晶体管 101 的阈值电压和差动晶体管 101 的过载电压的和。

[0142] 在  $V_p$  和  $V_n$  相等的情况下,  $V_{out} = V_{in}$ , 没有输出电压偏差。然而, 由于制造过程上的不均一, 因此  $V_p$  和  $V_n$  不相等。即, 产生输出电压偏差。

[0143] 另外, 图 5 所记载的本发明的实施例 1 所涉及的运算放大电路 122A 的输出电压  $V_{out}$  由以下 (公式 2) 来表示。

[0144]  $V_{out} = (V_{in} - (V_p + \Delta V_p)) + (V_n + \Delta V_n)$

[0145] (公式 2)

[0146] 如 (公式 2) 所示, 即使在因制造过程中产生不均一而造成  $V_p$  和  $V_n$  不相等的情况下, 运算放大电路 122A 也能够通过调整  $\Delta V_p$  和  $\Delta V_n$ , 来降低输出电压偏差。

[0147] 即, 为了成为  $V_p + \Delta V_p = V_n + \Delta V_n$  的关系, 从而通过调整  $\Delta V_p$  和  $\Delta V_n$  来使  $V_{out} = V_{in}$ 。这样, 本发明的实施例 1 所涉及的运算放大电路 122A 能够使输出电压偏差接近于  $0V$ 。

[0148] 作为调整  $\Delta V_p$  和  $\Delta V_n$  的方法, 在  $V_{out}$  针对  $V_{in}$  输出较高电压时产生输出电压偏差的情况下, 通过保持并调整  $\Delta V_p > \Delta V_n$  的关系, 从而能够将输出电压偏差调整为接近于  $0V$ 。

[0149] 相反, 在  $V_{out}$  针对  $V_{in}$  输出较低电压时产生输出电压偏差的情况下, 通过保持并调整  $\Delta V_n > \Delta V_p$  的关系, 从而能够将输出电压之间的偏差调整为接近于  $0V$ 。

[0150] 以下, 对降低运算放大电路 122A 中的输出电压偏差的调整方法的一个例子进行说明。

[0151] 图 7 是该调整方法的流程图。并且, 图 8 是该调整方法的时间图。并且, 以下以  $n = 2$  为例进行说明。

[0152] 在此,图 8 所示的  $\text{regp}[2:1]$  是用于使可变电阻元件 21 的电阻值发生变化的控制信号。 $\text{regn}[2:1]$  是用于使可变电阻元件 22 的电阻值发生变化的控制信号。

[0153] 并且,在图 8 中以产生正的输出电压偏差为前提。并且,  $\Delta V_p$  是在可变电阻元件 21 的两端产生的电压差,  $\Delta V_n$  是在可变电阻元件 22 的两端产生的电压差。

[0154] 并且,以下所示的调整方法由显示装置 10 的外部的调整装置进行。并且,该调整方法的一部分或全部可以由显示装置 10 所具有的其他的电路(图中未示出)来进行。并且,该调整方法的一部分也可以由对上述调整装置进行操作的用户来进行。

[0155] 首先,调整装置测定不对输出电压偏差进行校正的状态下的运算放大电路 122A 的输出电压偏差(S101)。

[0156] 具体而言,在图 8 的期间 T11,调整装置将  $\text{regp}[2:1]$  和  $\text{regn}[2:1]$  一起设定为“00”。据此,可变电阻元件 21 和 22 的电阻值均成为  $0\Omega$ 。即,使分支点 N1 和差动晶体管 100 的源极短路,并使分支点 N1 和差动晶体管 101 的源极短路。这样,  $\Delta V_p$  成为  $I_p \times 0 \times R \approx 0V$ ,  $\Delta V_n$  成为  $I_n \times 0 \times R \approx 0V$ 。

[0157] 调整装置测定这种状态下的运算放大电路 122A 的输出电压  $V_{out}$ 。

[0158] 接着,调整装置判断是产生了正的输出电压偏差还是产生了负的输出电压偏差(S102)。即,调整装置判断测定的输出电压  $V_{out}$  是比期望值大还是小。

[0159] 并且,调整装置在测定的输出电压  $V_{out}$  与期望值相等的情况下,或者输出电压  $V_{out}$  和期望值之间的差在预先规定的值以下的情况下,由于输出电压偏差在预先规定的值以下,因此判断为不需要调整,不进行以下所示的调整。

[0160] 在此,如图 8 所示,设定产生了正的输出电压偏差。

[0161] 在正的输出电压偏差的情况下(S102 的“是”),调整装置一边变更  $\Delta V_p$  一边测定输出电压  $V_{out}$  (S103)。

[0162] 具体而言,调整装置在期间 T12,在将  $\text{regn}[2:1]$  固定为“00”的状态下,使  $\text{regp}[2:1]$  变化为“01”、“10”、“11”。这样,由于可变电阻元件 22 的电阻值被固定为  $0\Omega$ ,因此  $\Delta V_n$  被固定为  $I_n \times 0 \times R \approx 0V$  的状态。并且,与  $\text{regp}[2:1]$  相对应,可变电阻元件 21 的电阻值发生变化,  $\Delta V_p$  发生变化。

[0163] 具体而言,如图 8 所示,若将  $\text{regp}[2:1]$  的设定变化为“01”、“10”、“11”,则  $\Delta V_p$  增大。这样,输出电压  $V_{out}$  接近于期望值。即,输出电压之间的偏差变小。

[0164] 接着,调整装置判定各个设定中的输出电压偏差为最小的  $\text{regp}[2:1]$  的设定。并且,调整装置将输出电压偏差为最小的  $\text{regp}[2:1]$  的设定固定为校正后的设定(S105)。具体而言,调整装置在输出电压偏差成为最小之时,停止  $\text{regp}[2:1]$  的数据的递增,固定  $\text{regp}[2:1]$  的数据。

[0165] 在图 8 所示的例子中,输出电压偏差成为最小的设定是,  $\text{regp}[2:1] = “11”$ 、 $\text{regn}[2:1] = “00”$ 。在这种情况下成为  $V_{out} \approx V_{in}$  ( $V_p + \Delta V_p \approx V_n + \Delta V_n$  的关系成立)。这样,输出电压偏差能够接近于  $0V$ 。

[0166] 另外,在产生了负的输出电压偏差的情况下(S102 的“否”),通过增加可变电阻元件 22 的电阻值,同样能够使输出电压偏差接近于  $0V$ 。具体而言,调整装置一边变更  $\Delta V_n$  一边测定输出电压  $V_{out}$  (S104)。之后,调整装置判定各个设定中的输出电压偏差为最小的  $\text{regn}[2:1]$  的设定。并且,调整装置将输出电压偏差为最小的  $\text{regn}[2:1]$  的设定固定为校正

后的设定 (S105)。

[0167] 如以上所述,本发明的实施例 1 所涉及的运算放大电路 122A 通过使两个可变电阻元件 21 和 22 产生  $\Delta V_n$  和  $\Delta V_p$ ,从而能够降低正负双方的输出电压偏差。

[0168] 并且,本发明的实施例 1 所涉及的运算放大电路 122A 与图 18 所示的以往的输出电路 300 相比,能够使电路面积减小。

[0169] 具体而言,在以往的输出电路 300,若要使调整间隔成为等间隔,则需要接通、断开每个 SW310。例如,若要对输出电压以 16 个阶段进行调整,则以往的输出电路 300 需要 16 组由电阻和开关组成的组。

[0170] 然而,本发明的实施例 1 所涉及的运算放大电路 122A 则能够以 4 组由电阻和开关组成的组,以调整间隔为等间隔的 16 个阶段对输出电压进行调整。这样,本发明的实施例 1 所涉及的运算放大电路 122A 与以往的输出电路相比,能够使电路面积减小。

[0171] 并且,在以往的输出电路 300 中,为了使电路面积减小,所进行的控制不是使 SW310 一个一个地接通,而是使多个同时接通,这样,能够以 4 个由电阻和开关组成的组来对输出电压进行 16 个阶段的调整。然而,在采用这种方法的情况下,使并联连接的电阻的合计电阻等间隔地变更是困难的。因此,调整后的输出电压针对理论值会出现被细微调整的情况和被粗略调整的情况,从而造成调整本身出现偏差的问题。

[0172] 对此,本发明的实施例 1 所涉及的运算放大电路 122A 能够以 4 组由电阻和开关组成的组,以调整间隔为等间隔的 16 个阶段对输出电压进行调整。

[0173] 并且,本发明的实施例 1 所涉及的运算放大电路 122A 与以往的输出电路 300 相同,都是利用 4 组由电阻和开关组成的组,在要实现同一个调整范围的情况下,本发明的实施例 1 所涉及的运算放大电路 122A 更能够使电路面积减小。其原因是,此调整范围是以可变电阻元件能够获得的最大电阻值来决定的。因此,在以往的输出电路 300 中,需要将电阻值最大的电阻的电阻值作为该最大的电阻值。另外,在本发明的实施例 1 所涉及的运算放大电路 122A 中,只要将这 4 个电阻值的合计作为该最大电阻值即可。

[0174] 这样,本发明的实施例 1 所涉及的运算放大电路 122A 所具备的 4 个电阻值的合计值比输出电路 300 所具备的 4 个电阻值的合计值小。

[0175] 因此,本发明的实施例 1 所涉及的运算放大电路 122A 与以往的输出电路 300 相比,能够减小电路面积。

[0176] 这样,本发明的实施例 1 所涉及的运算放大电路 122A 能够在抑制电路面积的增加的情况下降低输出电压偏差。

[0177] 并且,在本发明的实施例 1 中,虽然利用具有可变电阻元件 21 和可变电阻元件 22 这两个可变电阻元件的运算放大电路 122A 进行了说明,不过,在只要能够降低正负某一方的输出电压偏差即可的情况下,运算放大电路 122A 也可以仅具有可变电阻元件 21 和可变电阻元件 22 的某一个。通过这种构成,能够实现运算放大电路 122A 的小面积化。

[0178] (实施例 2)

[0179] 在本发明的实施例 2 中,对图 2 所示的运算放大电路 122 的一个实施例,即运算放大电路 122B 进行说明。

[0180] 图 9 是本发明的实施例 2 所涉及的运算放大电路 122B 的电路图。并且,对于与图 5 相同的要素赋予相同的符号,在此省略重复说明。

[0181] 图 9 所示的运算放大电路 122B 与图 5 所示的运算放大电路 122A 的构成相比,具有可变电阻部 15B,以取代可变电阻部 15A。该可变电阻部 15B 具有可变电阻元件 21 和校正极性切换电路 61。

[0182] 可变电阻元件 21 被连接于非反相输入侧的差动晶体管 100 的源极和反相输入侧的差动晶体管 101 的源极与电流源晶体管 102 的漏极之间。具体而言,可变电阻元件 21 的第一端子被连接于校正极性切换电路 61,可变电阻元件 21 的第二端子被连接于分支点 N1(电流源晶体管 102 的漏极)。并且,可变电阻元件 21 的构成与图 5 所示的可变电阻元件 21 相同。

[0183] 校正极性切换电路 61 对第一模式和第二模式进行切换,所述第一模式是,在使可变电阻元件 21 被连接于非反相输入侧的差动晶体管 100 的源极和分支点 N1 之间的情况下,使该可变电阻元件 21 不被连接于反相输入侧的差动晶体管 101 的源极和分支点 N1 之间;所述第二模式是,在使可变电阻元件 21 被连接于反相输入侧的差动晶体管 101 的源极和分支点 N1 之间的情况下,使该可变电阻元件 21 不被连接于非反相输入侧的差动晶体管 100 的源极和分支点 N1 之间。

[0184] 具体而言,校正极性切换电路 61 在第一模式时,在使可变电阻元件 21 的第一端子与非反相输入侧的差动晶体管 100 的源极相连接的情况下,使反相输入侧的差动晶体管 101 的源极和电流源晶体管 102 的漏极短路。并且,校正极性切换电路 61 在第二模式时,在使可变电阻元件 21 的第一端子与反相输入侧的差动晶体管 101 的源极相连接的情况下,使非反相输入侧的差动晶体管 100 的源极和电流源晶体管 102 的漏极短路。

[0185] 该校正极性切换电路 61 包括开关 SW<sub>n</sub>、开关 SW<sub>p</sub>、开关 NSW<sub>n</sub>、以及开关 NSW<sub>p</sub>。

[0186] 开关 SW<sub>p</sub> 被连接于可变电阻元件 21 的第一端子和差动晶体管 100 的源极之间,通过控制信号 CntSW<sub>p</sub> 而被控制成短路或断开。该开关 SW<sub>p</sub> 在校正极性切换电路 61 的设定为第一模式时,使差动晶体管 100 的源极和可变电阻元件 21 的第一端子之间短路,在校正极性切换电路 61 的设定为第二模式时,使差动晶体管 100 的源极和可变电阻元件 21 的第一端子之间断开。

[0187] 开关 SW<sub>n</sub> 被连接于可变电阻元件 21 的第一端子和差动晶体管 101 的源极之间,由控制信号 CntSW<sub>n</sub> 被控制为短路或断开。该开关 SW<sub>n</sub> 在校正极性切换电路 61 的设定为第二模式时,使差动晶体管 101 的源极和可变电阻元件 21 的第一端子之间短路,在校正极性切换电路 61 的设定为第一模式时,使差动晶体管 101 的源极和可变电阻元件 21 的第一端子之间断开。

[0188] 开关 NSW<sub>p</sub> 被连接于分支点 N1 和差动晶体管 101 的源极之间,由控制信号 CntNSW<sub>p</sub> 被控制成短路或断开。该开关 NSW<sub>p</sub> 在校正极性切换电路 61 的设定为第一模式时,使反相输入侧的差动晶体管 101 的源极和分支点 N1 之间短路,在校正极性切换电路 61 的设定为第二模式时,使反相输入侧的差动晶体管 101 的源极和分支点 N1 之间断开。

[0189] 开关 NSW<sub>n</sub> 被连接于分支点 N1 和差动晶体管 100 的源极之间,由控制信号 CntNSW<sub>n</sub> 被控制成短路或断开。该开关 NSW<sub>n</sub> 在校正极性切换电路 61 的设定为第二模式时,使非反相输入侧的差动晶体管 100 的源极和分支点 N1 之间短路,在校正极性切换电路 61 的设定为第一模式时,使非反相输入侧的差动晶体管 100 的源极和分支点 N1 之间断开。

[0190] 并且,控制信号 CntSW<sub>n</sub>、控制信号 CntSW<sub>p</sub>、控制信号 CntNSW<sub>n</sub> 以及控制信号

CntNSWp 例如是显示装置 10 所具有的其他的电路（图中未示出）或者是由显示装置 10 的外部被输入的信号。

[0191] 以下,对具有这种构成的本发明的实施例 2 所涉及的运算放大电路 122B 的工作进行说明。

[0192] 可变电阻元件 21 接受可变电阻元件控制信号  $regp[n:1]$ ,将  $n$  个开关 SW1(1) 至 SW1( $n$ ) 控制为短路或断开。

[0193] 在开关 SW1 被短路的情况下,被并联连接的一个电流电压转换器 41 和一个开关 SW1 所组成的组的合计电阻值,作为较理想的值可以考虑是  $0\Omega$ 。并且,在开关 SW1 被断开的情况下,并联连接的一个电流电压转换器 41 和一个开关 SW1 所组成的组的合计电阻值,作为较理想的值可以考虑是成为电流电压转换器 41 的电阻值。

[0194] 例如,电流电压转换器 41 为一级串联连接的情况下,即  $n = 1$  的情况下,可变电阻元件 21 的电阻值成为  $0\Omega$  和电流电压转换器 41 的电阻值  $R$  这两个值中的某一个。

[0195] 并且,在电流电压转换器 41 为两级串联连接的情况下,即  $n = 2$  的情况下,若将两个电流电压转换器 41 的电阻值设定为  $R$  和  $2R$  时,可变电阻元件 21 的电阻值成为  $0\Omega$  和电阻值  $R$  的一倍、两倍、三倍这四个值中的某一个。

[0196] 通过电流源晶体管 102 使电流  $I_r$  流过,从而运算放大电路 122B 使电流  $I_p$  流入到非反相输入侧的差动晶体管 100,使电流  $I_n$  流入到反相输入侧的差动晶体管 101。

[0197] 并且,校正极性切换电路 61 按照控制信号 CntSWp、控制信号 CntSWn、控制信号 CntNSWp 以及控制信号 CntNSWn,来切换是将电流  $I_p$  和电流  $I_n$  中的哪一个流入到可变电阻元件 21。

[0198] 具体而言,在输出电压  $V_{out}$  比非反相输入电压大的情况下,即产生的正的输出电压偏差的情况下,按照控制信号 CntSWp 以及控制信号 CntSWn,使开关 SWp 接通,使开关 SWn 断开。并且,按照控制信号 CntNSWp,使开关 NSWp 接通,按照控制信号 CntNSWn,使开关 NSWn 断开。

[0199] 这样,校正极性切换电路 61 设定第一模式,并使电流  $I_p$  流入到可变电阻元件 21。

[0200] 即,在第一模式中,由于电流  $I_p$ ,而在非反相输入侧的差动晶体管 100 的源极和分支点 N1 之间产生与可变电阻元件 21 的电阻值相对应的电压差  $\Delta V_p$ 。

[0201] 另外,在输出电压  $V_{out}$  比非反相输入电压小的情况下,即在产生了负的输出电压偏差的情况下,按照控制信号 CntSWp 以及控制信号 CntSWn,使开关 SWn 接通,使开关 SWp 断开。并且,按照控制信号 CntNSWp,开关 NSWp 断开,按照控制信号 CntNSWn,开关 NSWn 接通。

[0202] 这样,校正极性切换电路 61 设定第二模式,使电流  $I_n$  流入到可变电阻元件 21。

[0203] 即,在第二模式中,由于电流  $I_n$ ,而在反相输入侧的差动晶体管 101 的源极和分支点 N1 之间产生与可变电阻元件 21 的电阻值相对应的电压差  $\Delta V_n$ 。

[0204] 并且,由于产生  $\Delta V_n$  和  $\Delta V_p$  因而能够降低输出电压偏差的说明与实施例 1 的记载相同。

[0205] 以下,对在运算放大电路 122B,降低输出电压偏差的调整方法的一个例子进行说明。

[0206] 图 10 和图 11 是该调整方法的时间图。

[0207] 在此,图 10 以及图 11 所示的  $regp[n:1]$  是用于使可变电阻元件 21 的电阻值发生

变化的控制信号。如以上的说明那样, CntSWp、CntSWn、CntNSWn 以及 CntNSWp 是被输入到校正极性切换电路 61 的控制信号。 $\Delta V_p$  和  $\Delta V_n$  是在可变电阻元件 21 的两端产生的电压差。

[0208] 并且,在图 10 中,  $\text{regp}[n:1]$  为  $n = 2$ , 并以产生了正的输出电压偏差为前提。

[0209] 并且,在图 11 中,  $\text{regp}[n:1]$  为  $n = 2$ , 并以产生了负的输入电压偏差为前提。

[0210] 并且,该调整方法的大致流程与图 7 相同。

[0211] 首先,调整装置测定不对输出电压之间的偏差进行校正的状态下的运算放大电路 122B 的输出电压偏差 (S101)。

[0212] 并且,在测定该输出电压偏差之时,调整装置进行以下工作:(1) 使开关 NSWn 和开关 NSWp 同时接通;或者(2) 通过使  $\text{regp}[2:1]$  设定为“00”,从而在使分支点 N1 和差动晶体管 100 的源极短路的状态下,能够使分支点 N1 和差动晶体管 101 的源极短路。接着,调整装置判断是产生了正的输出电压偏差还是产生了负的输出电压偏差 (S102)。

[0213] 以下,对图 10 所示的产生了正的输出电压偏差的情况 (S102 的“是”)进行说明。

[0214] 如图 10 所示,控制信号 CntSWp 和 CntNSWp 是接通对应的开关的逻辑值,控制信号 CntSWn 和 CntNSWn 是断开对应的开关的逻辑值。这样,成为电流  $I_p$  流过可变电阻元件 21 的第一模式。

[0215] 在图 10 的期间 T21,可变电阻元件 21 为  $0\Omega$ ,  $\Delta V_p$  为  $I_p \times 0 \times R \approx 0V$ 。在保持这种设定状态的情况下,产生较大的输出电压偏差。

[0216] 在图 10 的期间 T22,调整装置一边变更  $\Delta V_p$  一边测定输出电压  $V_{out}$  (S103)。具体而言,可变电阻元件 21 的电阻值按照  $\text{regp}[2:1]$  来变化。

[0217] 如图 10 所示,若将  $\text{regp}[2:1]$  的设定变化为“01”、“10”、“11”,则  $\Delta V_p$  增大,输出电压  $V_{out}$  接近期望值。

[0218] 接着,调整装置判定各个设定中的输出电压的偏差最小的  $\text{regp}[2:1]$  的设定。并且,调整装置将输出电压的偏差最小的  $\text{regp}[2:1]$  的设定固定为校正后的设定 (S105)。

[0219] 在图 10 所示的例子中,输出电压的偏差成为最小的设定是,  $\text{regp}[2:1] = “11”$ 。在这种情况下成为  $V_{out} \approx V_{in}$  ( $V_p + \Delta V_p \approx V_n + \Delta V_n$  的关系成立)。这样,输出电压的偏差能够接近于  $0V$ 。

[0220] 以下,对图 11 所示的产生了负的输出电压偏差的情况 (S102 的“否”)进行说明。

[0221] 如图 11 所示,控制信号 CntSWp 和 CntNSWp 是断开对应的开关的逻辑值,控制信号 CntSWn 和 CntNSWn 是接通对应的开关的逻辑值。这样,成为电流  $I_n$  流过可变电阻元件 21 的第二模式。

[0222] 在图 11 的期间 T31,可变电阻元件 21 为  $0\Omega$ ,  $\Delta V_n$  为  $I_n \times 0 \times R \approx 0V$ 。在这种设定状态下,产生与以往的运算放大电路 222 同样的输出电压偏差。

[0223] 在图 11 的期间 T32,调整装置一边变更  $\Delta V_n$  一边测定输出电压  $V_{out}$  (S104)。具体而言,可变电阻元件 21 的电阻值按照  $\text{regp}[2:1]$  来变化。

[0224] 如图 11 所示,若将  $\text{regp}[2:1]$  的设定变化为“01”、“10”、“11”,则  $\Delta V_n$  增大,输出电压  $V_{out}$  接近期望值。

[0225] 接着,调整装置判定各个设定中的输出电压的偏差最小的  $\text{regp}[2:1]$  的设定。并且,调整装置将输出电压偏差最小的  $\text{regp}[2:1]$  的设定固定为校正后的设定 (S105)。

[0226] 在图 11 所示的例子中,输出电压偏差成为最小的设定是,regp[2:1] = “11”之时。在这种情况下成为  $V_{out} \approx V_{in}$  ( $V_p + \Delta V_p \approx V_n + \Delta V_n$  的关系成立)。这样,输出电压偏差能够接近于 0V。

[0227] 这样,本发明的实施例 2 所涉及的运算放大电路 122B 与实施例 1 相同,能够在抑制电路面积的增加的情况下降低正负双方的输出电压偏差。

[0228] 而且,由于运算放大电路 122B 具有校正极性切换电路 61,因此  $\Delta V_n$  和  $\Delta V_p$  可以由一个可变电阻元件 21 产生。这样,与本发明的实施例 1 所涉及的运算放大电路 122A 相比,能够进一步使电路面积减小。

[0229] (实施例 3)

[0230] 在本发明的实施例 3,对图 2 所示的运算放大电路 122 的一个实施例的运算放大电路 122C 进行说明。

[0231] 图 12 是本发明的实施例 3 所涉及的运算放大电路 122C 的电路图。对于与图 5 相同的要素赋予相同的符号,省略重复说明。

[0232] 图 12 所示的运算放大电路 122C 除具有图 5 所示的运算放大电路 122A 的构成以外,还包括可变电流源 81 和 82。

[0233] 可变电流源 81 被连接于非反相输入侧的差动晶体管 100 的源极和偏置电压之间,向非反相输入侧的差动晶体管 100 的源极提供正或负的电流  $I_{cp}$ 。并且,可变电流源 81 选择性地将在 x 阶段的电流值中的某个电流值的电流提供给差动晶体管 100 的源极。即,由可变电流源 81 生成的电流  $I_{cp}$  的电流值在 x 阶段是可变的。并且,该电流值由可变电流源控制信号  $I_{cntp}[x:1]$  控制。

[0234] 可变电流源 82 被连接于反相输入侧的差动晶体管 101 的源极和偏置电压之间,向反相输入侧的差动晶体管 101 的源极提供正或负的电流  $I_{cn}$ 。并且,可变电流源 82 选择性地将在 x 阶段的电流值中的某个电流值的电流提供给差动晶体管 101 的源极。即,由可变电流源 82 生成的电流  $I_{cn}$  的电流值在 x 阶段是可变的。并且,该电流值由可变电流源控制信号  $I_{cntn}[x:1]$  控制。

[0235] 并且,可变电流源控制信号  $I_{cntp}[x:1]$  以及可变电流源控制信号  $I_{cntn}[x:1]$  例如是显示装置 10 所具有的其他的电路(图中未示出),或者由显示装置 10 的外部的装置输入。

[0236] 以下,对具有以上这种构成的本发明的实施例 3 所涉及的运算放大电路 122C 的工作进行说明。

[0237] 可变电阻元件 21 接受可变电阻元件控制信号  $regp[n:1]$ ,并将 n 个开关 SW1(1) 至 SW1(n) 控制成短路或断开。

[0238] 同样,可变电阻元件 22 接受可变电阻元件控制信号  $regn[n:1]$  的信号,并将 n 个开关 SW2(1) 至 SW2(n) 控制成短路或断开。

[0239] 在开关 SW1 被短路的情况下,被并联连接的一个电流电压转换器 41 和一个开关 SW1 所组成的组的合计电阻值,作为较理想的值可以考虑是  $0\Omega$ 。并且,在开关 SW1 被断开的情况下,并联连接的一个电流电压转换器 41 和一个开关 SW1 所组成的组的合计电阻值,作为较理想的值可以考虑是成为电流电压转换器 41 的电阻值。

[0240] 同样,在开关 SW2 被短路的情况下,被并联连接的一个电流电压转换器 42 和一个

开关 SW2 所组成的组的合计电阻值,作为较理想的值可以考虑是  $0\Omega$ 。并且,在开关 SW2 被断开的情况下,并联连接的一个电流电压转换器 42 和一个开关 SW2 所组成的组的合计电阻值,作为较理想的值可以考虑是成为电流电压转换器 42 的电阻值。

[0241] 例如,电流电压转换器 41 为一级串联连接的情况下,即  $n = 1$  的情况下,可变电阻元件 21 的电阻值成为  $0\Omega$  和电流电压转换器 41 的电阻值  $R$  这两个值之中的某一个。

[0242] 并且,电流电压转换器 41 为两级串联连接的情况下,即  $n = 2$  的情况下,若将两个电流电压转换器 41 的电阻值设为  $R$  以及  $2R$  的情况下,可变电阻元件 21 的电阻值成为  $0\Omega$ 、电阻值  $R$  的一倍、两倍、以及三倍这四个值中的某一个。

[0243] 通过电流源晶体管 102 使电流  $I_r$  流过,从而运算放大电路 122C 使电流  $I_p$  流入到非反相输入侧的差动晶体管 100,使电流  $I_n$  流入到反相输入侧的差动晶体管 101。

[0244] 在此,在可变电阻元件 21 流过电流  $I_{ap}$ ,该电流  $I_{ap}$  是通过对电流  $I_p$  加上来自可变电流量源 81 的电流  $I_{cp}$  或减去来自可变电流量源 81 的电流  $I_{cp}$  而得到的。

[0245] 同样,在可变电阻元件 22 流过电流  $I_{an}$ ,该电流  $I_{an}$  是通过对电流  $I_n$  加上来自可变电流量源 82 的电流  $I_{cn}$  或减去来自可变电流量源 82 的电流  $I_{cn}$  而得到的。

[0246] 并且,按照可变电阻元件 21 的电阻值和流到可变电阻元件 21 的电流  $I_{ap}$ ,产生电压差  $\Delta V_p$ 。该  $\Delta V_p$  可以通过变更可变电阻元件控制信号  $regp[n:1]$  和可变电流量源控制信号  $I_{cntp}[x:1]$  来变更。

[0247] 并且,按照可变电阻元件 22 的电阻值和流到可变电阻元件 22 的电流  $I_{an}$ ,产生电压差  $\Delta V_n$ 。该  $\Delta V_n$  可以通过变更可变电阻元件控制信号  $regn[n:1]$  和可变电流量源控制信号  $I_{cntn}[x:1]$  来变更。

[0248] 并且,由于产生  $\Delta V_n$  和  $\Delta V_p$ ,因此能够降低输出电压的偏差的说明与实施例 1 的记载相同。这样,本发明的实施例 3 所涉及的运算放大电路 122C 与实施例 1 相同,能够在抑制电路面积的增加的情况下降低正负双方的输出电压偏差。

[0249] 并且,本发明的实施例 3 所涉及的运算放大电路 122C 除具有实施例 1 所涉及的运算放大电路 122A 的构成以外,还通过具有可变电流量源 81 以及可变电流量源 82,从而能够利用可变电阻元件 21 以及 22 和可变电流量源 81 以及 82,来变更  $\Delta V_n$  和  $\Delta V_p$ 。

[0250] 据此,实施例 3 所涉及的运算放大电路 122C 与实施例 1 所涉及的运算放大电路 122A 相比,除能够对应发生了较大的输出电压偏差的情况以外,还能够对输出电压偏差的调整进行更精细地设定。

[0251] 并且,实施例 3 所涉及地运算放大电路 122C 能够以较小的面积来实现与实施例 1 所涉及的运算放大电路 122A 同等程度的输出电压的偏差的调整范围以及调整间隔。

[0252] 例如,可以通过以一个晶体管来构成可变电流量源 81 以及 82,从而实现小面积化。

[0253] 并且,在本发明的实施例 3 中,虽然利用具有可变电阻元件 21 和可变电阻元件 22 这两个可变电阻元件的运算放大电路 122C 进行了说明,不过,在只要能够降低正负某一方的输出电压偏差就可以的情况下,运算放大电路 122C 也可以仅具有可变电阻元件 21 和可变电阻元件 22 的某一个。

[0254] 并且,运算放大电路 122C 也可以仅具有可变电流量源 81 和可变电流量源 82 之中的、与输出电压偏差的正负相对应的一方。

[0255] 通过这种构成,能够实现运算放大电路 122C 的小面积化。

[0256] 并且,运算放大电路 122C 在既具有可变电阻元件 21 以及可变电阻元件 22 的情况下,也可以仅具有可变电流源 81 以及可变电流源 82 中的一方,也可以在仅具有可变电阻元件 21 以及可变电阻元件 22 中的一方的情况下,既具有可变电流源 81 又具有可变电流源 82。

[0257] 并且,在上述的实施例 3 中,对在实施例 1 中说明的运算放大电路 122A 的基础上还具有可变电流源 81 以及可变电流源 82 的构成进行了说明,不过也可以在实施例 2 所涉及的运算放大电路 122B 的基础上还具有可变电流源 81 以及可变电流源 82。

[0258] (实施例 4)

[0259] 在本发明的实施例 4,对图 2 所示的运算放大电路 122 的一个实施例的运算放大电路 122D 进行说明。

[0260] 图 13 是本发明的实施例 4 所涉及的运算放大电路 122D。对于与图 5 相同的要素赋予相同的符号,省略重复说明。

[0261] 图 13 所示的运算放大电路 122D 除具有图 5 所示的运算放大电路 122A 的构成以外,还具有电压可变电路 91。电压可变电路 91 控制电流源晶体管 102 的栅极电压。该电压可变电路 91 按照电压可变电路控制信号  $V_{set}[m:1]$ ,选择性地将  $m$  阶段的电压值中的某个电压值的电压输出到电流源晶体管 102 的栅极。

[0262] 并且,电压可变电路控制信号  $V_{set}[m:1]$  例如是显示装置 10 所具有的其他的电路(图中未示出),或者由显示装置 10 的外部的装置输入。

[0263] 以下,对具有以上这种构成的本发明的实施例 4 所涉及的运算放大电路 122D 的工作进行说明。

[0264] 可变电阻元件 21 接受可变电阻元件控制信号  $regp[n:1]$ ,并将  $n$  个开关 SW1(1) 至 SW1( $n$ ) 控制成短路或断开。

[0265] 同样,可变电阻元件 22 接受可变电阻元件控制信号  $regn[n:1]$  的信号,并将  $n$  个开关 SW2(1) 至 SW2( $n$ ) 控制成短路或断开。

[0266] 在开关 SW1 被短路的情况下,被并联连接的一个电流电压转换器 41 和一个开关 SW1 所组成的组的合计电阻值,作为较理想的值可以考虑是  $0\Omega$ 。

[0267] 并且,在开关 SW1 被断开的情况下,并联连接的一个电流电压转换器 41 和一个开关 SW1 所组成的组的合计电阻值,作为较理想的值可以考虑是成为电流电压转换器 41 的电阻值。

[0268] 同样,在开关 SW2 被短路的情况下,被并联连接的一个电流电压转换器 42 和一个开关 SW2 所组成的组的合计电阻值,作为较理想的值可以考虑是  $0\Omega$ 。

[0269] 并且,在开关 SW2 被断开的情况下,并联连接的一个电流电压转换器 42 和一个开关 SW2 所组成的组的合计电阻值,作为较理想的值可以考虑是成为电流电压转换器 42 的电阻值。

[0270] 例如,电流电压转换器 41 为一级串联连接的情况下,即  $n = 1$  的情况下,可变电阻元件 21 的电阻值成为  $0\Omega$  和电流电压转换器 41 的电阻值  $R$  这两个值之中的某一个。

[0271] 并且,电流电压转换器 41 为两级串联连接的情况下,即  $n = 2$  的情况下,若将两个电流电压转换器 41 的电阻值设为  $R$  以及  $2R$  的情况下,可变电阻元件 21 的电阻值成为  $0\Omega$ 、电阻值  $R$  的一倍、两倍、以及三倍这四个值中的某一个。

[0272] 并且,按照电压可变电路控制信号  $V_{set}[n:1]$ ,电压可变电路 91 变更电流源晶体管 102 的栅极电压。据此,能够变更流过电流源晶体管 102 的电流  $I_r \times \alpha$ 。

[0273] 例如,电流  $I_r$  成为  $\alpha$  倍的情况下,较理想的是,电流  $I_p \times \alpha$  流入到非反相输入侧的差动晶体管 100,电流  $I_n \times \alpha$  流入到反相输入侧的差动晶体管 101。

[0274] 因此,通过控制可变电阻元件 21 的电阻值和流入到可变电阻元件 21 的电流  $I_p \times \alpha$ ,从而能够在非反相输入侧的差动晶体管 100 的源极和分支点 N1 之间产生任意的电压差  $\Delta V_p \times \alpha$ 。

[0275] 同样,通过控制可变电阻元件 22 的电阻值和流入到可变电阻元件 22 的电流  $I_p \times \alpha$ ,从而能够在反相输入侧的差动晶体管 101 的源极和分支点 N1 之间产生任意的电压差  $\Delta V_n \times \alpha$ 。

[0276] 并且,若替换成  $\Delta V_n \times \alpha = \Delta V_n$  和替换成  $\Delta V_p \times \alpha = \Delta V_p$ ,则能够降低输出电压的偏差的说明与实施例 1 所记载的内容相同。这样,本发明的实施例 4 所涉及的运算放大电路 122D 与实施例 1 相同,能够在抑制电路面积增加的情况下,降低正负双方的输出电压偏差。

[0277] 而且,本发明的实施例 4 所涉及的运算放大电路 122D 由于能够变更电流源晶体管 102 的栅极电压,因此与实施例 1 所涉及的运算放大电路 122A 相比,能够更精细地变更在可变电阻元件 21 和 22 的两端产生的电压差  $\Delta V_p$  和  $\Delta V_n$ 。

[0278] 而且,实施例 4 所涉及的运算放大电路 122D 与实施例 1 所涉及的运算放大电路 122A 相比,即使在发生了较大的输出电压的偏差的情况下也能够对应。

[0279] 并且,在本发明的实施例 4 中,虽然利用具有可变电阻元件 21 和可变电阻元件 22 这两个可变电阻元件的运算放大电路 122D 进行了说明,不过,在只要能够降低正负某一方的输出电压的偏差即可的情况下,运算放大电路 122D 也可以仅具有可变电阻元件 21 和可变电阻元件 22 的某一个。

[0280] 通过这种构成,能够实现运算放大电路 122D 的小面积化。

[0281] 并且,在上述的实施例 4 中,对在实施例 1 中说明的运算放大电路 122A 的基础上还具有电压可变电路 91 的构成进行了说明,不过也可以在实施例 2 所涉及的运算放大电路 122B 或实施例 3 所涉及的运算放大电路 122C 的基础上还具有电压可变电路 91。

[0282] 另外,本发明并非受以上的实施例 1 至 4 所限定,可以进行各种变更,这些变更不用说也被包含在本发明的范围内。

[0283] 例如,在本发明的实施例 1 至 4 中,举例示出了以差动对为 N 沟道 MOS 晶体管对构成的运算放大电路 122A 至 122D,以差动对为 P 沟道 MOS 晶体管对构成的运算放大电路也能够适用于本发明。

[0284] 而且,运算放大电路 122A 至 122D 也可以包括以 N 沟道 MOS 晶体管对构成的第一差动对和以 P 沟道 MOS 晶体管对构成的第二差动对。

[0285] 即,即使是以 Rail to Rail(轨对轨)型的多个差动对构成的运算放大电路,也可以以同样的设计思维来适用于本发明。

[0286] 并且,最好是校正电压选择电路 51(52) 的电阻值的温度依存性与开关 SW1(SW2) 的电阻值的温度依存性为反方向的特性。

[0287] 通过设定为这种构成,校正电压选择电路 51(52) 的电阻值能够通过由开关

SW1 (SW2) 的电阻值的温度而产生的变动来抵消自身因温度而带来的变动。这样,能够缓解输出电压的偏差对温度的依存性。

[0288] 并且,可变电阻元件 21 和 22 的构成并非受以上所述的构成所限,也可以采用以下的构成。

[0289] 图 14 示出了上述的可变电阻元件 21 和 22 的其他的例子的可变电阻元件 21A 的构成。

[0290] 图 14 所示的可变电阻元件 21A 具有  $n-1$  ( $n$  为 2 以上的整数) 个串联连接的电流电压转换器 41 和校正电压选择电路 51A。

[0291] 另外,在图 14 中示出了  $n = 4$  的例子。各个电流电压转换器 41 是将电流转换为电压的电阻元件。

[0292] 例如, $n-1$  个电流电压转换器 41 的电阻值是相等的。校正电压选择电路 51A 通过变更被串联连接在第一端子 A 和第二端子 B 之间的电流电压转换器 41 的级数,从而变更第一端子 A 和第二端子 B 之间的电阻值。该校正电压选择电路 51A 具有  $n$  个开关  $SW_y(1)$  至  $SW_y(n)$ 。

[0293] 并且,在没有特殊区别  $n$  个开关  $SW_y(1)$  至  $SW_y(n)$  的情况下,记作开关  $SW_y$ 。 $n$  个开关  $SW_y(1)$  至  $SW_y(n)$  的每一个的一端被分别连接于  $n-1$  个电流电压转换器 41 的串联连接的分支点以及该串联连接的两端,而另一端被连接于第二端子 B。

[0294] 并且, $n$  个开关  $SW_y(1)$  至  $SW_y(n)$  由  $n$  比特的可变电阻元件控制信号  $regp[n:1]$  被控制成短路或断开。

[0295] 图 15 示出了  $n = 4$  的情况下的可变电阻元件控制信号  $regp[n:1]$ 、多个开关  $SW_y(1)$  至  $SW_y(n)$  的接通与断开状态、以及可变电阻元件 21A 的电阻值。

[0296] 如图 15 所示,在使三个电流电压转换器 41 的电阻值相等的状态下,通过仅使四个开关  $SW_y(1)$  至  $SW_y(4)$  中的一个接通,从而能够实现等间隔的调整间隔。

[0297] 并且,在利用图 15 所示的可变电阻元件 21A 的情况以及在以往的输出电路 300 想要实现同一调整范围的情况中,利用图 15 所示的可变电阻元件 21A 的情况更能够使电路面积减小。其原因是,此调整范围是以可变电阻元件能够获得的最大电阻值来决定的。因此,在以往的输出电路 300 中,需要将电阻值最大的电阻的电阻值作为该最大的电阻值。

[0298] 另一方面,在利用图 15 所示的可变电阻元件 21A 的情况下,可以将多个电流电压转换器 41 的电阻值的合计作为该最大的电阻值。

[0299] 这样,利用图 15 所示的可变电阻元件 21A 的情况也和利用图 5 等所示的可变电阻元件 21 以及 22 的情况一样,与以往的输出电路 300 相比,能够减小电路面积。

[0300] 并且,在对可变电阻元件 21A 和图 5 所示的可变电阻元件 21 相比较的情况下,由于图 5 等所示的可变电阻元件 21 更能够以小的面积来实现调整间隔为等间隔的输出电压调整,因此更好。

[0301] 并且,也可以取代可变电阻元件 21 以及 22 而采用以下所示的构成。

[0302] 图 16 示出了上述可变电阻元件 21 以及 22 的另外的一个例子,示出了具有可变电阻元件 21B 的运算放大电路 122E 的构成。对于与图 9 相同的要素赋予相同的符号。

[0303] 图 16 所示的运算放大电路 122E 针对图 9 所示的运算放大电路 122B 而言,具有可变电阻元件 21B 以取代可变电阻元件 21。可变电阻元件 21B 具有晶体管 92B 和电压可变电

路 91B。

[0304] 晶体管 92B 的源极端子以及漏极端子的一方被连接于可变电阻元件 21B 的第一端子,晶体管 92B 的源极端子以及漏极端子的另一方被连接于可变电阻元件 21B 的第二端子。

[0305] 并且,晶体管 92B 中被提供有作为衬底偏压的一定的偏置电压。

[0306] 电压可变电路 91B 按照控制信号  $V_{set}[n:1]$ ,通过将  $n$  阶段的电压值中的某一电压值的电压提供到晶体管 92B 的栅极端子,从而变更晶体管 92B 的导通电阻。

[0307] 即,电压可变电路 91B 通过变更晶体管 92B 的栅极电压,从而变更可变电阻元件 21B 的第一端子和第二端子之间的电阻值(晶体管 92B 的导通电阻)。

[0308] 通过这种构成,由于能够以一个晶体管和电压可变电路构成以多个电阻元件和开关所组成的组所构成的可变电阻元件,因此能够减小可变电阻元件的面积。

[0309] 而且,也可以取代可变电阻元件 21 以及 22 而采用以下所示的构成。

[0310] 图 17 示出了上述可变电阻元件 21 以及 22 的另外的一个例子,示出了具有可变电阻元件 21C 的运算放大电路 122F 的构成。对于与图 9 相同的要素赋予相同的符号。

[0311] 图 17 所示的运算放大电路 122F 针对图 9 所示的运算放大电路 122B 而言,具有可变电阻元件 21C 以取代可变电阻元件 21。可变电阻元件 21C 具有晶体管 92C 和电压可变电路 91C。

[0312] 晶体管 92C 的源极端子以及漏极端子的一方被连接于可变电阻元件 21C 的第一端子,晶体管 92C 的源极端子以及漏极端子的另一方被连接于可变电阻元件 21C 的第二端子。

[0313] 并且,晶体管 92C 的栅极端子中被施加有一定的偏置电压。

[0314] 电压可变电路 91C 按照控制信号  $V_{set}[n:1]$ ,通过将  $n$  阶段的电压值中的某一电压值的电压提供到晶体管 92C,从而变更晶体管 92C 的导通电阻。

[0315] 具体而言,电压可变电路 91C 通过以  $n$  阶段来变更晶体管 92C 的衬底偏压,从而变更晶体管 92C 的导通电阻。这样,电压可变电路 91C 变更可变电阻元件 21C 的第一端子和第二端子之间的电阻值(晶体管 92C 的导通电阻)。

[0316] 通过这种构成,由于能够以一个晶体管和电压可变电路构成以多个电阻元件和开关所组成的组所构成的可变电阻元件,因此能够减小可变电阻元件的面积。

[0317] 另外,上述的实施例 1 所涉及的运算放大电路 122A、实施例 3 所涉及的运算放大电路 122C 以及实施例 4 所涉及的运算放大电路 122D 也可以具有图 16 所示的可变电阻元件 21B 或图 17 所示的可变电阻元件 21C。

[0318] 并且,在上述的实施例 1 至 4 中,举例说明了将本发明适用于一般的运算放大电路的一个例子,作为一般的运算放大电路也可以采用周知的其他的电路构成。例如,也可以在上述的电流源晶体管 102 中采用共阴共栅的电流镜型的差动电流源。换言之,实施例 1 至 4 所涉及的运算放大电路 122A 至 122F 还可以具有,被连接于电流源晶体管 102 和分支点 N1 之间的、用于降低电流源晶体管 102 的偏差的电阻元件等。此电阻元件例如可以是栅极电压由偏置电压固定的晶体管。

[0319] 并且,图 1 以及图 2 所示的显示装置 10 所包括的各个处理部典型地可以作为集成电路 LSI 来实现。这些可以分别被制成一个芯片,也可以将其中的一部分或全部制作在一个芯片中。

[0320] 并且,集成电路化的方法也不仅限于 LSI,也可以通过专用电路或通用处理器来实

现。LSI 制造后,也可以利用能够程序化的现场可编程门阵列 (FPGA:Field Programmable Gate Array),或利用可再构成 LSI 内部的电路单元的接续或设定的可重装处理器。

[0321] 而且,若随着半导体技术的进步或派生的其它技术而出现可以替换 LSI 等集成电路的技术的情况下,当然也可以利用这些新出现的技术使各个处理部集成化。

[0322] 并且,显示装置 10 的功能中的一部分也可以由 CPU 等处理器执行程序来实现。

[0323] 而且,本发明也可以作为上述程序,还可以作为记录上述程序的记录媒体。并且,上述的程序可以通过互联网等传输介质来分发。

[0324] 并且,本发明也可以作为用于降低上述运算放大电路 122A 至 122D 中的某一个的输出电压的偏差的运算放大电路的调整方法来实现。而且,也可以作为显示驱动装置 110 或显示装置 10 的调整方法来实现。

[0325] 并且,本发明也可以作为上述调整装置和包括运算放大电路 122A 至 122D 中的某一个的运算放大电路的调整系统来实现,也可以作为包括上述调整装置的显示驱动装置 110 或显示装置 10 来实现。而且,这些调整装置的功能也可以作为专用的电路(硬盘)来实现,也可以通过 CPU 等处理器执行程序(软件)来实现,也可以通过他们的组合来实现。

[0326] 并且,在上述的说明中,使本发明的实施例 1 至 4 所涉及的运算放大电路 122A 至 122D 包括在具有有机 EL 面板 111 的显示装置 10 中为例进行了说明,在其他的显示装置中也可以适用本发明。例如,可以将本发明适用于具有液晶显示面板的显示装置。

[0327] 并且,在以上的例子中所采用的数字都是为了对本发明进行具体说明而举的例子,本发明不受举例示出的数字所限。而且,以高/低来表示的逻辑等级或者以接通/断开来表示的开关的状态也是为了具体说明本发明而举的例子,即使通过与举例示出的逻辑等级或者开关状态不同的组合也能够得到同样得结果。并且,晶体管等的 n 型以及 p 型等也是为了具体说明本发明而举的例子,通过使他们反转也能够得到同样的结果。并且,构成要素之间的连接关系也是为了具体说明本发明而举的例子,实现本发明的功能的连接关系不受此限。

[0328] 并且,也可以组合上述实施例 1 至 4 所涉及的运算放大电路 122A 至 122D 以及变形例的功能中的至少一部分。

[0329] 本发明能够适用于运算放大电路以及显示装置。并且,由于本发明能够降低运算放大电路的输出电压偏差,因此比较适合于针对电源电路以及平板显示器的驱动器。并且,本发明能够适用于具有液晶面板以及有机 EL 面板的便携式设备、小型移动设备以及大型面板设备。



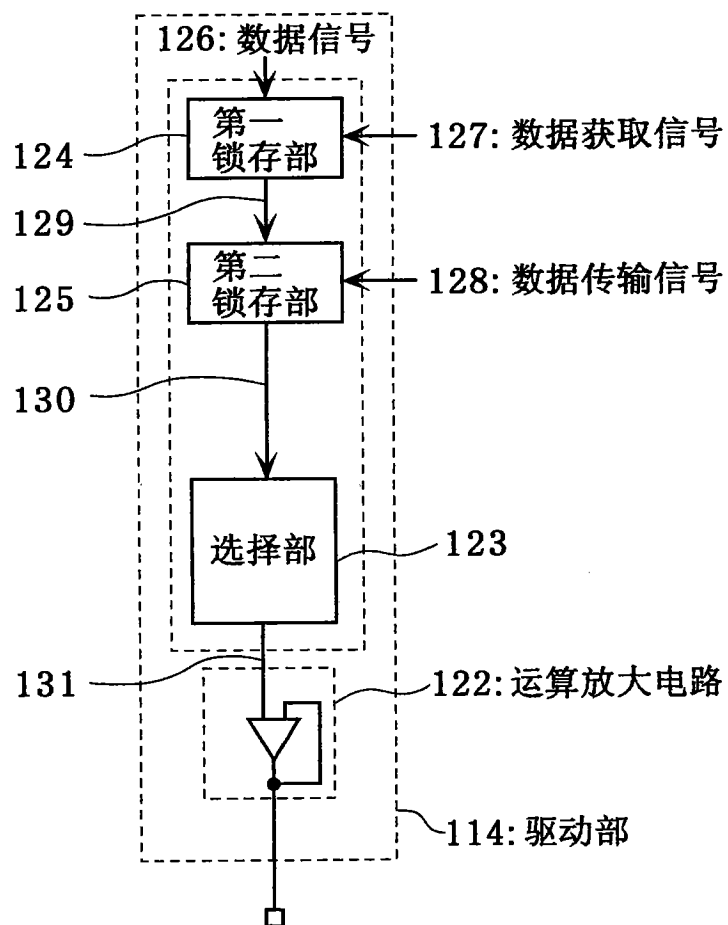


图 2

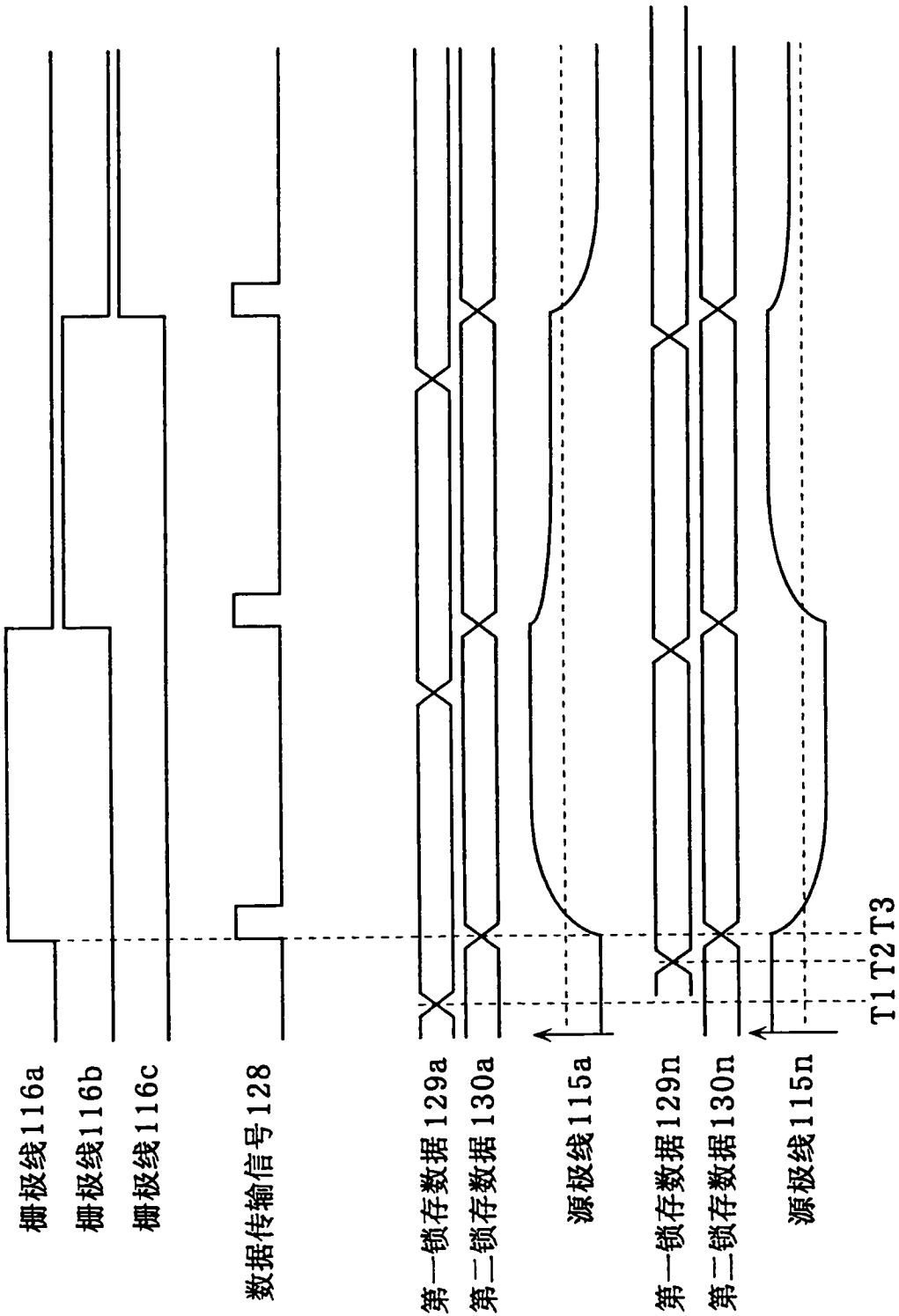


图 3

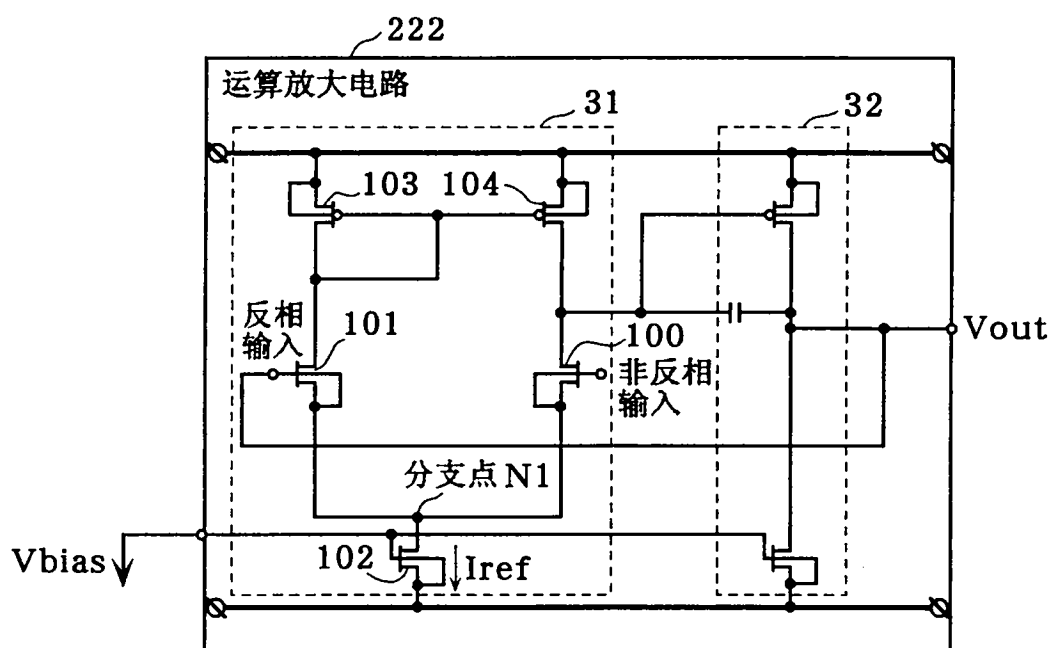


图 4

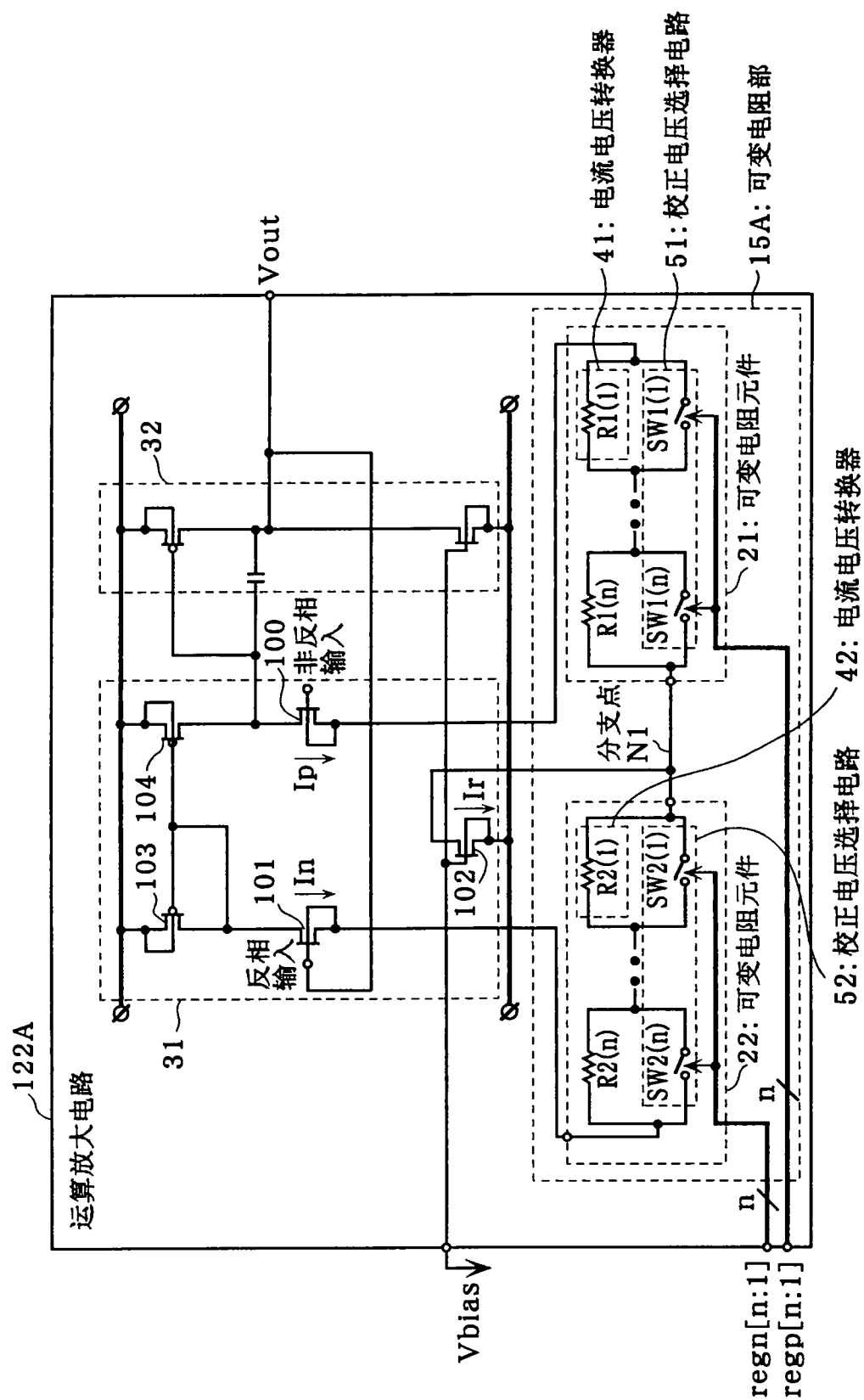


图 5

$R(1) = R[\Omega]$     $R(2) = 2R[\Omega]$

| regp[2:1] | SW1(2) | SW1(1) | 可变电阻元件的电阻值     |
|-----------|--------|--------|----------------|
| 00        | OFF    | OFF    | $R(1)+R(2)=3R$ |
| 01        | OFF    | ON     | $R(2)=2R$      |
| 10        | ON     | OFF    | $R(1)=R$       |
| 11        | ON     | ON     | 0              |

图 6

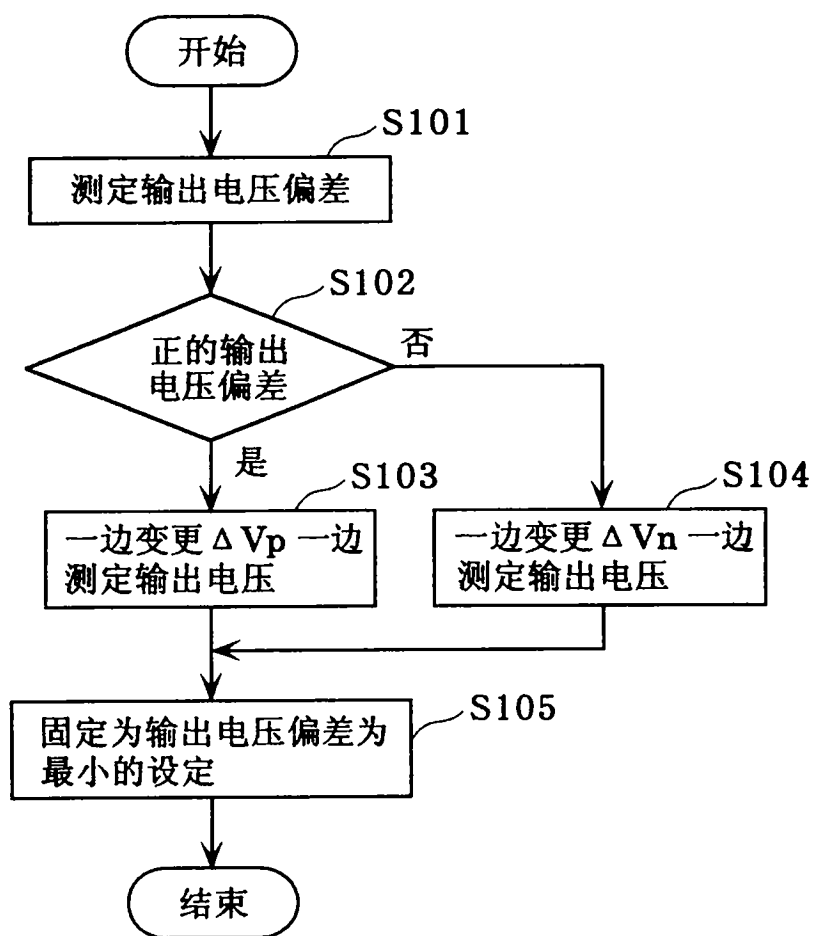


图 7

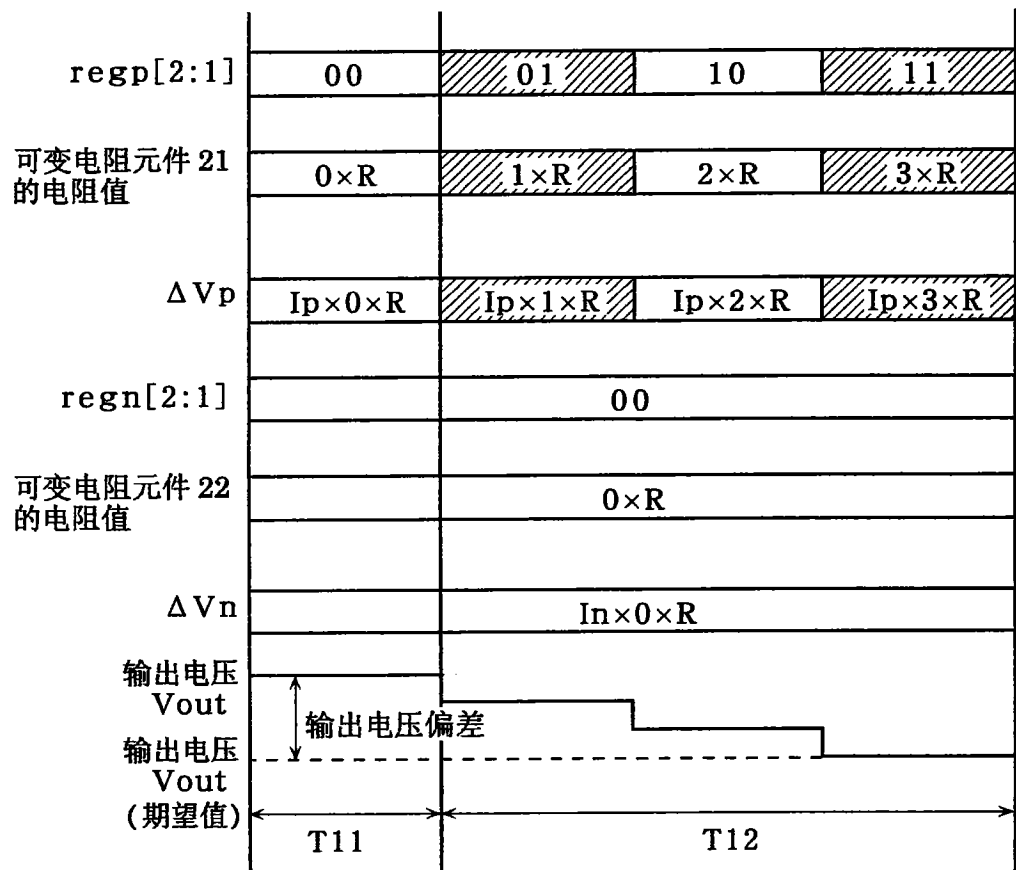


图 8

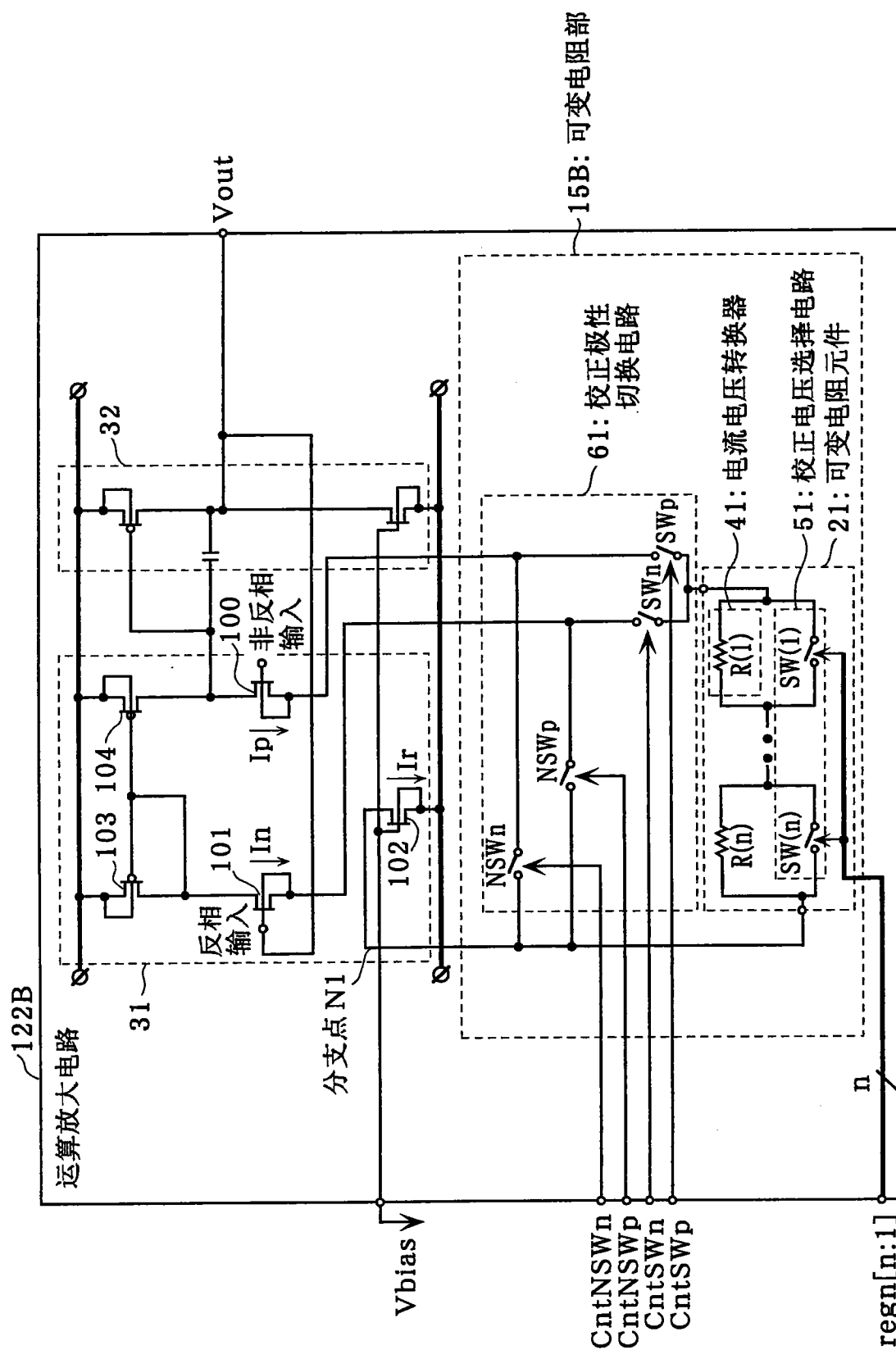


图 9

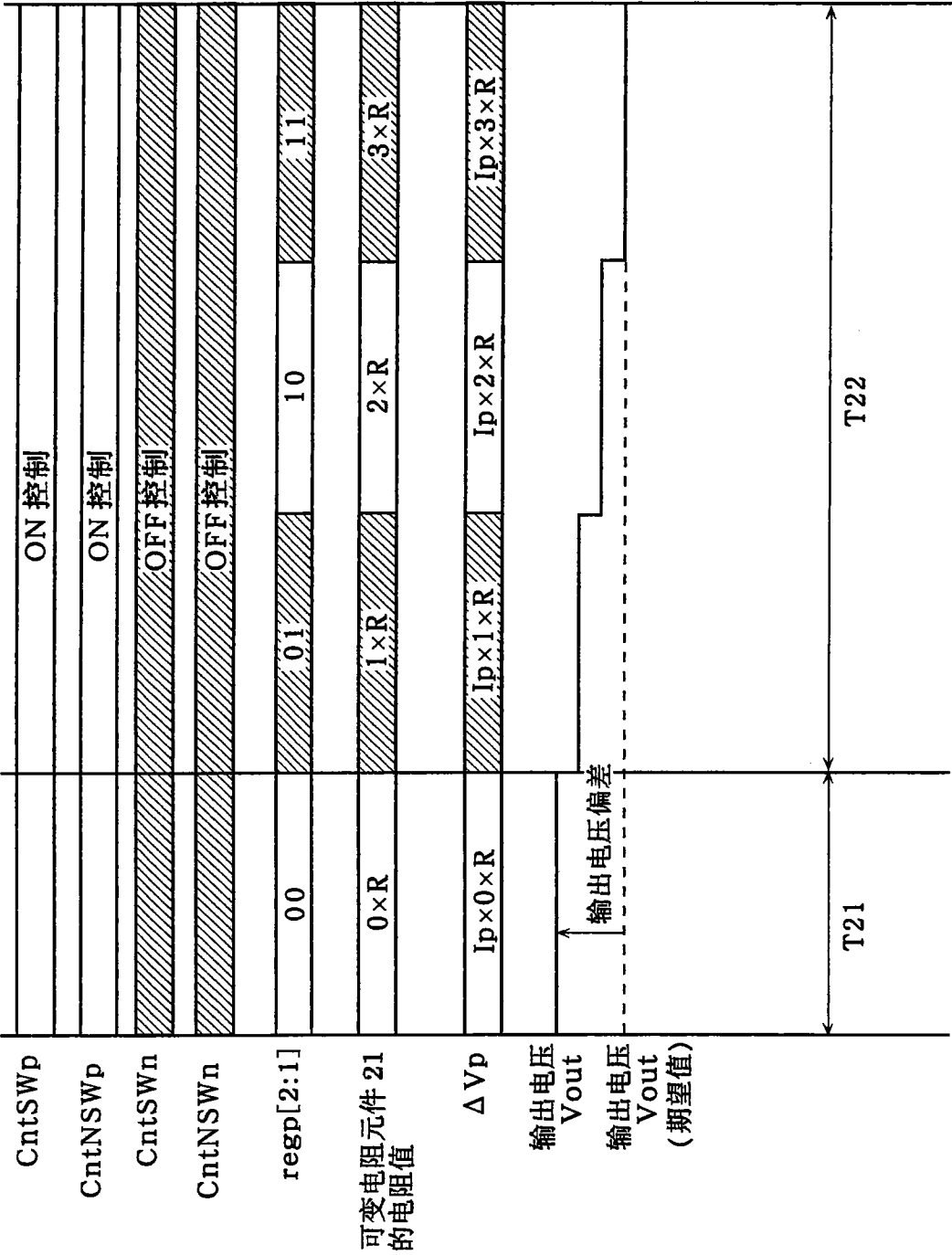


图 10

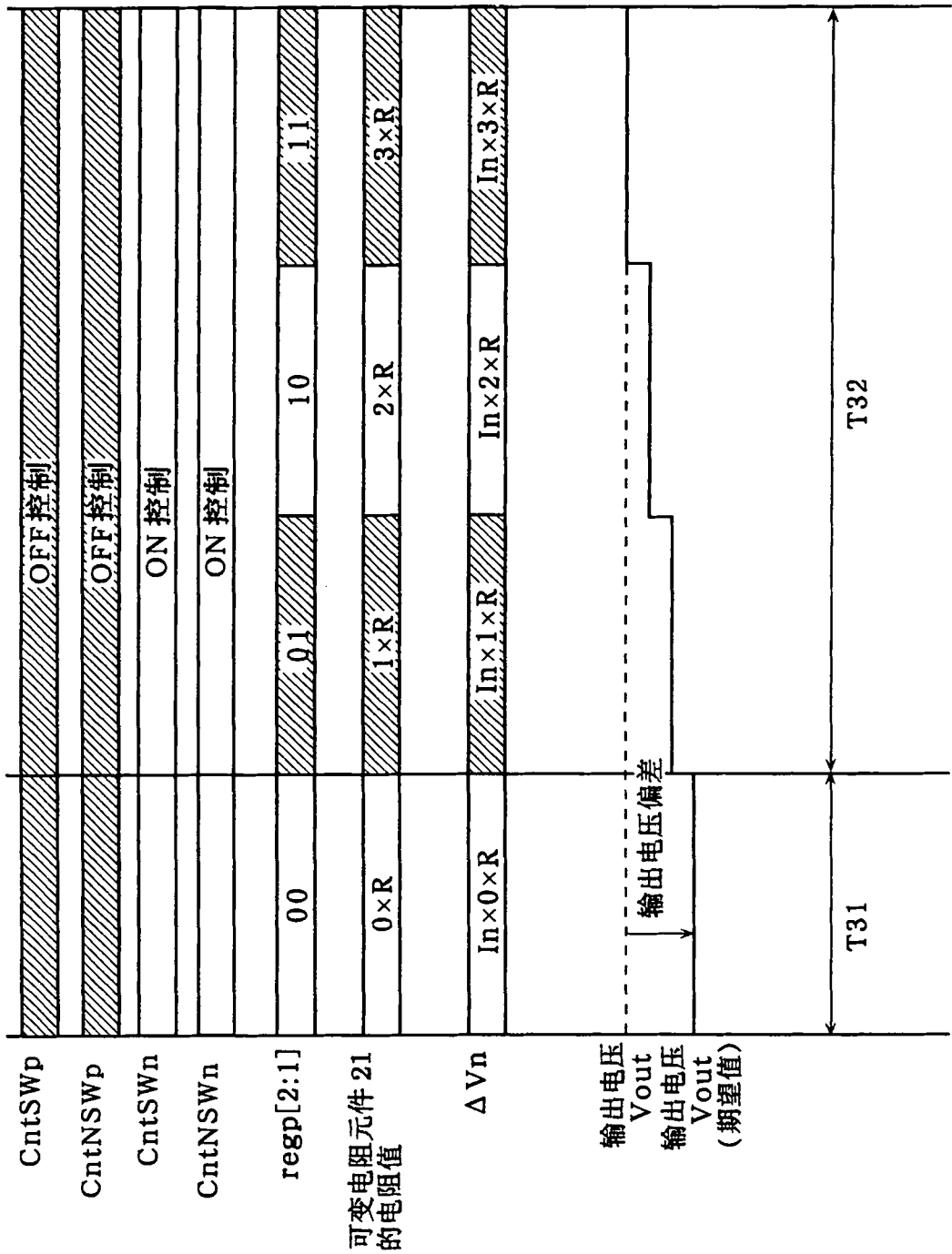


图 11

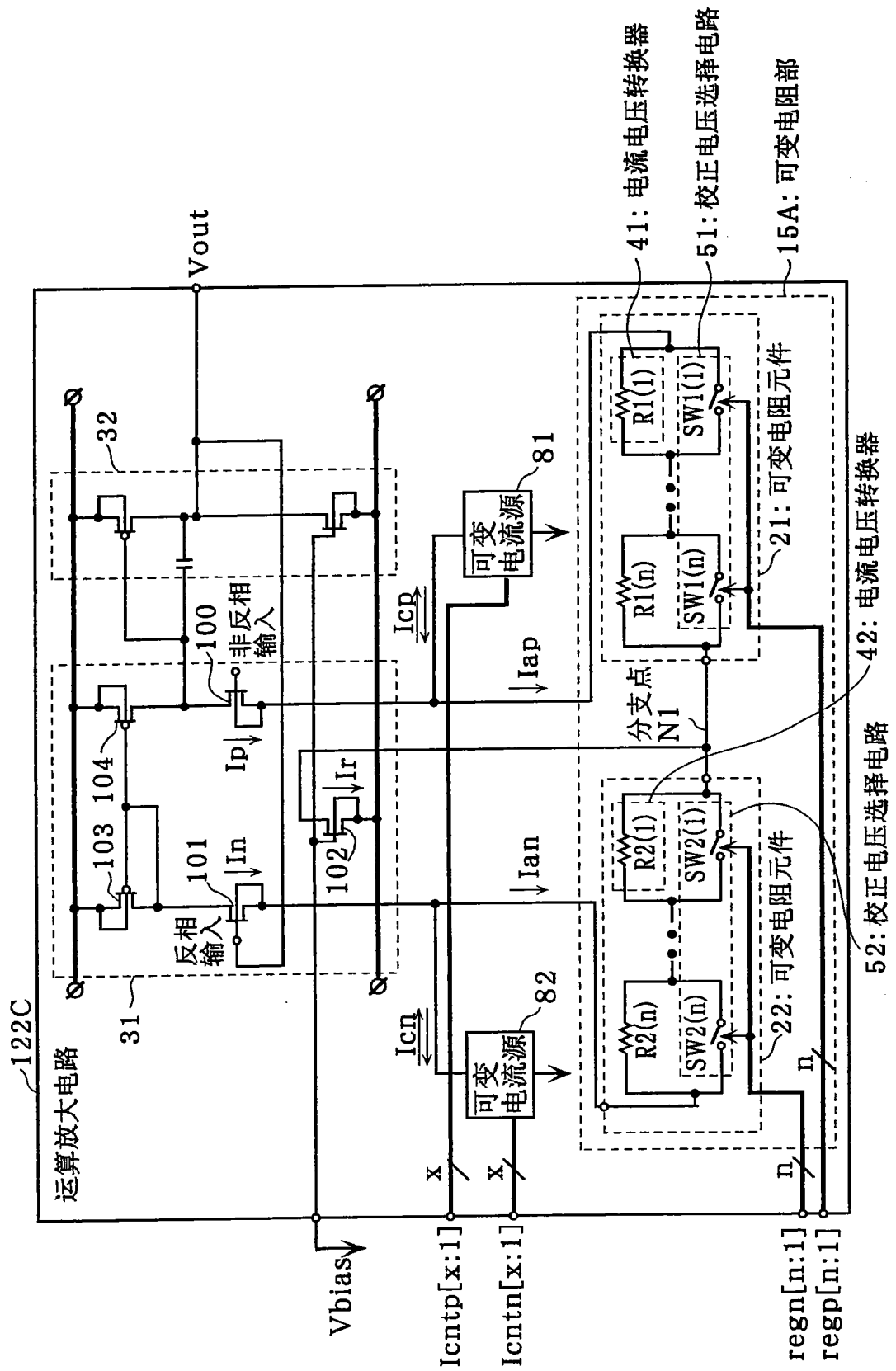


图 12

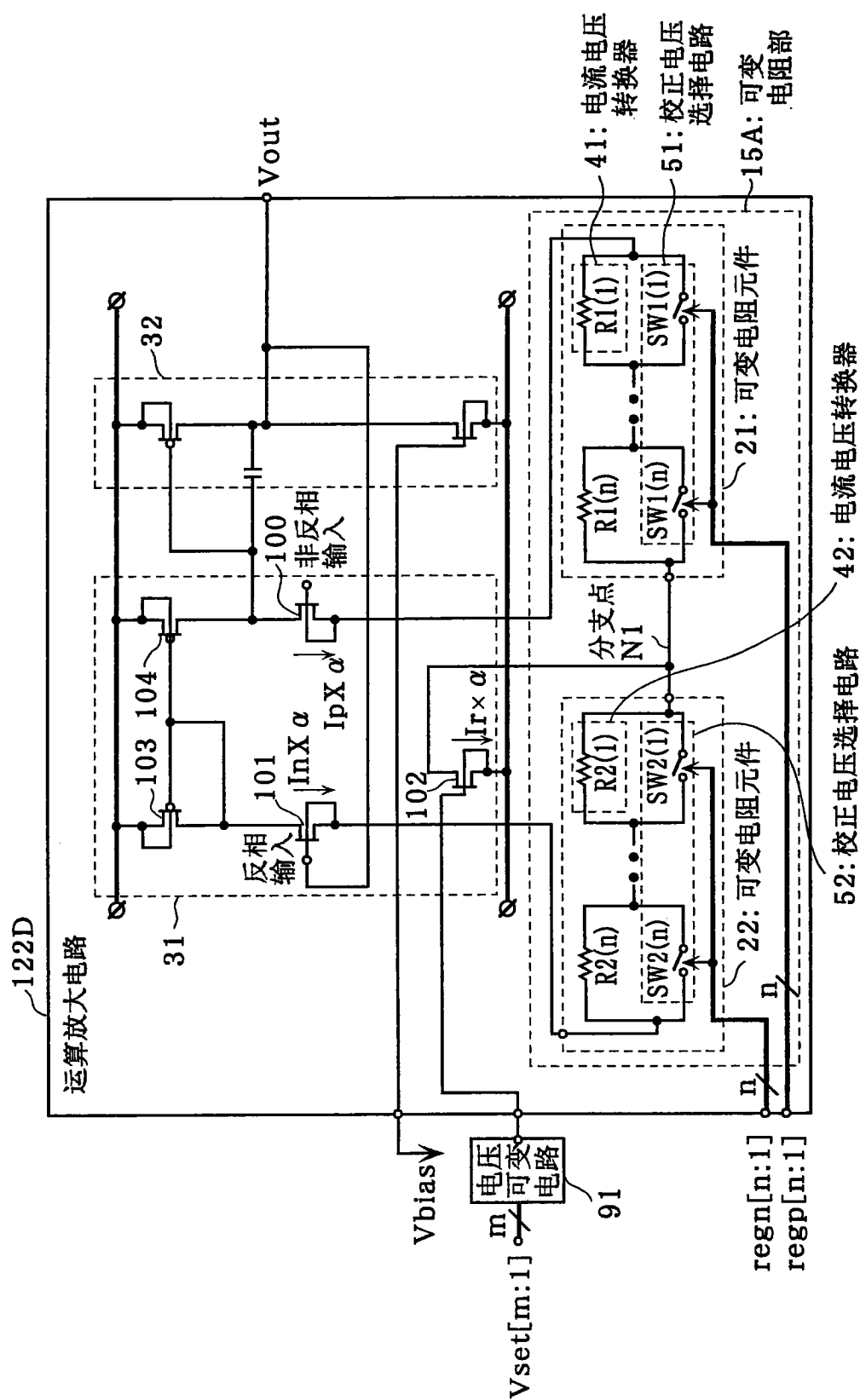


图 13

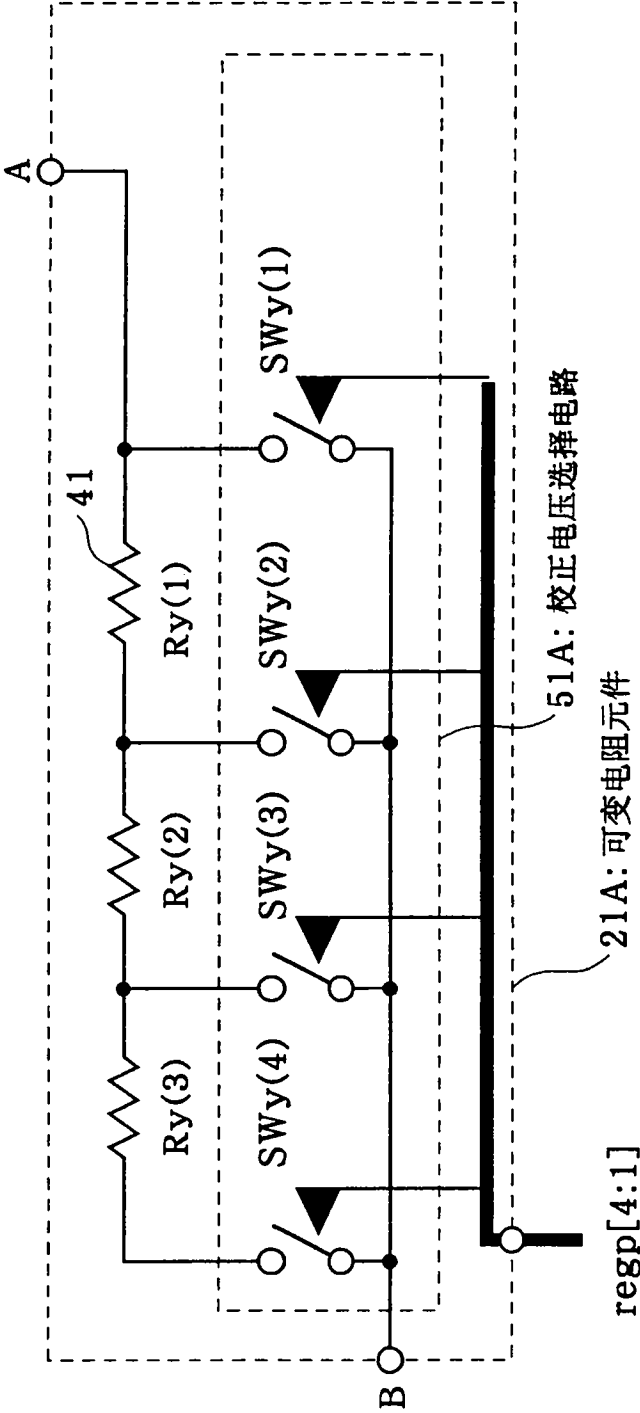


图 14

$Ry(1) = Ry(2) = Ry(3) = R[\Omega]$

| regp[4:1] | $SWy(4)$ | $SWy(3)$ | $SWy(2)$ | $SWy(1)$ | 可变电阻元件的电阻值             |
|-----------|----------|----------|----------|----------|------------------------|
| 0001      | OFF      | OFF      | OFF      | ON       | 0                      |
| 0010      | OFF      | OFF      | ON       | OFF      | $R(1)=R$               |
| 0100      | OFF      | ON       | OFF      | OFF      | $Ry(1)+Ry(2)=2R$       |
| 1000      | ON       | OFF      | OFF      | OFF      | $Ry(1)+Ry(2)+Ry(3)=3R$ |

图 15

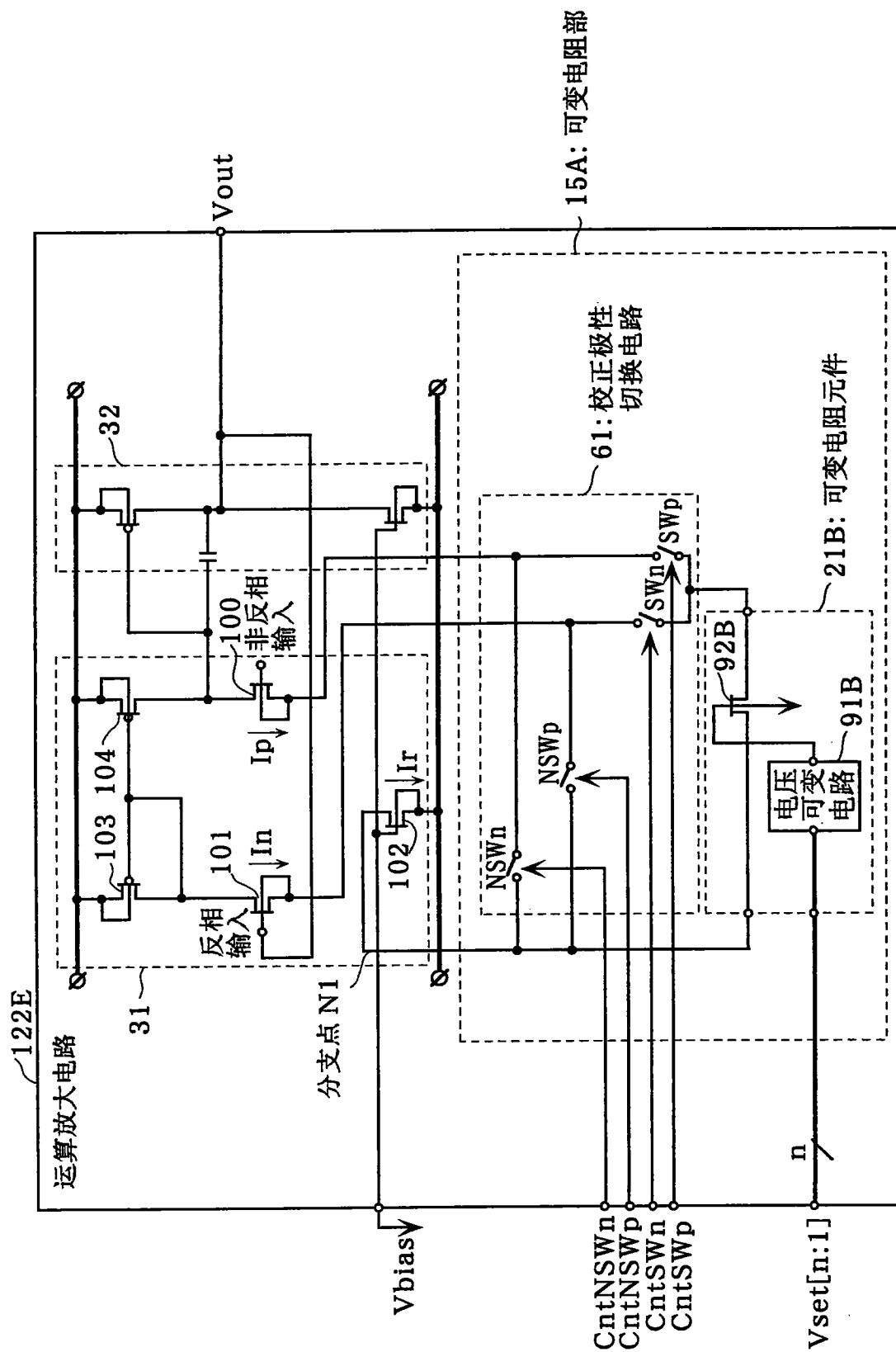


图 16

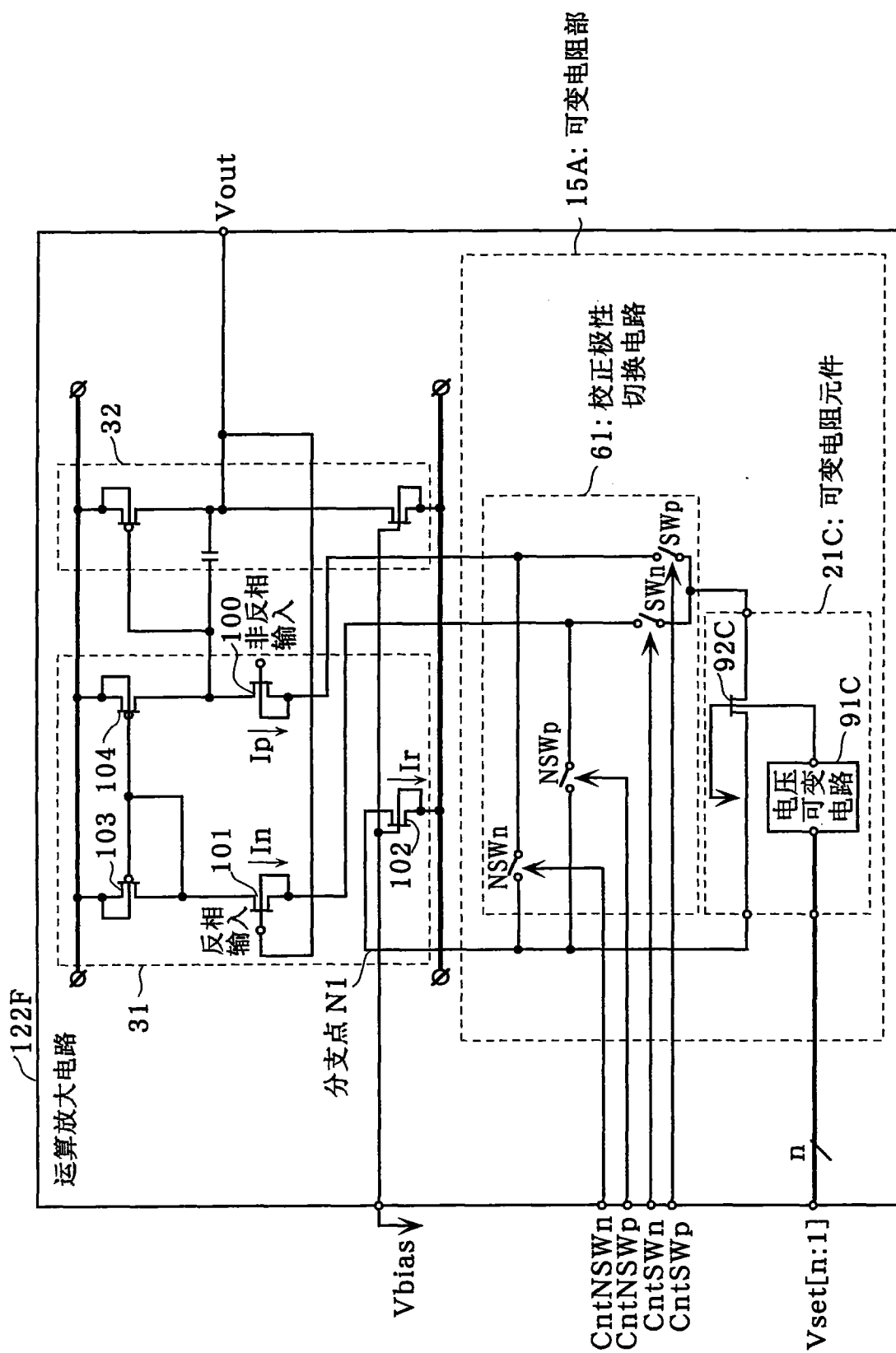


图 17

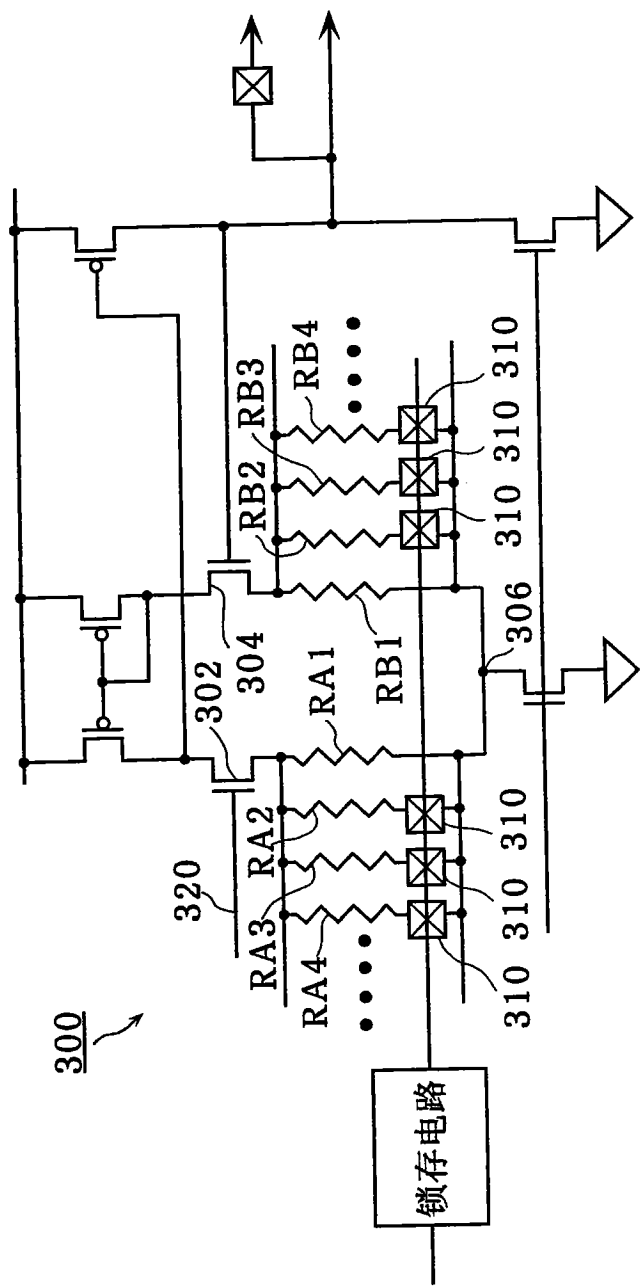


图 18