

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第1区分

【発行日】平成27年4月9日(2015.4.9)

【公開番号】特開2015-38473(P2015-38473A)

【公開日】平成27年2月26日(2015.2.26)

【年通号数】公開・登録公報2015-013

【出願番号】特願2014-146027(P2014-146027)

【国際特許分類】

G 0 1 R 31/28 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

【F I】

G 0 1 R 31/28 V

H 0 1 L 27/04 T

【手続補正書】

【提出日】平成27年1月28日(2015.1.28)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 5

【補正方法】変更

【補正の内容】

【0 0 1 5】

本発明の第4の態様では、前記課題を解決する為に、スキャンBISTのLFSRを被検査回路のスキャンFFにおけるスキャンバス長分時間展開して構成したXORネットワークと、前記被検査回路の組合せ回路部分と、前記組合せ回路部分を複製した第2の組合せ回路部分とを備え、前記XORネットワーク出力を前記組合せ回路部分の入力に接続し、前記XORネットワーク出力と前記組合せ回路部分出力を前記第2の組合せ回路部分の入力に接続してシード生成モデルを形成する手順と、前記シード生成モデルに対して対象故障のテスト生成を行って、前記LFSRのシードを形成する手順と、をコンピュータに実行させるためのプログラムを記憶する、記憶媒体を提供する。

【手続補正2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項1 6

【補正方法】変更

【補正の内容】

【請求項1 6】

スキャンBISTのLFSRを被検査回路のスキャンFFにおけるスキャンバス長分時間展開して構成したXORネットワークと、前記被検査回路の組合せ回路部分と、前記組合せ回路部分を複製した第2の組合せ回路部分とを備え、前記XORネットワーク出力を前記組合せ回路部分の入力に接続し、前記XORネットワーク出力と前記組合せ回路部分出力を前記第2の組合せ回路部分の入力に接続してシード生成モデルを形成する手順と、

前記シード生成モデルに対して対象故障のテスト生成を行って、前記LFSRのシードを形成する手順と、をコンピュータに実行させるためのプログラムを記憶する、記憶媒体。