



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2017년01월05일

(11) 등록번호 10-1692954

(24) 등록일자 2016년12월29일

(51) 국제특허분류(Int. Cl.)

H01L 51/52 (2006.01) H01L 51/56 (2006.01)

H05B 33/26 (2006.01)

(21) 출원번호 10-2010-0046030

(22) 출원일자 2010년05월17일

심사청구일자 2015년03월11일

(65) 공개번호 10-2011-0126379

(43) 공개일자 2011년11월23일

(56) 선행기술조사문헌

JP2009271527 A*

KR100867926 B1*

KR100730193 B1*

KR100637250 B1

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

노대현

경기도 용인시 기흥구 삼성2로 95 (농서동)

최종현

경기도 용인시 기흥구 삼성2로 95 (농서동)

(뒷면에 계속)

(74) 대리인

리앤목특허법인

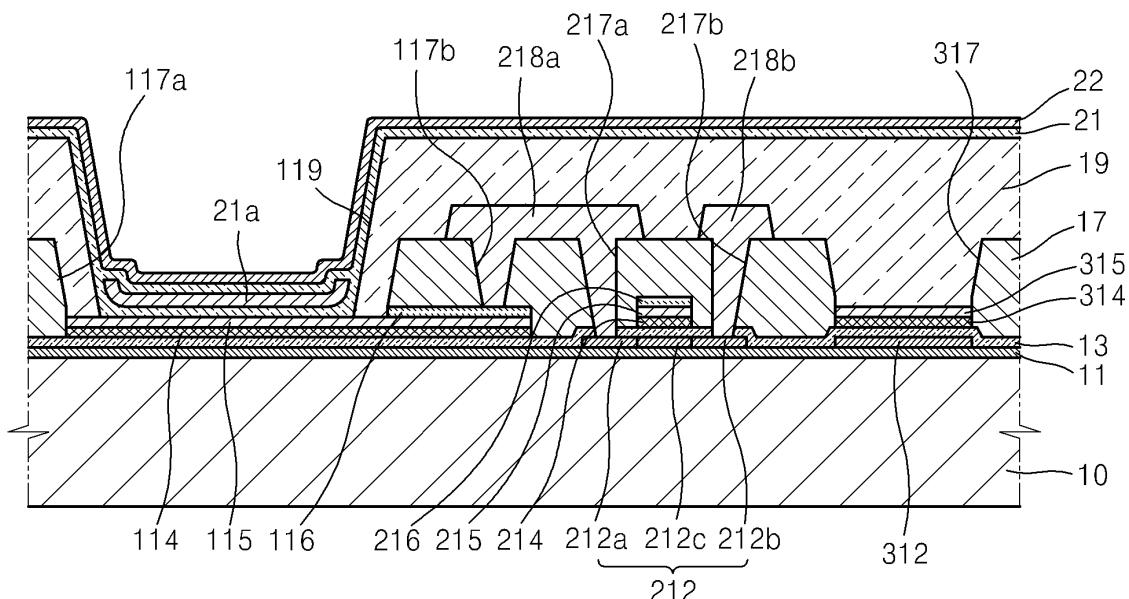
전체 청구항 수 : 총 21 항

심사관 : 조성수

(54) 발명의 명칭 유기 발광 디스플레이 장치 및 그 제조 방법

(57) 요 약

본 발명은 제조 공정이 단순하고 표시 품질을 향상시키기 위한 것으로, 기판 상에 형성되고 반도체 물질로 구비된 박막 트랜지스터의 활성층과, 상기 기판 상에 형성되고 불순물 이온이 도핑된 반도체 물질로 구비된 커패시터의 하부 전극과, 상기 활성층 및 상기 하부 전극을 덮도록 상기 기판 상에 형성된 제1절연층과, 상기 제1절연층 (뒷면에 계속)

대 표 도 - 도16

상에 형성되며, 금속으로 구비된 제1케이트 전극, 투명도전물로 구비된 제2케이트 전극 및 금속으로 구비된 제3케이트 전극이 순차 적층된 박막 트랜지스터의 케이트 전극과, 상기 제1절연층 상에 형성되고, 금속으로 구비된 제1화소 전극 및 투명 도전물로 구비된 제2화소 전극이 순차 적층된 화소 전극과, 상기 제1절연층 상에 형성되고, 금속으로 구비된 제1상부 전극 및 투명 도전물로 구비된 제2상부 전극이 순차 적층된 커패시터의 상부 전극과, 상기 활성층과 전기적으로 연결된 박막 트랜지스터의 소스 및 드레인 전극과, 상기 화소 전극 상에 배치되고 유기 발광층을 포함하는 유기층과, 상기 유기층을 사이에 두고 상기 화소 전극에 대향 배치되는 대향 전극을 포함하는 유기 발광 디스플레이 장치 및 그 제조방법에 관한 것이다.

(72) 발명자

김건식

경기도 용인시 기흥구 삼성2로 95 (농서동)

이준우

경기도 용인시 기흥구 삼성2로 95 (농서동)

명세서

청구범위

청구항 1

기판 상에 형성되고 반도체 물질로 구비된 박막 트랜지스터의 활성층;

상기 기판 상에 형성되고 불순물 이온이 도핑된 반도체 물질로 구비된 커패시터의 하부 전극;

상기 활성층 및 상기 하부 전극을 덮도록 상기 기판 상에 형성된 제1절연층;

상기 제1절연층 상에 형성되며, 금속으로 구비된 제1게이트 전극, 투명도전물로 구비된 제2게이트 전극 및 금속으로 구비된 제3게이트 전극이 순차 적층된 박막 트랜지스터의 게이트 전극;

상기 제1절연층 상에 형성되고, 금속으로 구비된 제1화소 전극 및 투명 도전물로 구비된 제2화소 전극 및 금속으로 구비된 제3화소 전극이 순차 적층된 화소 전극;

상기 제1절연층 상에 형성되고, 금속으로 구비된 제1상부 전극 및 투명 도전물로 구비된 제2상부 전극이 순차 적층된 커패시터의 상부 전극;

상기 활성층과 전기적으로 연결된 박막 트랜지스터의 소스 및 드레인 전극;

상기 화소 전극 상에 배치되고 유기 발광층을 포함하는 유기층;

상기 유기층을 사이에 두고 상기 화소 전극에 대향 배치되는 대향 전극; 및

상기 제3화소 전극 및 게이트 전극을 덮도록 상기 제1절연층 상에 형성되고, 상기 제2화소 전극의 일부를 노출시키는 제1개구와, 상기 제3화소 전극의 일부를 노출시키는 제2개구를 포함하는 제2절연층;을 포함하고,

상기 소스 및 드레인 전극은 상기 제2절연층 상에 형성되고, 상기 소스 및 드레인 전극 중 어느 하나는 상기 제2개구를 통해 상기 제3화소 전극과 콘택된 유기 발광 디스플레이 장치.

청구항 2

제 1 항에 있어서,

상기 제1게이트 전극, 제1화소 전극 및 제1상부 전극은 동일한 금속으로 형성되고, 상기 금속은 알루미늄 합금인 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 3

제 2 항에 있어서,

상기 알루미늄 합금은 니켈을 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 4

제 2 항에 있어서,

상기 금속은 80 내지 200Å의 두께인 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 5

제 1 항에 있어서,

상기 제2게이트 전극, 제2화소 전극 및 제2상부 전극은 동일한 투명 도전물로 형성되고, 상기 투명 도전물은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In2O3), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 6

제 1 항에 있어서,

상기 제2절연층은 상기 제2상부 전극을 노출시키는 제3개구를 포함하는 유기 발광 디스플레이 장치.

청구항 7

제 1 항에 있어서,

상기 제3화소 전극 및 제3케이트 전극은 동일한 금속으로 형성되고, 상기 금속은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텉스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 8

제 1 항에 있어서,

상기 제3화소 전극 및 제3케이트 전극은 다층의 금속층을 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 9

제 1 항에 있어서,

상기 제1화소 전극은 상기 유기 발광층에서 방출된 광을 일부 투과 및 일부 반사하는 반투과 미러인 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 10

제 1 항에 있어서,

상기 대향 전극은 상기 유기 발광층에서 방출된 광을 반사하도록 구비된 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 11

제 1 항에 있어서,

상기 제1 화소 전극의 단부와, 상기 제2화소 전극의 단부는 식각면이 동일한 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 12

제 6 항에 있어서,

상기 제2절연층 상에 형성된 제3절연층을 더 포함하고, 상기 제3절연층은 상기 제1개구를 통해 노출된 상기 제2화소 전극의 일부를 노출시키는 제4개구를 포함하고, 상기 소스 및 드레인 전극과 상기 제3개구를 통해 노출된 상기 제2상부 전극을 덮는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 13

기판 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막 트랜지스터의 활성층 및 커패시터의 하부 전극을 형성하는 제1 마스크 공정;

상기 활성층 및 하부 전극을 덮도록 기판 상에 제1절연층을 형성하고, 상기 제1 절연층 상에, 제1금속층, 제1투명도전층 및 제2금속층을 순차 적층한 후 패터닝하여, 제1화소 전극, 제2화소 전극 및 제3화소 전극이 순차 적층된 화소 전극과, 제1케이트 전극, 제2케이트 전극 및 제3케이트 전극이 순차 적층된 박막 트랜지스터의 케이트 전극과, 제1상부 전극, 제2상부 전극 및 제3상부 전극이 순차 적층된 커패시터의 상부 전극을 형성하는 제2마스크 공정;

상기 화소 전극, 게이트 전극 및 상부 전극을 덮도록 상기 제1 절연층 상에 제2절연층을 형성하고, 상기 제2절연층을 패터닝하여 상기 제3화소 전극을 노출시키는 제1개구 및 제2개구, 상기 활성층의 소스 및 드레인 영역을 노출시키는 콘택홀 및 상기 제3상부 전극을 노출시키는 제3개구를 형성하는 제3 마스크 공정;

상기 제2절연층 상에, 상기 제1개구 내지 제3개구 및 콘택홀을 통해 노출된 부분을 덮도록 제3금속층을 형성하고, 상기 제3금속층을 패터닝하여 소스 및 드레인 전극을 형성하는 제4 마스크 공정; 및

상기 소스 및 드레인 전극을 덮도록 상기 제2절연층 상에 제3절연층을 형성하고, 상기 제3절연층을 패터닝하여 상기 화소 전극을 노출시키는 제4개구를 형성하는 제5 마스크 공정;을 포함하는 유기 발광 디스플레이 장치의 제조방법.

청구항 14

제 13 항에 있어서,

상기 제2 마스크 공정 후, 상기 제1게이트 전극 내지 제3게이트 전극을 마스크로 하여 상기 소스 및 드레인 영역에 이온 불순물을 도핑하는 공정이 더 포함된 유기 발광 디스플레이 장치의 제조방법.

청구항 15

제 13 항에 있어서,

상기 제4 마스크 공정은, 상기 제1개구를 통해 노출된 제3화소 전극의 부분 및 상기 제3개구를 통해 노출된 제3상부 전극을 제거하는 공정을 포함하는 유기 발광 디스플레이 장치의 제조방법.

청구항 16

제 15 항에 있어서,

상기 제4 마스크 공정 후, 상기 제3개구를 통해 노출된 제2상부 전극 상으로부터 불순물 이온을 상기 하부 전극에 도핑하는 공정이 더 포함된 유기 발광 디스플레이 장치의 제조방법.

청구항 17

제 13 항에 있어서,

상기 제1금속층은 알루미늄 합금으로 구비된 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조방법.

청구항 18

제 17 항에 있어서,

상기 알루미늄 합금은 니켈을 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조방법.

청구항 19

제 17 항에 있어서,

상기 제1금속층은 80 내지 200Å의 두께인 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조방법.

청구항 20

제 13 항에 있어서,

상기 제1투명 도전층은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조방법.

청구항 21

제 13 항에 있어서,

상기 제2금속층은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텉스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조방법.

발명의 설명

기술 분야

[0001]

본 발명은 유기 발광 디스플레이 장치 및 그 제조 방법에 관한 것으로, 더 상세하게는 제조 공정이 단순하고 표시 품질이 우수한 유기 발광 디스플레이 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002]

유기 발광 디스플레이 장치는 경량 박형이 가능할 뿐만 아니라, 얇은 시야각, 빠른 응답속도 및 적은 소비 전력 등의 장점으로 인하여 차세대 디스플레이 장치로서 주목받고 있다.

[0003]

한편, 풀 컬러(full color)를 구현하는 유기 발광 디스플레이 장치의 경우, 색이 다른 각 화소(예를 들어, 적색, 녹색, 청색 화소)의 유기 발광층에서 사출되는 각 파장의 광학 길이를 변화시키는 광 공진 구조가 채용되고 있다.

발명의 내용

해결하려는 과제

[0004]

본 발명은 제조 공정이 단순하고 표시 품질이 우수한 유기 발광 디스플레이 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0005]

본 발명의 일 측면에 의하면, 기판 상에 형성되고 반도체 물질로 구비된 박막 트랜지스터의 활성층과, 상기 기판 상에 형성되고 불순물 이온이 도핑된 반도체 물질로 구비된 커패시터의 하부 전극과, 상기 활성층 및 상기 하부 전극을 덮도록 상기 기판 상에 형성된 제1절연층과, 상기 제1절연층 상에 형성되며, 금속으로 구비된 제1게이트 전극, 투명도전물로 구비된 제2게이트 전극 및 금속으로 구비된 제3게이트 전극이 순차 적층된 박막 트랜지스터의 게이트 전극과, 상기 제1절연층 상에 형성되고, 금속으로 구비된 제1화소 전극 및 투명 도전물로 구비된 제2화소 전극이 순차 적층된 화소 전극과, 상기 제1절연층 상에 형성되고, 금속으로 구비된 제1상부 전극 및 투명 도전물로 구비된 제2상부 전극이 순차 적층된 커패시터의 상부 전극과, 상기 활성층과 전기적으로 연결된 박막 트랜지스터의 소스 및 드레인 전극과, 상기 화소 전극 상에 배치되고 유기 발광층을 포함하는 유기층과, 상기 유기층을 사이에 두고 상기 화소 전극에 대향 배치되는 대향 전극을 포함하는 유기 발광 디스플레이 장치를 제공한다.

[0006]

본 발명의 다른 목적에 의하면, 상기 제1게이트 전극, 제1화소 전극 및 제1상부 전극은 동일한 금속으로 형성되고, 상기 금속은 알루미늄 합금일 수 있다.

[0007]

본 발명의 또 다른 목적에 의하면, 상기 알루미늄 합금은 니켈을 포함할 수 있다.

[0008]

본 발명의 또 다른 목적에 의하면, 상기 금속은 80 내지 200Å의 두께일 수 있다.

[0009]

본 발명의 또 다른 목적에 의하면, 상기 제2게이트 전극, 제2화소 전극 및 제2상부 전극은 동일한 투명 도전물로 형성되고, 상기 투명 도전물은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In203), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.

[0010]

본 발명의 또 다른 목적에 의하면, 상기 제2화소 전극 상에 적층되고 금속으로 구비된 제3화소 전극과, 상기 제3화소 전극 및 게이트 전극을 덮도록 상기 제1절연층 상에 형성되고, 상기 제2화소 전극의 일부를 노출시키는 제1개구와, 상기 제3화소 전극의 일부를 노출시키는 제2개구와, 상기 제2상부 전극을 노출시키는 제3개구를 포함하는 제2절연층을 포함하고, 상기 소스 및 드레인 전극은 상기 제2절연층 상에 형성되고, 상기 소스 및 드레

인 전극 중 어느 하나는 상기 제2개구를 통해 상기 제3화소 전극과 콘택될 수 있다.

[0011] 본 발명의 또 다른 목적에 의하면, 상기 제3화소 전극 및 제3케이트 전극은 동일한 금속으로 형성되고, 상기 금속은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텉스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다.

[0012] 본 발명의 또 다른 목적에 의하면, 상기 제3화소 전극 및 제3케이트 전극은 다층의 금속층을 포함할 수 있다.

[0013] 본 발명의 또 다른 목적에 의하면, 상기 제1화소 전극은 상기 유기 발광층에서 방출된 광을 일부 투과 및 일부 반사하는 반투과 미러일 수 있다.

[0014] 본 발명의 또 다른 목적에 의하면, 상기 대향 전극은 상기 유기 발광층에서 방출된 광을 반사하도록 구비될 수 있다.

[0015] 본 발명의 또 다른 목적에 의하면, 상기 제1 화소 전극의 단부와, 상기 제2화소 전극의 단부는 식각면이 동일할 수 있다.

[0016] 본 발명의 또 다른 목적에 의하면, 상기 제2절연층 상에 형성된 제3절연층을 더 포함하고, 상기 제3절연층은 상기 제1개구를 통해 노출된 상기 제2화소 전극의 일부를 노출시키는 제4개구를 포함하고, 상기 소스 및 드레인 전극과 상기 제3개구를 통해 노출된 상기 제2상부 전극을 덮을 수 있다.

[0017] 본 발명은 또한 전술한 목적을 달성하기 위하여, 기판 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막 트랜지스터의 활성층 및 커패시터의 하부 전극을 형성하는 제1 마스크 공정과, 상기 활성층 및 하부 전극을 덮도록 기판 상에 제1절연층을 형성하고, 상기 제1 절연층 상에, 제1금속층, 제1투명도전층 및 제2금속층을 순차 적층한 후 패터닝하여, 제1화소 전극, 제2화소 전극 및 제3화소 전극이 순차 적층된 화소 전극과, 제1케이트 전극, 제2케이트 전극 및 제3케이트 전극이 순차 적층된 박막 트랜지스터의 케이트 전극과, 제1상부 전극, 제2상부 전극 및 제3상부 전극이 순차 적층된 커패시터의 상부 전극을 형성하는 제2 마스크 공정과, 상기 화소 전극, 케이트 전극 및 상부 전극을 덮도록 상기 제1 절연층 상에 제2절연층을 형성하고, 상기 제2절연층을 패터닝하여 상기 제3화소 전극을 노출시키는 제1개구 및 제2개구, 상기 활성층의 소스 및 드레인 영역을 노출시키는 콘택홀 및 상기 제3상부 전극을 노출시키는 제3개구를 형성하는 제3 마스크 공정과, 상기 제2절연층 상에, 상기 제1개구 내지 제3개구 및 콘택홀을 통해 노출된 부분을 덮도록 제3금속층을 형성하고, 상기 제3금속층을 패터닝하여 소스 및 드레인 전극을 형성하는 제4 마스크 공정과, 상기 소스 및 드레인 전극을 덮도록 상기 제2절연층 상에 제3절연층을 형성하고, 상기 제3절연층을 패터닝하여 상기 화소 전극을 노출시키는 제4개구를 형성하는 제5 마스크 공정을 포함하는 유기 발광 디스플레이 장치의 제조방법의 제조방법을 제공한다.

[0018] 본 발명의 다른 목적에 의하면, 상기 제2 마스크 공정 후, 상기 제1케이트 전극 내지 제3케이트 전극을 마스크로 하여 상기 소스 및 드레인 영역에 이온 불순물을 도핑하는 공정이 더 포함될 수 있다.

[0019] 본 발명의 또 다른 목적에 의하면, 상기 제4 마스크 공정은, 상기 제1개구를 통해 노출된 제3화소 전극의 부분 및 상기 제3개구를 통해 노출된 제3상부 전극을 제거하는 공정을 포함할 수 있다.

[0020] 본 발명의 또 다른 목적에 의하면, 상기 제4 마스크 공정 후, 상기 제3개구를 통해 노출된 제2상부 전극 상으로부터 불순물 이온을 상기 하부 전극에 도핑하는 공정이 더 포함될 수 있다.

[0021] 본 발명의 또 다른 목적에 의하면, 상기 제1금속층은 알루미늄 합금으로 구비될 수 있다.

[0022] 본 발명의 또 다른 목적에 의하면, 상기 알루미늄 합금은 니켈을 포함할 수 있다.

[0023] 본 발명의 또 다른 목적에 의하면, 상기 제1금속층은 80 내지 200Å의 두께일 수 있다.

[0024] 본 발명의 또 다른 목적에 의하면, 상기 제1투명 도전층은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In2O3), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.

[0025] 본 발명의 또 다른 목적에 의하면, 상기 제2금속층은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텉스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다.

발명의 효과

- [0026] 상기와 같은 본 발명에 따른 유기 발광 디스플레이 장치 및 그 제조 방법은 다음과 같은 효과를 제공한다.
- [0027] 첫째, 화소 전극에 반투과 미러를 채용함으로써 화상이 화소 전극의 방향으로 구현되는 배면 발광형에서 광학적 공진을 구현할 수 있어 광효율을 더욱 높일 수 있다.
- [0028] 둘째, 상기 반투과 미러를 알루미늄 합금으로 형성함으로써, 화소 전극의 패터닝 공정 시, 투명 도전층이나 게이트 전극 등을 손상시키지 않고, 화소 전극의 복수 적층 구조를 단일 공정으로 패터닝할 수 있게 되어 공정성이 더욱 향상된다.
- [0029] 셋째, 5회의 마스크 공정으로 반투과 미러를 구비한 유기 발광 디스플레이 장치를 제조할 수 있다.
- [0030] 넷째, 단순한 공정으로 MIM 커패시터 구조를 형성할 수 있기 때문에 공정성과 함께 회로적 특성도 더욱 향상시킬 수 있다.

도면의 간단한 설명

- [0031] 도 1 내지 15는 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치의 제조 과정을 개략적으로 도시한 단면도들이다.
- 도 16은 상기 제조 방법에 의해 형성된 유기 발광 디스플레이 장치를 개략적으로 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0032] 이하, 첨부된 도면들에 도시된 본 발명의 바람직한 실시예를 참조하여 본 발명을 보다 상세히 설명한다.
- [0033] 먼저, 도 1 내지 16을 참조하여, 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치 및 그 제조 방법을 설명한다.
- [0034] 도 1 내지 15는 본 실시예에 따른 유기 발광 디스플레이 장치의 제조 과정을 개략적으로 도시한 단면도이고, 도 16은 상기 제조 방법에 의해 형성된 유기 발광 디스플레이 장치를 개략적으로 도시한 단면도이다.
- [0035] 도 1을 참조하면, 기판(10) 상에 베퍼층(11) 및 반도체층(12)이 순차로 형성되어 있다.
- [0036] 기판(10)은 SiO₂를 주성분으로 하는 투명 재질의 글라스재로 형성될 수 있다. 상기 기판(10) 상에는 기판(10)의 평활성과 불순 원소의 침투를 차단하기 위하여 SiO₂ 및/또는 SiNx 등을 포함하는 베퍼층(11)이 더 구비될 수 있다.
- [0037] 베퍼층(11) 및 반도체층(12)은 PECVD(plasma enhanced chemical vapor deposition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 증착될 수 있다.
- [0038] 베퍼층(11) 상에는 반도체층(12)이 증착된다. 반도체층(12)은 비정질 실리콘(amorphous silicon) 또는 결정질 실리콘(poly silicon)일 수 있다. 이때, 결정질 실리콘은 비정질 실리콘을 결정화하여 형성될 수도 있다. 비정질 실리콘을 결정화하는 방법은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다.
- [0039] 도 2를 참조하면, 반도체층(12) 상에 제 1 포토레지스터(P1)를 도포하고, 광차단부(M11) 및 광투과부(M12)를 구비한 제 1 포토마스크(M1)를 이용한 제 1 마스크 공정을 실시한다.
- [0040] 상기 도면에는 상세히 도시되지 않았으나, 노광장치(미도시)로 제 1 포토마스크(M1)에 노광 후, 현상(developing), 식각(etching), 및 스트립핑(striping) 또는 에싱(ashing) 등과 같은 일련의 공정을 거친다.
- [0041] 도 3을 참조하면, 제 1 포토마스크 공정의 결과로 상기 반도체층(12)은 박막 트랜지스터의 활성층(212), 및 상기 활성층(212)과 동일 물질로 형성된 커패시터의 하부 전극(312)으로 패터닝된다.
- [0042] 도 4를 참조하면, 도 3의 구조물 상에 제1 절연층(13), 제1 금속층(14), 제1 투명도전층(15) 및 제2 금속층(16)이 순서대로 적층된다.
- [0043] 제1 절연층(13)은 SiO₂, SiNx 등을 단층 또는 복수층 포함할 수 있으며, 박막 트랜지스터의 게이트 절연막, 및

커패시터의 유전층 역할을 한다.

- [0044] 제1 금속층(14)은 알루미늄 합금으로 구비될 수 있다. 상기 알루미늄 합금으로는 알루미늄을 주된 원소로 하여 니켈을 더 포함할 수 있다. 그리고 여기에 Si, La, Ge 및 Co 중 적어도 하나의 원소를 미량 더 포함시킬 수 있다. 이렇게 제1금속층(14)을 알루미늄 합금으로 사용함으로써 제1 금속층(14), 제1 투명도전층(15) 및 제2 금속층(16)의 에칭 시에 타 금속층 또는 투명도전층에 데미지(damage)를 주지 않고 에칭할 수 있어 공정성이 더욱 뛰어날 수 있다. 여기에 Ni을 미량 첨가함으로써 에칭 특성을 더욱 좋게 하여 공정성을 더욱 높게 확보할 수 있다. 이러한 에칭에 따라 제1 금속층(14), 제1 투명도전층(15) 및 제2 금속층(16)의 각 단부는 식각면이 동일하게 된다.
- [0045] 상기 제1 금속층(14)은 반투과 반사막, 즉, 반투과 미러가 되는 것으로, 50 내지 200Å의 두께로 형성한다. 상기 제1금속층(14)의 두께가 50Å보다 얇으면 반사율이 떨어지기 때문에 후술하는 대향 전극과의 사이에서 광학적 공진을 이루기 어렵고, 두께가 200Å보다 두꺼우면 투과율이 떨어지기 때문에 광 효율이 오히려 떨어질 수 있다.
- [0046] 제1 투명도전층(15)은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In203), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.
- [0047] 제2 금속층(16)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텉스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다. 본 실시예에서 제2 금속층(16)은 알루미늄을 포함한다.
- [0048] 한편, 상기 제2 금속층(16)은 다층의 금속층(16a, 16b, 16c)을 포함할 수 있는데, 본 실시예에서는 알루미늄(16b)을 중심으로 상 하부에 몰리브덴(16a, 16c)이 형성된 3층 구조(Mo/Al/Mo)가 채용되었다. 그러나 본 발명은 이에 한정되지 않으며, 다양한 재료 및 다양한 층으로 상기 제2 금속층(16)을 형성할 수 있다.
- [0049] 전술한 바와 같이, 본 발명은 반투과 반사층이 되는 제1 금속층(14)을 알루미늄 합금으로 사용하기 때문에 상기 제1 금속층(14), 제1 투명도전층(15) 및 제2 금속층(16)의 적층체를 간단하게 패터닝할 수 있고, 그 결과, 상기 제1 금속층(14), 제1 투명도전층(15) 및 제2 금속층(16)의 단부의 식각면이 동일하게 된다.
- [0050] 상기 제1 금속층(14), 제1 투명도전층(15) 및 제2 금속층(16)의 적층체는 단일의 에체트로 동시에 에칭하여 패터닝할 수 있다. 이 외에, 습식으로 제2 금속층(16)을 먼저 에칭하고, 다음 습식 또는 건식으로 제1 투명도전층(15)을 에칭한 후, 건식으로 제2 금속층(16)을 에칭할 수 있다.
- [0051] 이처럼 본 발명은 반투과 반사층이 되는 제1 금속층(14)을 간단한 방법으로 패터닝할 수 있게 되어 디스플레이 장치의 공정성을 더욱 향상시킬 수 있다.
- [0052] 도 5를 참조하면, 상기 제2 금속층(16) 상에 제2 포토레지스터(P2)를 도포하고, 광차단부(M21) 및 광투과부(M22)를 구비한 제2 포토마스크(M2)를 이용한 제2 마스크 공정을 실시한다.
- [0053] 도 6을 참조하면, 제2 마스크 공정의 결과로 상기 제1 금속층(14), 제1 투명도전층(15) 및 제2 금속층(16)은 각각 제1 화소 전극(114) 내지 제3 화소 전극(116), 박막 트랜지스터의 제1 게이트 전극(214) 내지 제3 게이트 전극(216), 및 상기 커패시터의 제1 상부 전극(314) 내지 제3 상부 전극(316)으로 패터닝된다.
- [0054] 도 7을 참조하면, 상기 제2 마스크 공정 결과 형성된 제1 게이트 전극(214) 내지 제3 게이트 전극(216)을 셀프 얼라인(self align) 마스크로 사용하여 활성층(212)에 이온 불순물을 도핑한다. 그 결과 활성층(212)은 이온 불순물이 도핑된 소스 및 드레인 영역(212a, 212b)과 그 사이에 채널 영역(212c)을 구비하게 된다. 즉, 제1 게이트 전극(214) 내지 제3 게이트 전극(216)을 셀프 얼라인 마스크로 사용함으로써, 별도의 포토 마스크를 추가하지 않고 소스 및 드레인 영역(212a, 212b)을 형성할 수 있다.
- [0055] 도 8을 참조하면, 상기 제2 마스크 공정 결과의 구조물 상에 제2 절연층(17) 및 제3 포토레지스터(P3)를 도포하고, 광차단부(M31) 및 광투과부(M32)를 구비한 제3 포토마스크(M3)를 이용한 제3 마스크 공정을 실시한다.
- [0056] 도 9를 참조하면, 제3 마스크 공정의 결과로 제2 절연층(17)에는 상기 제1 화소 전극(114) 내지 제3 화소 전극(116)을 개구시키는 제1 개구(117a) 및 제2 개구(117b), 상기 박막 트랜지스터의 소스 및 드레인 영역(212a, 212b)을 노출시키는 콘택홀(217a, 217b), 및 상기 커패시터의 제1 상부 전극(314) 내지 제3 상부 전극(316)을

개구시키는 제3 개구(317)가 형성된다.

[0057] 도 10을 참조하면, 도 9의 구조물 상에 제3 금속층(18)을 형성한다.

[0058] 제3 금속층(18)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텉스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다. 본 실시예에서 제3 금속층(18)은 알루미늄을 포함한다.

[0059] 또한, 상기 제3 금속층(18)은 다층의 금속층(18a, 18b, 18c)을 포함할 수 있는데, 본 실시예에서는 제2 금속층(16)과 마찬가지로 중앙(18b)의 알루미늄을 중심으로 상, 하부(18a, 18c)에 몰리브덴(Mo)이 형성된 3층 구조(Mo/Al/Mo)가 채용되었다. 그러나 본 발명은 이에 한정되지 않으며, 다양한 재료 및 다양한 층으로 상기 제3 금속층(18)을 형성할 수 있다. 예컨대, 상기 제3 금속층(18)은 Ti/Al/Ti로 구성될 수 있다.

[0060] 도 11을 참조하면, 상기 제3 금속층(18) 상에 제4 포토레지스터(P4)를 도포하고, 광차단부(M41) 및 광투과부(M42)를 구비한 제 4 포토마스크(M4)를 이용한 제 4 마스크 공정을 실시한다.

[0061] 이 제 4 마스크 공정에 의해 제3 금속층(18)이 패터닝되는 데, 제3 금속층(18)을 에칭할 때에 그 하부에 위치한 제2 금속층도 동시에 패터닝할 수 있다.

[0062] 즉, 도 12를 참조하면, 상기 제3 금속층(18)을 패터닝하여 소스 및 드레인 영역(212a, 212b)과 전기적으로 접속되는 소스 및 드레인 전극(218a, 218b)을 형성할 때에, 제1 개구(117a)를 통해 노출된 제1 화소 전극(116)의 일부와, 제3 개구(317)를 통해 노출된 제3 상부 전극(316)을 동시에 에칭하여 제거한다. 따라서 제1개구(117a) 및 제3 개구(317)를 통해서는 각각 제2 화소 전극(115) 및 제2 상부 전극(315)이 드러나게 된다.

[0063] 도 13을 참조하면, 상기 제4 마스크 공정 결과의 구조물 위로부터 이온 불순물을 도핑한다. 이온 불순물은 B 또는 P 이온을 도핑하는 데, 1×10^{15} atoms/cm² 이상의 농도로 도핑하고, 반도체층(12)으로 형성된 커패시터의 하부 전극(312)을 타겟으로 하여 도핑한다. 이에 따라 커패시터의 하부 전극(312)은 도전성이 높아짐으로써 제1상부 전극(314) 및 제2상부 전극(315)과 더불어 MIM 커패시터를 형성해 커패시터의 용량을 증가시킬 수 있다.

[0064] 도 14를 참조하면, 도 13의 구조물 상에 제5 포토레지스터(P5)를 도포하고, 광차단부(M51) 및 광투과부(M52)를 구비한 제 5 포토마스크(M5)를 이용한 제 5 마스크 공정을 실시한다.

[0065] 이 때, 제 5 마스크 공정은 노광장치(미도시)로 제 5 포토마스크(M5)에 노광 후, 현상(developing), 및 애싱(ashing)하여 도 15에서 볼 수 있듯이, 제2 화소 전극(115)이 노출되는 제4 개구(119)를 형성한 후에, 제5 포토레지스터(P5)를 소성함으로써 이 제5 포토레지스터(P5)가 제3 절연층(19)이 되도록 한다. 본 발명은 반드시 이에 한정되는 것은 아니며, 유기물 및/또는 무기물에 의해 제3 절연층(19)을 형성한 후, 그 위에 제5 포토레지스터(P5)를 도포하여 일반적인 마스크 공정을 거치도록 함으로써 제4 개구(119)를 형성할 수도 있다.

[0066] 상기와 같이 노출된 제2 화소 전극(115) 하부에 반사 물질을 포함하는 제1 화소 전극(114)이 위치하기 때문에, 이 제1 화소 전극(114)이 광을 일부 투과하고 일부 반사시킬 수 있다. 일부 투과 및 일부 반사가 가능한 반투과 미러인 제1 화소 전극(114)으로 인해, 광 공진 구조를 채용하는 유기 발광 디스플레이 장치를 구현할 수 있다.

[0067] 본 실시예에서 반투과 미러로 기능하는 제1 화소 전극(114)은 알루미늄 합금으로 형성되기 때문에, 제2화소 전극(115)과 동시에 패터닝될 수 있어 공정성이 더욱 뛰어나게 된다.

[0068] 도 16을 참조하면, 제2 화소 전극(115) 상에 유기 발광층(21a)을 포함하는 유기층(21), 및 대향 전극(22)을 형성한다.

[0069] 유기 발광층(21a)은 저분자 또는 고분자 유기물이 사용될 수 있다.

[0070] 유기층(21)은 유기 발광층(21a)을 중심으로 제2 화소 전극(115)의 방향으로 홀 수송층(hole transport layer: HTL) 및 홀 주입층(hole injection layer: HIL) 등이 적층되고, 대향 전극(22) 방향으로 전자 수송층(electron transport layer: ETL) 및 전자 주입층(electron injection layer: EIL) 등이 적층된다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다.

[0071] 이와 같이 유기 발광층(21a)을 포함하는 유기층(21)은, 각 화소별로 유기 발광층(21a)의 두께나 유기 발광층(21a)을 제외한 유기층(21)에 포함된 다른 층들의 두께를 다르게 형성함으로써 광 공진 구조를 구현할 수 있다.

[0072] 유기층(21) 상에는 공통 전극으로 대향 전극(22)이 증착된다. 본 실시예에 따른 유기 발광 디스플레이 장치의 경우, 제1 화소 전극(114) 및 제2 화소 전극(115)은 애노드 전극으로 사용되고, 대향 전극(22)은 케소드 전극으

로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.

[0073] 그리고, 대향 전극(22)은 광 공진 구조를 구현하기 위해, 반사 물질을 포함하는 반사 전극으로 구성할 수 있다. 이때 상기 대향 전극(22)은 Al, Ag, Mg, Li, Ca, LiF/Ca, 또는 LiF/Al으로 구비될 수 있다.

[0074] 한편, 상기 도면에는 도시되지 않았지만, 대향 전극(22) 상에는 외부의 수분이나 산소 등으로부터 유기 발광층(21a)을 보호하기 위한 밀봉 부재(미도시) 및 흡습제(미도시) 등이 더 구비될 수 있다.

[0075] 본 발명은 대향 전극(22)과 제1 화소 전극(114) 사이의 거리를 공진 두께가 되도록 함으로써, 기판(10)의 방향으로 화상이 구현되는 배면 발광형의 구조에서도 광학적 공진을 이용해 광효율을 더욱 향상시킬 수 있다.

[0076] 또한, 커패시터 하부 전극(312)을 N+ 또는 P+도핑된 폴리실리콘을 사용하고, 제1 상부 전극(314) 및 제2 상부 전극(315)을 각각 도전성 금속과 투명 도전물인 금속산화물로 형성함으로써 MIM구조의 커패시터를 형성할 수 있다. 커패시터가 MOS 구조를 취하게 될 경우, 패널의 특정 배선에 높은 전압을 계속 인가해줘야 하기 때문에 전기적 단락의 위험이 높아지나, 본 발명은 전술한 바와 같이 MIM 커패시터를 구현함으로써 이러한 문제를 방지할 수 있고, 이에 따라 설계 자유도가 높아진다.

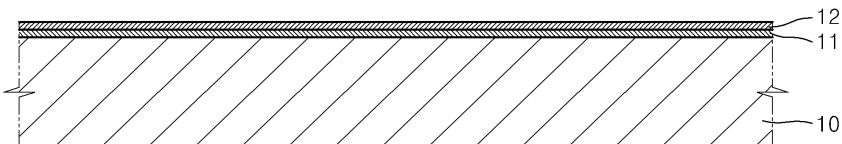
[0077] 본 발명은 도면에 도시된 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

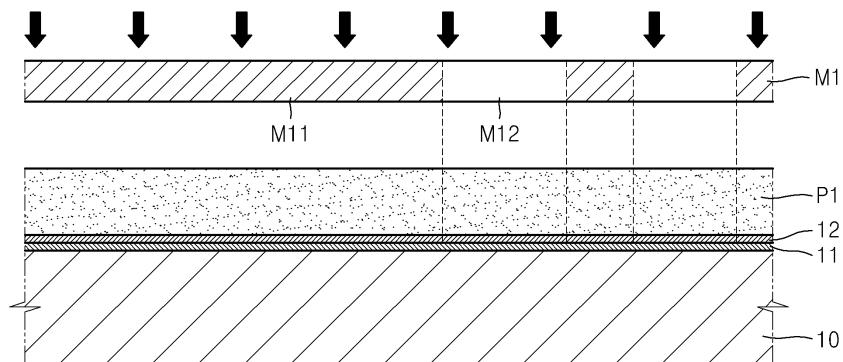
[0078] 10: 기판	11: 버퍼층
12: 반도체층	13: 제1 절연층
14: 제1 금속층	15: 제1 투명도전층
16: 제2 금속층	17: 제2 절연층
18: 제3 금속층	19: 제3 절연층
21: 유기층	21a: 유기 발광층
22: 대향 전극	114: 제1 화소 전극
115: 제2 화소 전극	116: 제3 화소 전극
117a: 제1 개구	117b: 제2 개구
119: 제4 개구	212: 활성층
214: 제1 게이트 전극	215: 제2 게이트 전극
216: 제3 게이트 전극	218a,b: 소스 및 드레인 전극
312: 하부 전극	314: 제1 상부 전극
315: 제2상부 전극	317: 제3 개구

도면

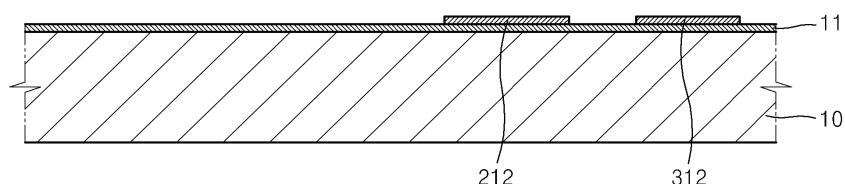
도면1



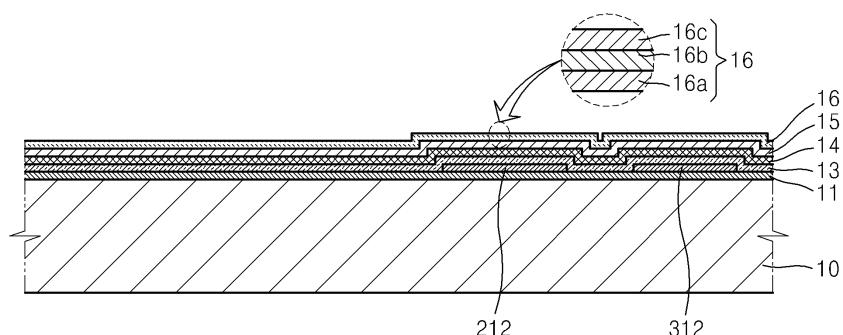
도면2



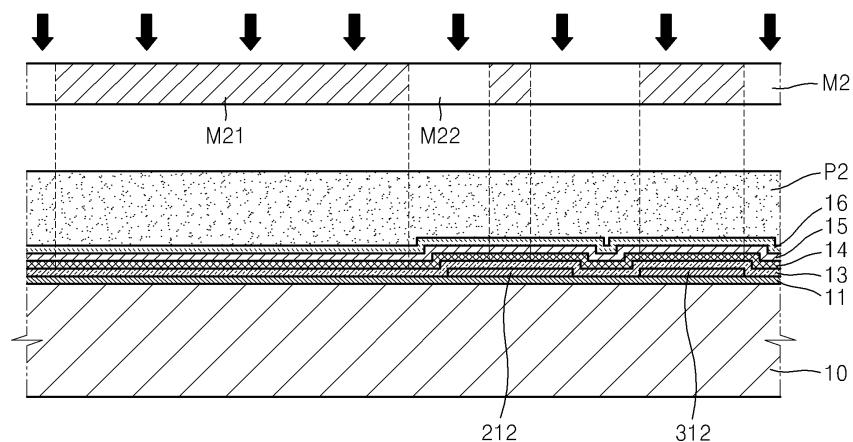
도면3



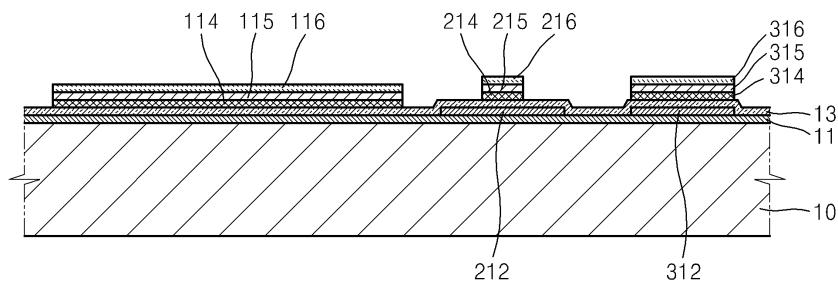
도면4



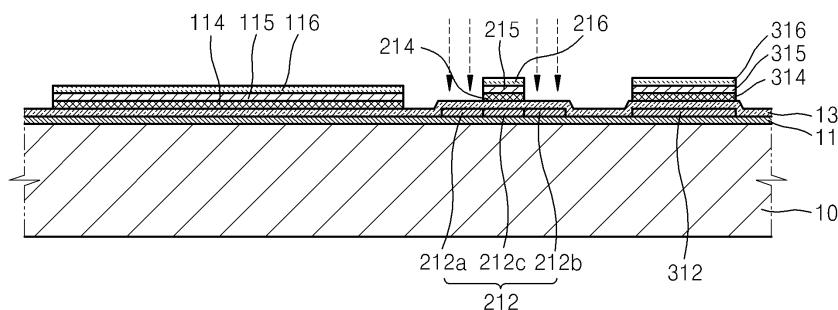
도면5



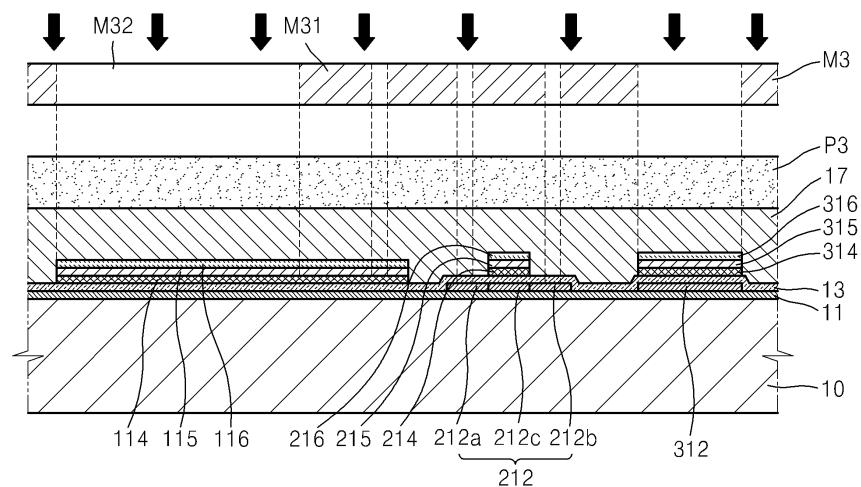
도면6



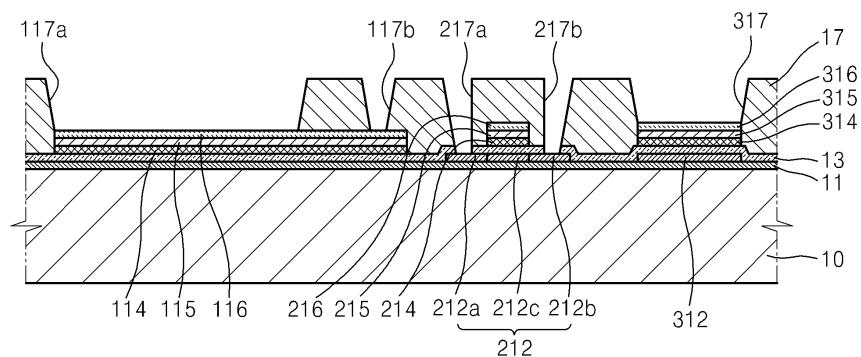
도면7



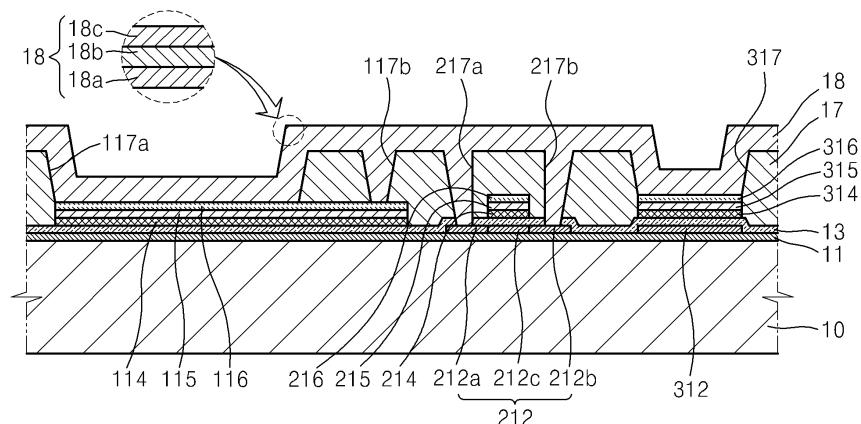
도면8



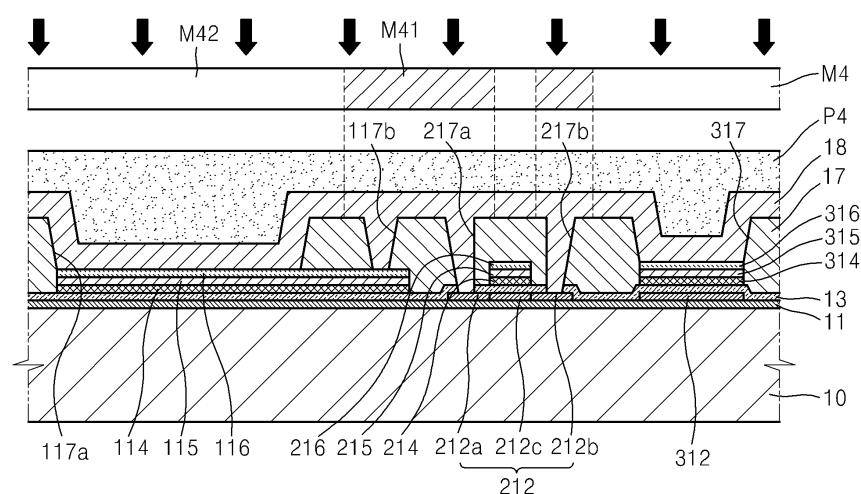
도면9



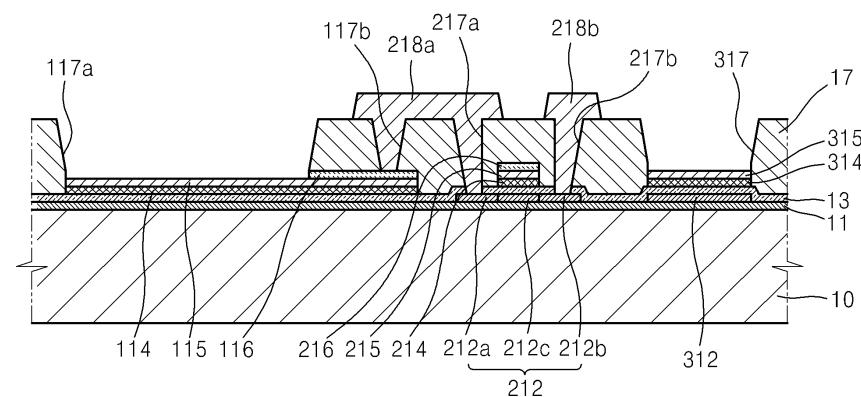
도면10



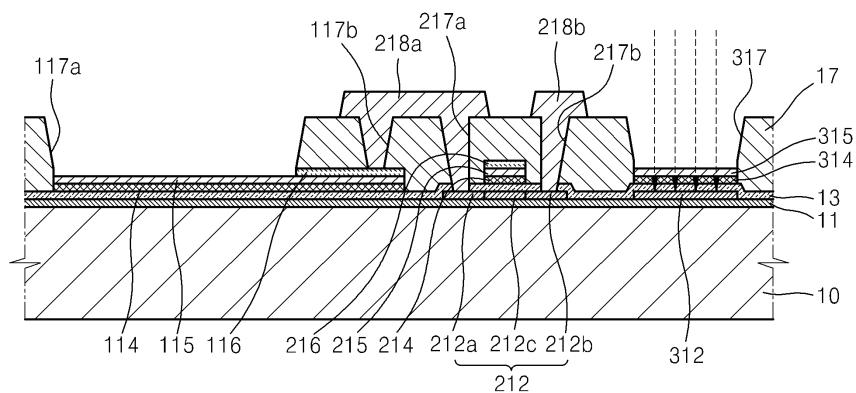
도면11



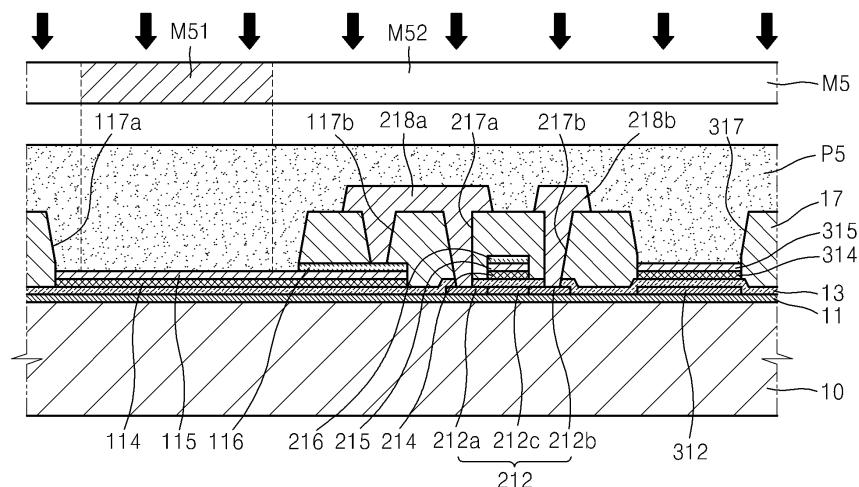
도면12



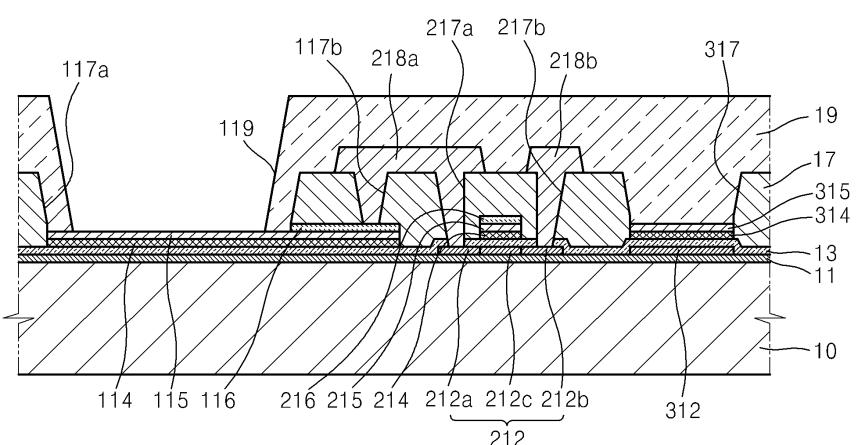
도면13



도면14



도면15



도면16

