

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号  
特許第6108936号  
(P6108936)

(45) 発行日 平成29年4月5日 (2017.4.5)

(24) 登録日 平成29年3月17日 (2017.3.17)

(51) Int.Cl.

F I

HO 4 N 5/374 (2011.01)

HO 4 N 5/335 7 4 0

HO 4 N 5/378 (2011.01)

HO 4 N 5/335 7 8 0

HO 4 N 5/357 (2011.01)

HO 4 N 5/335 5 7 0

請求項の数 20 (全 21 頁)

(21) 出願番号	特願2013-91427 (P2013-91427)	(73) 特許権者	000001007
(22) 出願日	平成25年4月24日 (2013.4.24)		キヤノン株式会社
(65) 公開番号	特開2014-216769 (P2014-216769A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成26年11月17日 (2014.11.17)	(74) 代理人	100126240
審査請求日	平成28年4月22日 (2016.4.22)		弁理士 阿部 琢磨
		(74) 代理人	100124442
			弁理士 黒岩 創吾
		(72) 発明者	小林 大祐
			東京都大田区下丸子3丁目30番2号キヤ
			ノン株式会社内
		(72) 発明者	大西 智也
			東京都大田区下丸子3丁目30番2号キヤ
			ノン株式会社内

最終頁に続く

(54) 【発明の名称】 撮像装置、撮像システム、撮像装置の駆動方法

(57) 【特許請求の範囲】

【請求項 1】

各々が入射する電磁波に基づく電気信号を出力する、行列状に設けられた複数の電気信号出力部と、各々が前記電気信号出力部に対応して設けられ、各々が前記電気信号出力部から入力される前記電気信号をデジタル信号に変換する複数の A / D 変換部と、を有する画素アレイ、および、各々が前記電気信号出力部の各列に対応して設けられた、前記デジタル信号を保持する複数の記憶部を有し、

さらに、前記電気信号出力部に駆動バイアスを供給する第 1 の信号線と、  
前記 A / D 変換部から前記記憶部に前記デジタル信号を伝送する第 2 の信号線と、  
を有する撮像装置であって、

前記第 1 の信号線と前記第 2 の信号線との間に前記電気信号出力部が設けられていることを特徴とする撮像装置。

【請求項 2】

各々が入射する電磁波に基づく電気信号を出力する、行列状に設けられた複数の電気信号出力部と、各々が前記電気信号出力部に対応して設けられ、各々が前記電気信号出力部から入力される前記電気信号をデジタル信号に変換する複数の A / D 変換部と、を有する画素アレイ、および、各々が前記電気信号出力部の各列に対応して設けられた、前記デジタル信号を保持する複数の記憶部を有し、

さらに、前記 A / D 変換部に駆動バイアスを供給する第 1 の信号線と、  
前記 A / D 変換部から前記記憶部に前記デジタル信号を伝送する第 2 の信号線と、

を有する撮像装置であって、

前記第 1 の信号線と前記第 2 の信号線との間に、前記電気信号出力部が設けられていることを特徴とする撮像装置。

【請求項 3】

互いに隣接する第 1 の電気信号出力部と第 2 の電気信号出力部とを有し、

複数の第 1 の信号線の間に、前記第 1 の電気信号出力部と前記第 2 の電気信号出力部とが設けられていると共に、前記第 1 の電気信号出力部と前記第 2 の電気信号出力部の間に前記第 2 の信号線が設けられているか、

複数の第 2 の信号線の間に、前記第 1 の電気信号出力部と前記第 2 の電気信号出力部とが設けられていると共に、前記第 1 の電気信号出力部と前記第 2 の電気信号出力部の間に前記第 1 の信号線が設けられていることを特徴とする請求項 1 または 2 に記載の撮像装置。

10

【請求項 4】

前記記憶部が、第 1 の記憶部と、第 2 の記憶部と、を有し、

前記撮像装置が、さらに前記第 2 の信号線と前記記憶部との間の電氣的経路に選択回路を有し、

前記複数の A / D 変換部の各々が、互いに異なる列の前記電気信号出力部に対応して設けられ、

前記選択回路が、一の前記第 2 の信号線が伝送する、前記複数の A / D 変換部の一方の前記デジタル信号を前記第 1 の記憶部に出力し、

20

前記選択回路が、前記一の第 2 の信号線が伝送する、前記複数の A / D 変換部の他方の前記デジタル信号を前記第 2 の記憶部に出力することを特徴とする請求項 1 ~ 3 のいずれかに記載の撮像装置。

【請求項 5】

前記画素アレイが、各々が前記電気信号出力部と前記 A / D 変換部とを有する行列状に設けられた複数の画素を有することを特徴とする請求項 1 ~ 4 のいずれかに記載の撮像装置。

【請求項 6】

前記画素が、前記電気信号を増幅した信号を前記 A / D 変換部に出力する増幅器をさらに有することを特徴とする請求項 5 に記載の撮像装置。

30

【請求項 7】

前記撮像装置が、前記増幅器に駆動バイアスを供給する第 3 の信号線をさらに有し、

前記第 1 の信号線と前記第 3 の信号線とを含む信号線群と、前記第 2 の信号線との間に、前記電気信号出力部が設けられていることを特徴とする請求項 6 に記載の撮像装置。

【請求項 8】

1 つの前記 A / D 変換部が、複数行の前記電気信号出力部に対応して設けられていることを特徴とする請求項 1 ~ 4 のいずれかに記載の撮像装置。

【請求項 9】

前記画素アレイは、各々が前記電気信号を増幅した信号を前記 A / D 変換部に出力する複数の増幅器をさらに有し、

40

1 つの前記増幅器あるいは複数の前記増幅器が、前記複数行の前記電気信号出力部に対応して設けられた前記 1 つの A / D 変換部に対応して設けられていることを特徴とする請求項 8 に記載の撮像装置。

【請求項 10】

前記撮像装置が、前記増幅器に駆動バイアスを供給する第 3 の信号線をさらに有し、

前記第 1 の信号線と前記第 3 の信号線とを含む信号線群と、前記第 2 の信号線との間に前記電気信号出力部が設けられていることを特徴とする請求項 9 に記載の撮像装置。

【請求項 11】

1 つの前記 A / D 変換部が、複数行の前記電気信号出力部および、複数列の前記電気信号出力部と、に対応して設けられていることを特徴とする請求項 1 ~ 4 のいずれかに記載

50

の撮像装置。

【請求項 1 2】

前記撮像装置は、各々が前記電気信号を増幅した信号を前記 A / D 変換部に出力する複数の増幅器をさらに有し、

前記増幅器が、前記 1 つの A / D 変換部に対応して設けられ、

前記第 1 の信号線と前記第 2 の信号線との間に、前記増幅器が設けられていることを特徴とする請求項 1 1 に記載の撮像装置。

【請求項 1 3】

前記撮像装置が、前記増幅器に駆動バイアスを供給する第 3 の信号線をさらに有し、

前記第 1 の信号線と前記第 3 の信号線とを含む信号線群と、前記第 2 の信号線との間に前記電気信号出力部が設けられていることを特徴とする請求項 1 2 に記載の撮像装置。

【請求項 1 4】

1 つの前記 A / D 変換部が、複数行の前記電気信号出力部および、複数列の前記電気信号出力部に対応して設けられ、

前記撮像装置はさらに、前記 A / D 変換部にランプ信号を供給する第 4 の信号線を有し、

前記第 1 の信号線と前記第 4 の信号線との間に、前記 1 つの A / D 変換部が設けられていることを特徴とする請求項 1 3 に記載の撮像装置。

【請求項 1 5】

前記 A / D 変換部が、ランプ信号と前記電気信号に基づく信号とを比較した結果を示す比較結果信号を生成する比較器を有することを特徴とする請求項 1 ~ 1 4 のいずれかに記載の撮像装置。

【請求項 1 6】

前記撮像装置が、

クロック信号を計数したカウンタ信号を生成するカウンタと、

前記比較器から前記比較結果信号が入力されるメモリと、

前記カウンタから前記メモリに前記カウンタ信号を供給するカウンタ信号線と、をさらに有し、

前記第 2 の信号線および前記カウンタ信号線を含む信号線群と、前記第 1 の信号線との間に、前記電気信号出力部が設けられていることを特徴とする請求項 1 5 に記載の撮像装置。

【請求項 1 7】

前記撮像装置が、前記メモリに駆動バイアスを供給する信号線をさらに有し、

前記第 2 の信号線および前記カウンタ信号線を含む信号線群と、前記メモリに駆動バイアスを供給する前記信号線との間に、前記電気信号出力部が設けられていることを特徴とする請求項 1 6 に記載の撮像装置。

【請求項 1 8】

請求項 1 ~ 1 7 のいずれかに記載の撮像装置と、

前記撮像装置が出力する信号処理部と、を有することを特徴とする撮像システム。

【請求項 1 9】

撮像装置の駆動方法であって、

前記撮像装置は、

各々が入射する電磁波に基づく電気信号を出力する、行列状に設けられた複数の電気信号出力部と、各々が前記電気信号出力部に対応して設けられ、各々が前記電気信号出力部から入力される前記電気信号をデジタル信号に変換する複数の A / D 変換部と、を有する画素アレイ、および、各々が前記電気信号出力部の各列に対応して設けられた、前記デジタル信号を保持する複数の記憶部と、

前記電気信号出力部に駆動バイアスを供給する第 1 の信号線と、

前記 A / D 変換部から前記記憶部に前記デジタル信号を伝送する第 2 の信号線と、を有し、

10

20

30

40

50

さらに、前記画素アレイは、各々が前記電気信号を増幅した信号を前記 A / D 変換部に出力する複数の増幅器を有し、

前記第 1 の信号線と前記第 2 の信号線との間に、前記電気信号出力部が設けられており、

前記増幅器が、前記 1 つの A / D 変換部に対応して設けられており、

前記駆動方法は、

前記 1 つの A / D 変換部が、一の前記電気信号出力部の前記電気信号を増幅した信号を A / D 変換している期間に、

前記増幅器が、他の前記電気信号出力部の前記電気信号の増幅を行うことを特徴とする撮像装置の駆動方法。

10

#### 【請求項 20】

撮像装置の駆動方法であって、

前記撮像装置は、

各々が入射する電磁波に基づく電気信号を出力する、行列状に設けられた複数の電気信号出力部と、各々が前記電気信号出力部に対応して設けられ、各々が前記電気信号出力部から入力される前記電気信号をデジタル信号に変換する複数の A / D 変換部と、を有する画素アレイ、および、各々が前記電気信号出力部の各列に対応して設けられた、前記デジタル信号を保持する複数の記憶部と、

前記 A / D 変換部に駆動バイアスを供給する第 1 の信号線と、

前記 A / D 変換部から前記記憶部に前記デジタル信号を伝送する第 2 の信号線と、を有し、

20

さらに、前記画素アレイは、各々が前記電気信号を増幅した信号を前記 A / D 変換部に出力する複数の増幅器を有し、

前記第 1 の信号線と前記第 2 の信号線との間に、前記電気信号出力部が設けられており、

前記増幅器が、前記 1 つの A / D 変換部に対応して設けられており、

前記駆動方法は、

前記 1 つの A / D 変換部が、一の前記電気信号出力部の前記電気信号を増幅した信号を A / D 変換している期間に、

前記増幅器が、他の前記電気信号出力部の前記電気信号の増幅を行うことを特徴とする撮像装置の駆動方法。

30

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、入射する電磁波を電荷に変換する撮像装置、撮像システム、撮像装置の駆動方法に関する。

#### 【背景技術】

#### 【0002】

入射する電磁波を電荷に変換する撮像装置が知られている。このような撮像装置の一例として、非特許文献 1 には、入射光を光電変換する光電変換部と、光電変換部の出力する信号をデジタル信号に変換する A / D 変換部と、を有する画素を有する撮像装置がある。

40

#### 【先行技術文献】

#### 【非特許文献】

#### 【0003】

【非特許文献 1】Stuart Kleinfelder, SukHwan Lim, Xinqiao Liu, and Abbas El Gamal, "A 10000 Frames/s CMOS Digital Pixel Sensor", IEEE JOURNAL OF SOLID-STATE CIRCUITS, DECEMBER 1501, VOL. 36, NO. 12, p. 2049 - 2059

#### 【発明の概要】

50

## 【発明が解決しようとする課題】

## 【0004】

非特許文献1の撮像装置で、各画素に入力する、あるいは各画素から出力されるデジタル信号を伝送するデジタル信号線を、光電変換部、A/D変換部に電位を供給するアナログ信号線に近接して配置したとする。この場合、デジタル信号線が伝送するデジタル信号の電位の変動によって、アナログ信号線の電位が変動することがある。このアナログ信号線の電位の変動が、A/D変換の精度の低下を生じさせることがあった。

## 【課題を解決するための手段】

## 【0005】

本発明は上記の課題を解決するために為されたものであり、一の態様は、各々が入射する電磁波に基づく電気信号を出力する、行列状に設けられた複数の電気信号出力部と、各々が前記電気信号出力部に対応して設けられ、各々が前記電気信号出力部から入力される前記電気信号をデジタル信号に変換する複数のA/D変換部と、を有する画素アレイ、および、各々が前記電気信号出力部の各列に対応して設けられた、前記デジタル信号を保持する複数の記憶部を有し、さらに、前記電気信号出力部に駆動バイアスを供給する第1の信号線と、前記A/D変換部から前記記憶部に前記デジタル信号を伝送する第2の信号線と、を有する撮像装置であって、前記第1の信号線と前記第2の信号線との間に前記電気信号出力部が設けられていることを特徴とする撮像装置である。

10

## 【0006】

また別の態様は、各々が入射する電磁波に基づく電気信号を出力する、行列状に設けられた複数の電気信号出力部と、各々が前記電気信号出力部に対応して設けられ、各々が前記電気信号出力部から入力される前記電気信号をデジタル信号に変換する複数のA/D変換部と、を有する画素アレイ、および、各々が前記電気信号出力部の各列に対応して設けられた、前記デジタル信号を保持する複数の記憶部を有し、さらに、前記A/D変換部に駆動バイアスを供給する第1の信号線と、前記A/D変換部から前記記憶部に前記デジタル信号を伝送する第2の信号線と、を有する撮像装置であって、前記第1の信号線と前記第2の信号線との間に、前記電気信号出力部が設けられていることを特徴とする撮像装置である。

20

## 【0007】

また別の態様は、撮像装置の駆動方法であって、前記撮像装置は、各々が入射する電磁波に基づく電気信号を出力する、行列状に設けられた複数の電気信号出力部と、各々が前記電気信号出力部に対応して設けられ、各々が前記電気信号出力部から入力される前記電気信号をデジタル信号に変換する複数のA/D変換部と、を有する画素アレイ、および、各々が前記電気信号出力部の各列に対応して設けられた、前記デジタル信号を保持する複数の記憶部と、前記電気信号出力部に駆動バイアスを供給する第1の信号線と、前記A/D変換部から前記記憶部に前記デジタル信号を伝送する第2の信号線と、を有し、さらに、前記画素アレイは、各々が前記電気信号を増幅した信号を前記A/D変換部に出力する複数の増幅器を有し、前記第1の信号線と前記第2の信号線との間に、前記電気信号出力部が設けられており、前記増幅器が、前記1つのA/D変換部に対応して設けられており、前記駆動方法は、前記1つのA/D変換部が、一の前記電気信号出力部の前記電気信号を増幅した信号をA/D変換している期間に、前記増幅器が、他の前記電気信号出力部の前記電気信号の増幅を行うことを特徴とする撮像装置の駆動方法である。

30

40

## 【0008】

また、別の態様は、撮像装置の駆動方法であって、前記撮像装置は、各々が入射する電磁波に基づく電気信号を出力する、行列状に設けられた複数の電気信号出力部と、各々が前記電気信号出力部に対応して設けられ、各々が前記電気信号出力部から入力される前記電気信号をデジタル信号に変換する複数のA/D変換部と、を有する画素アレイ、および、各々が前記電気信号出力部の各列に対応して設けられた、前記デジタル信号を保持する複数の記憶部と、前記A/D変換部に駆動バイアスを供給する第1の信号線と、前記A/D変換部から前記記憶部に前記デジタル信号を伝送する第2の信号線と、を有し、さらに

50

、前記画素アレイは、各々が前記電気信号を増幅した信号を前記 A / D 変換部に出力する複数の増幅器を有し、前記第 1 の信号線と前記第 2 の信号線との間に、前記電気信号出力部が設けられており、前記増幅器が、前記 1 つの A / D 変換部に対応して設けられており、前記駆動方法は、前記 1 つの A / D 変換部が、一の前記電気信号出力部の前記電気信号を増幅した信号を A / D 変換している期間に、前記増幅器が、他の前記電気信号出力部の前記電気信号の増幅を行うことを特徴とする撮像装置の駆動方法である。

【発明の効果】

【 0 0 0 9 】

本発明により、A / D 変換の精度の低下が生じにくい撮像装置を提供することができる。

10

【図面の簡単な説明】

【 0 0 1 0 】

【図 1】撮像装置の一例と、画素出力回路の一例を示した模式図

【図 2】画素出力回路の一例の模式図と、画素出力回路の動作の一例のタイミング図

【図 3】撮像装置の他の一例と、画素出力回路の他の一例を示した模式図

【図 4】撮像装置の他の一例と、画素出力回路の他の一例の模式図。

【図 5】撮像装置の動作の他の一例を示したタイミング図

【図 6】画素出力回路の他の一例と、撮像装置の他の一例の模式図

【図 7】A / D 変換部の一例の模式図と、撮像装置の動作の他の一例のタイミング図。

【図 8】撮像装置の他の一例と、A / D 変換部の他の一例の模式図

20

【図 9】撮像装置の他の一例の動作のタイミング図と、撮像装置の他の一例の模式図。

【図 10】撮像システムの一例の模式図。

【発明を実施するための形態】

【 0 0 1 1 】

( 実施例 1 )

図 1 ( a ) は、本実施例の撮像装置の構成例を示す図である。

【 0 0 1 2 】

図 1 ( a ) の画素アレイ 1 0 0 は、行列状に設けられた画素出力回路 1 0 1 を有している。駆動バイアス群 1 5 0 は、各画素出力回路 1 0 1 を駆動する駆動バイアス回路 2 0 0 、ランプ信号供給回路 2 0 1 を含む。本実施例では、列ごとに駆動バイアス回路 2 0 0 、ランプ信号供給回路 2 0 1 を備える構成である。各列に設けられた駆動バイアス線 2 0 2 は、対応する駆動バイアス回路 2 0 0 のそれぞれから、対応する列に設けられた画素出力回路 1 0 1 に駆動バイアスを供給する。駆動バイアスは、画素出力回路 1 0 1 を構成する回路によって複数のバイアスとなることもあり、電圧、あるいは電流のいずれかで供給される。また、各列に設けられたランプ信号線 2 0 3 は、ランプ信号供給回路 2 0 1 のそれぞれから、各列の画素出力回路 1 0 1 にランプ信号を供給する。カウンタ群 3 0 0 は、カウンタ回路 3 0 1 を含む。カウンタ回路 3 0 1 は、不図示のクロック信号生成部から供給されるクロック信号を計数することでカウンタ信号を生成する。さらにカウンタ回路 3 0 1 は生成したカウンタ信号を、画素出力回路 1 0 1 に供給する。本実施例では、列ごとにカウンタ回路 3 0 1 を備える構成であり、各列共通のカウンタ信号線 3 0 2 によって、各列の画素出力回路 1 0 1 に N - ビットのカウンタ信号を供給する。尚、カウンタ信号線 3 0 2 は、N - ビットに応じて N 本配置される。垂直制御回路 4 0 0 は画素出力回路 1 0 1 の動作を行単位で制御する。制御信号を供給する制御信号線 4 0 1 は、簡単のため 1 本で図示しているが、駆動する回路の制御方法、あるいは画素出力回路 1 0 1 の選択動作に基づいて、複数本の制御信号線としてもよい。画素出力回路 1 0 1 から、共通出力線 5 0 0 を介してデジタルメモリ 6 0 0 にデジタル信号が出力される。共通出力線 5 0 0 は、N - ビットのデジタル信号を伝送するため、1 列の画素出力回路 1 0 1 に対し N 本設けられている。デジタルメモリ 6 0 0 に保持されたデジタルデータは、出力部 7 0 0 に転送される。出力部 7 0 0 は、パラレル / シリアル変換機能 ( 以下、P / S 変換機能とする ) を有する。出力部 7 0 0 は、デジタルメモリ 6 0 0 から転送される N - ビットのパラレル形式の

30

40

50

デジタル信号を、シリアル形式のデジタル信号に変換する。そして、出力部 700 は、変換したシリアル形式の N - ビットのデジタル信号を出力端子 800 に出力する。出力端子 800 は、出力部 700 から出力される、シリアル形式の N - ビットのデジタル信号を出力する。デジタルメモリ 600 は、共通出力線 500 が伝送するデジタル信号を保持する記憶部である。図 1 ( a ) では、電気信号出力部 10、A / D 変換部 107 に駆動バイアスを供給する駆動バイアス線 102 が不図示であるが、アナログ信号線群 210 が設けられた領域内に、駆動バイアス線 202 と並行して設けられている。

#### 【 0013 】

図 1 ( b ) は、画素出力回路 101 に含まれる回路ブロックの配置例である。画素出力回路 101 は、電気信号出力部 10、A / D 変換部 107、画素内メモリ 108 を有する。駆動バイアス線 102 は、電気信号出力部 10、A / D 変換部 107 に駆動バイアスを供給する。駆動バイアス線 202 は、A / D 変換部 107 に駆動バイアスを供給する。ランプ信号線 203 は、A / D 変換部 107 にランプ信号を供給する。カウンタ信号線 302 のカウンタ信号が、画素内メモリ 108 に出力される。画素内メモリ 108 は、A / D 変換部 107 が出力するラッチ信号の信号値が変化した時のカウント値のカウンタ信号を保持する。この保持したカウンタ信号が、画素出力回路 101 が出力するデジタル信号である。画素内メモリ 108 は、保持したデジタル信号を、制御信号線 401 から出力される制御信号に基づいて、共通出力線 500 に出力する。本実施例のデジタル信号線群 310 はカウンタ信号線 302、共通出力線 500 を含む。本実施例のアナログ信号線群 210 は、駆動バイアス線 102、202、ランプ信号線 203 を含む。画素内メモリ 108 は、例えば S R A M ( S t a t i c R a n d o m A c c e s s M e m o r y ) の構成であっても良い。

#### 【 0014 】

図 2 ( a ) を参照しながら、電気信号出力部 10 と A / D 変換部 107 について説明する。図 2 ( a ) は画素出力回路 101 の構成の一例である。電気信号出力部 10 は、光電変換部 104、スイッチ 105、スイッチ 106 を有する。スイッチ 105 は、垂直制御回路 400 から出力される信号 P R E S の信号値に基づいて、駆動バイアス線 102 と光電変換部 104 の導通、非導通を切り替える。スイッチ 106 は、垂直制御回路 400 から出力される信号 P T X の信号値に基づいて、光電変換部 104 と A / D 変換部 107 の導通、非導通を切り替える。スイッチ 106 が導通すると、光電変換部 104 から A / D 変換部 107 に、入射光を光電変換して生成した信号が出力される。以下、光電変換部 104 が入射光を光電変換して生成した信号を、光電変換信号と表記する。光電変換部 104 は本実施例の入射する電磁波に基づく電荷を生成する変換部である。

#### 【 0015 】

A / D 変換部 107 は、容量素子 C 0、C 1、C 2、比較器 130、ラッチ部 109 を有する。光電変換部 104 が出力した光電変換信号は、容量素子 C 0、C 1 に与えられる。容量素子 C 0 は、一方のノードには光電変換信号が与えられ、他方のノードには、電源線 103 から接地電位が与えられる。比較器 130 は、トランジスタ M 1、M 2、M 3、M 4、M 5 を有する。トランジスタ M 2 の入力ノードには、光電変換信号が容量素子 C 1 を介して与えられる。一方、トランジスタ M 3 の入力ノードには、ランプ信号線 203 から容量素子 C 2 を介してランプ信号が与えられる。ランプ信号は、時間に依存して電位が変化する信号である。比較器 130 は、光電変換信号とランプ信号とを比較した結果を示す比較結果信号をラッチ部 109 に出力する。駆動バイアス線 202 は、トランジスタ M 1 の入力ノードに駆動バイアスを供給する。また、駆動バイアス線 102 は、トランジスタ M 4、M 5 のそれぞれの一方のノードに電位を供給する。

#### 【 0016 】

図 2 ( b ) は、図 2 ( a ) で示した画素出力回路 101 の動作の一例を示したタイミング図である。リセット期間に、垂直制御回路 400 は信号 P R E S、P T X を H i g h レベル ( 以下、H レベルと表記する ) とする。これにより、スイッチ 105、106 が導通するため、光電変換部 104 の電位がリセットされる。また、スイッチ 105、106 が

導通することによって、容量素子C 0、C 1のそれぞれの一方のノードの電位がリセットされる。トランジスタM 2、M 3の入力ノードの電位についても、不図示のリセット回路により、リセットされる。トランジスタM 2の入力ノードのリセットは、例えば、トランジスタM 2の入力ノードと、トランジスタM 2のドレインとなるノードとを短絡させればよい。同様に、トランジスタM 3の入力ノードのリセットについても、トランジスタM 3の入力ノードと、トランジスタM 3のドレインとなるノードとを短絡させればよい。

#### 【0017】

垂直制御回路400が信号PRES, PTXをそれぞれLowレベル(以下、Lレベルと表記する)と、光電変換部104では入射光に基づく電荷の蓄積が行われる。光電変換部104が電荷を蓄積する蓄積期間が終了すると、垂直制御回路400は信号PTXをHレベルとする。これにより、光電変換信号が容量素子C 0、C 1に出力される。また、光電変換信号が容量素子C 1を介してトランジスタM 2の入力ノードに出力される。その後、垂直制御回路400は、信号PTXをLレベルとする。この信号PTXがHレベルとなってからLレベルとなるまでの期間が、サンプルホールド期間(図2(b)ではS/Hと表記している)である。

10

#### 【0018】

サンプルホールド期間の後、ランプ信号供給回路201は、ランプ信号の、時間に依存した電位の変化を開始する。比較器130がラッチ部109に出力する比較結果信号の信号値が変化すると、ラッチ部109が画素内メモリ108に出力するラッチ信号の信号値がLレベルからHレベルに変化する。画素内メモリ108は、ラッチ信号の信号値がLレベルからHレベルに変化した時のカウンタ信号(図2(b)ではaとして示している)を保持する。その後、ランプ信号供給回路201は、ランプ信号の、時間に依存した電位の変化を終了する。このランプ信号供給回路201が、ランプ信号の、時間に依存した電位の変化を行わせている期間がA/D変換期間である。A/D変換期間が終了した後、垂直制御回路400は、制御信号線401の信号値を変化させて、画素内メモリ108から、保持したデジタル信号を共通出力線500に出力させる。この垂直制御回路400が、各画素出力回路101からデジタル信号を順次、共通出力線500に出力させている期間が、読出し期間である。

20

#### 【0019】

図2(c)は、画素出力回路101において、異なるフレームの光電変換信号を並列で処理する場合の駆動タイミングである。図2(c)に示した、リセット、蓄積、S/H、A/D変換、読出しの各期間は、図2(b)に示した各期間と対応している。図2(c)に示した動作は、Nフレーム目の読出し期間と、(N+1)フレーム目のA/D変換期間と、を重ねた動作である。また、図2(c)に示した動作は、(N+1)フレーム目のA/D変換期間と、(N+2)フレーム目のリセット期間、蓄積期間と、を重ねた動作である。図2(c)に示した動作では、A/D変換部107と電気信号出力部10が並行して動作する。A/D変換部107が動作しているため、デジタル信号線群310であるカウンタ信号線302、共通出力線500の電位が変化する。

30

#### 【0020】

デジタル信号線群310とアナログ信号線群210とが近接して設けられている場合、デジタル信号線群310とアナログ信号線群210との間の寄生容量を介して、一方の電位の変動が、他方の電位に変動を生じさせる。特に、デジタル信号線群310は、アナログ信号線群210に比べて高い周波数で電位が変化するため、デジタル信号線群310の電位の変動が、アナログ信号線群210の電位の変動を生じさせやすい。

40

#### 【0021】

本実施例の形態では、デジタル信号の伝送によって、駆動バイアス線102、202、ランプ信号線203の電位に変動が生じる。駆動バイアス線102、202の電位に変動が生じた場合には、比較器130のトランジスタM 1に流れる電流量が変動することによって、比較器130の比較動作の精度の低下が生じる。また、ランプ信号線203の電位に変動が生じた場合には、ランプ信号の線形性が低下することによって、比較器130の

50



比較動作の精度の低下が生じる。比較器 130 の比較動作の精度の低下は、A / D 変換部 107 の A / D 変換精度の低下に繋がる。従って、駆動バイアス線 102、202、ランプ信号線 203 に電位の変動が生じると、A / D 変換部 107 の A / D 変換精度が低下する。

#### 【0022】

本実施例では、駆動バイアス線 102、202 とランプ信号線 203 とのアナログ信号線群 210 と、カウンタ信号線 302 と共通出力線 500 とのデジタル信号線群 310 とが、電気信号出力部 10 を挟むように設けられている。これにより、本実施例の撮像装置は、デジタル信号線群 310 の電位の変動によるアナログ信号線群 210 の電位の変動が生じにくい。よって、デジタル信号線群 310 の電位の変動による A / D 変換精度の低下を低減することができる。また、駆動バイアス線 102 は、光電変換部 104、容量素子 C0、C1 のリセット電位を与える。本実施例の撮像装置は、デジタル信号線群 310 の電位の変動による駆動バイアス線 102 の電位の変動が生じにくいため、光電変換部 104 のリセット電位の変動を低減することができる。

#### 【0023】

本実施例では、駆動バイアス線 102、202、ランプ信号線 203 を含むアナログ信号線群 210 と、カウンタ信号線 302、共通出力線 500 を含むデジタル信号線群 310 が電気信号出力部 10 を挟むように設けている形態を説明した。本実施例は、この形態に限定されるものではなく、第 1 の信号線である駆動バイアス線 102 あるいは駆動バイアス線 202 と、第 2 の信号線である共通出力線 500 と、が電気信号出力部 10 を挟むように設けている形態であれば良い。本実施例は、アナログ信号線群 210 が駆動バイアス線 102、202、ランプ信号線 203 を含む例を説明した。アナログ信号線群 210 は、他の信号線を含んでも良く、例えば、電源線 103 をさらに含んでも良い。電源線 103 は、光電変換部 104、容量素子 C0 に電源を供給している。従って、デジタル信号線群 310 の電位の変動による電源線 103 の電位の変動を生じにくくすることで、光電変換信号の変動を低減することができる。また、アナログ信号線群 210 は、画素内メモリ 108 に電位を供給するバイアス線を含んでも良い。つまり、アナログ信号線群 210 が、電気信号出力部 10、A / D 変換部 107、画素内メモリ 108 の各々に電位を供給する信号線を含む形態であっても良い。

#### 【0024】

本実施例では、図 1 ( a ) のように、複数のアナログ信号線群 210 の間に複数の電気信号出力部 10 が挟まれて設けられている。また、複数のアナログ信号線群 210 に挟まれた複数の電気信号出力部 10 の間に、デジタル信号線群 310 が設けられている。他の見方をすれば、複数のデジタル信号線群 310 の間に複数の電気信号出力部 10 が挟まれて設けられている。また、複数のデジタル信号線群 310 に挟まれた複数の電気信号出力部 10 の間に、アナログ信号線群 210 が設けられている。

#### 【0025】

尚、本実施例では、図 2 ( c ) のように、A / D 変換部 107 と電気信号出力部 10 が並行して動作する例を説明した。本実施例はこの形態には限定されない。

#### 【0026】

尚、本実施例では、列ごとにデジタルメモリ 600 を設ける構成を示したが、行ごとにデジタルメモリ 600 を設ける構成としても良い。

#### 【0027】

また、本実施例では、駆動バイアス線 102、202 とランプ信号線 203 のそれぞれが、同じ列の画素出力回路 101 に共通して電氣的に接続される構成を示した。他の形態として、駆動バイアス線 102、202 とランプ信号線 203 のそれぞれが、同じ行の画素出力回路 101 に共通して電氣的に接続されるようにしても良い。

#### 【0028】

また、本実施例では、カウンタ回路 301 が各列に設けられている構成を示したが、全ての画素出力回路 101 に共通のカウンタ信号を出力するカウンタ回路 301 を 1 つ設け

10

20

30

40

50

る構成としても良い。この形態の場合は、画素内メモリ108が、A/D変換期間の開始時のカウンタ信号の信号値と、ラッチ信号の信号値が変化した時のカウンタ信号の信号値と、を保持するようにすればよい。そして、画素内メモリ108、デジタルメモリ600、出力部700のいずれかで、A/D変換期間の開始時のカウンタ信号の信号値と、ラッチ信号の信号値が変化した時のカウンタ信号の信号値との差の信号を得るようにすればよい。

#### 【0029】

また、本実施例では、ランプ信号の電位の変化が直線的な形態を説明した。他の形態として、ランプ信号の電位が階段状に変化する形態であっても良い。このランプ信号の電位が階段状に変化する形態も、時間に依存して電位が変化する形態に含まれる。

10

#### 【0030】

また、本実施例では、A/D変換部107が、ランプ信号を用いたA/D変換を行う形態を基に説明した。本実施例は他に、逐次比較型、パイプライン型など、他のA/D変換形式であっても適用できる。例えば、逐次比較型のA/D変換であれば、ランプ信号線203の代わりに、光電変換信号と逐次比較する電位を生成するための基準電位を供給する信号線を設ければよい。つまり、デジタル信号を伝送するデジタル信号線群310と、電気信号出力部10、A/D変換部107を駆動する電位を供給するアナログ信号線群210と、を有する形態であれば、本実施例を適用することができる。

#### 【0031】

光電変換部104は入射する電磁波に基づく電荷を生成する変換部の一例である。入射する電磁波に基づく電荷を生成する変換部は他に、例えば、X線、赤外線といった入射する電磁波に基づく電荷を生成する形態であってもよい。

20

#### 【0032】

(実施例2)

本実施例の撮像装置について、実施例1と異なる点を中心に説明する。

#### 【0033】

図3(a)は、本実施例の撮像装置の構成例を示す図である。図1(a)に示した構成との違いは、1つの共通出力線500を、互いに隣接する2列の画素出力回路101と共有している点である。

#### 【0034】

それぞれの共通出力線500には、不図示の制御部によって導通、非導通が制御されるスイッチ501-1、501-2を介して、各列の画素出力回路101が出力するデジタル信号を保持するデジタルメモリ600-1、600-2が電氣的に接続されている。デジタルメモリ600-1、600-2は画素出力回路101の列に対応して設けられている。スイッチ501-1、501-2は、共通出力線500に出力されるデジタル信号の出力先を、デジタルメモリ600-1、600-2のいずれかから選択する選択回路である。デジタルメモリ600-1は、一方の列の画素出力回路101の画素信号に基づくデジタル信号を保持する第1の記憶部である。また、デジタルメモリ600-2は、他方の列の画素出力回路101の画素信号に基づくデジタル信号を保持する第2の記憶部である。

30

40

#### 【0035】

図3(b)は、本実施例の画素出力回路101の一例を示した図である。図1(b)に示した画素出力回路101と異なるのは、図3(b)の画素出力回路101が、画素内メモリ108と共通出力線500との導通、非導通を切り替えるスイッチ502を有する点である。スイッチ502は、垂直制御回路400から出力される指示信号に基づいて、導通、非導通を切り替える。垂直制御回路400は、共通出力線500を共有する画素出力回路101の間でスイッチ502を導通させる期間を排他的に異ならせる。これにより、共通出力線500には、2列の画素出力回路101から順次、デジタル信号が出力される。

#### 【0036】

50

共通出力線 500 を共有する一方の画素出力回路 101 のスイッチ 502 が導通すると、不図示の制御部がスイッチ 501 - 1 を導通させる。これにより、デジタルメモリ 600 - 1 が、共通出力線 500 を共有する一方の画素出力回路 101 のデジタル信号を保持する。また、共通出力線 500 を共有する他方の画素出力回路 101 のスイッチ 502 が導通すると、不図示の制御部がスイッチ 501 - 2 を導通させる。これにより、デジタルメモリ 600 - 2 が、共通出力線 500 を共有する他方の画素出力回路 101 のデジタル信号を保持する。

#### 【0037】

本実施例では、互いに隣接する 2 列の画素出力回路 101 で共通出力線 500 を共有する。これにより、図 1 (a) に示した構成と比較して共通出力線 500 の配線数を 1 / 2 に減らすことができる。これによって、例えば、共通出力線 500 の配線数を減らした分、光電変換部 104 の開口率を高くしたり、画素アレイ 100 の面積を縮小したりすることができる。特に、N - ビットのデジタル信号を画素出力回路 101 からデジタルメモリ 600 にパラレルに伝送する場合には、共通出力線 500 は N 本の配線となる。よって、本実施例のように 2 列の画素出力回路 101 で共通出力線 500 を共有すると、N 本の配線を減らすことができる。本実施例では、2 列の画素出力回路 101 が 1 つの共通出力線 500 を共有する形態を説明したが、この形態に限定されるものではなく、複数列の画素出力回路 101 が 1 つの共通出力線 500 を共有する形態であれば良い。

#### 【0038】

尚、駆動バイアス線 202、ランプ信号線 203、カウンタ信号線 302 についても、隣接する列で共有する構成によって同様の効果が得られる。一方、画素アレイ 100 の外に配置しているデジタルメモリ 600 についても、隣接する列で共有する構成でもよい。デジタルメモリ 600 の領域の面積を低減できる。

#### 【0039】

##### (実施例 3)

本実施例の撮像装置について、実施例 1 と異なる点を中心に説明する。

#### 【0040】

図 4 (a) は、本実施例の撮像装置の構成例を示す図である。図 1 (a) に示した撮像装置との違いは、図 4 (a) に示した撮像装置では、1 つの A / D 変換部 107 を 4 行の画素出力回路 120 で共有している点である。図 4 (a) で示した各ブロック a ~ d はそれぞれ、4 つの画素出力回路 120 と 1 つの A / D 変換部 107 を有している。図 4 (a) の撮像装置は、A / D 変換部 107 と画素出力回路 120 とを電氣的に接続する、光電変換信号出力線 121 とラッチ信号線 122 とを有する。

#### 【0041】

図 4 (b) は、本実施例の画素出力回路 120 の構成例を示す図である。A / D 変換部 107 は実施例 1 と同様の構成とし、ラッチ部 109 から出力されるラッチ信号は、ラッチ信号線 122 を介して画素出力回路 120 に入力される。光電変換信号は、スイッチ 106 が導通すると、光電変換信号出力線 121 を介して A / D 変換部 107 へ入力される。

#### 【0042】

次に、図 5 (a)、図 5 (b) を用いて、本実施例の動作を説明する。

#### 【0043】

図 5 (a) は図 4 (a) に示した撮像装置の動作の一例である。図 5 (a) に示したりセット、蓄積、S / H、A / D 変換、読出しの各期間は、図 2 (b) に示した各動作に対応している。

#### 【0044】

図 5 (b) は、静止画と動画のそれぞれの動作タイミングについて、1 つの A / D 変換部 107 を共有する、ブロック a の画素出力回路 120 - 1 ~ 120 - 4 の動作と、A / D 変換部 107 の動作と、を表した図である。図 5 (b) では、リセット、蓄積、S / H の期間を P i x として表している。同様に図 5 (b) では、A / D 変換の期間を A / D、

10

20

30

40

50

読出しの期間を R e a d として表している。

【 0 0 4 5 】

静止画動作タイミングでは、本実施例の撮像装置は、すべての画素出力回路 1 2 0 の蓄積期間を同時とするグローバルシャッタ動作を行っている。図 5 ( b ) に示した動作では、蓄積期間を含む P i x 期間の開始と終了とのそれぞれを、画素出力回路 1 2 0 - 1 ~ 1 2 0 - 4 で同時としている。

【 0 0 4 6 】

P i x 期間の後、A / D 変換部 1 0 7 は、画素出力回路 1 2 0 - 1 の光電変換信号の A / D 変換を行う。A / D 変換後の読出し期間に、A / D 変換部 1 0 7 が生成した、画素出力回路 1 2 0 - 1 の光電変換信号に基づくデジタル信号が共通出力線 5 0 0 に出力される。また、画素出力回路 1 2 0 - 1 の光電変換信号に基づくデジタル信号の読出し期間に、A / D 変換部 1 0 7 が画素出力回路 1 2 0 - 2 の光電変換信号の A / D 変換を行う。以降、同様に、K 行目の画素出力回路 1 2 0 の光電変換信号に基づくデジタル信号の読出し期間に、A / D 変換部 1 0 7 が ( K + 1 ) 行目の画素出力回路 1 2 0 の光電変換信号の A / D 変換を行う。

【 0 0 4 7 】

静止画動作タイミングでは、撮像装置はグローバルシャッタ動作を行っていたが、動画動作タイミングではローリングシャッタ動作としている。つまり、画素出力回路 1 2 0 - 1 の P i x 期間が終了後に、画素出力回路 1 2 0 - 2 の P i x 期間が開始される。また、動画動作タイミングでは、画素出力回路 1 2 0 のそれぞれに、読出し期間後に、電気信号出力部 1 0 と画素内メモリ 1 0 8 が動作しない期間である b l a n k 期間を設けている。そして、動画動作タイミングでは、b l a n k 期間の後に、次のフレームの P i x 期間を設けている。

【 0 0 4 8 】

本実施例では、1つのA / D 変換部 1 0 7 を4つの画素出力回路 1 2 0 で共有する。これにより、A / D 変換部 1 0 7 の面積を低減することができる。

【 0 0 4 9 】

本実施例においても、実施例 1 と同様に、デジタル信号線群 3 1 0 とアナログ信号線群 2 1 0 とが電気信号出力部 1 0 を挟むように設けられている。これにより、実施例 1 と同様の効果を得ることができる。

【 0 0 5 0 】

尚、本実施例では、1つのA / D 変換部 1 0 7 を4つの画素出力回路 1 2 0 を共有していた。本実施例はこの形態に限定されるものではなく、1つのA / D 変換部 1 0 7 を複数の画素出力回路 1 2 0 で共有する構成であれば適用できる。

【 0 0 5 1 】

また、本実施例では、図 5 ( c ) に示した動画動作タイミングで、P i x 期間が、A / D 変換期間、R e a d 期間と同じ長さであるとして説明した。本実施例はこの形態に限定されるものではなく、B l a n k 期間を短縮して、その分、P i x 期間を長くするようにしても良い。

【 0 0 5 2 】

( 実施例 4 )

本実施例の撮像装置について、実施例 1 と異なる点を中心に説明する。

【 0 0 5 3 】

図 6 ( a ) は、本実施例の画素出力回路 1 0 1 の構成例を示す図である。図 1 ( a ) に示した構成との違いは、図 6 ( a ) に示した画素出力回路 1 0 1 が増幅器 1 1 0 を有している点である。

【 0 0 5 4 】

本実施例では、容量素子 1 1 1 が光電変換信号を保持する。そして、容量素子 1 1 1 の保持した光電変換信号が増幅器 1 1 0 に入力される。増幅器 1 1 0 は光電変換信号を増幅して生成した信号を、スイッチ 1 1 2 を介して A / D 変換部 1 0 7 に出力する。

## 【 0 0 5 5 】

光電変換信号の信号値が、好適に A / D 変換を行える信号範囲より小さい場合であることがある。本実施例の撮像装置では、このような場合であっても、増幅器 1 1 0 で光電変換信号を増幅することによって、A / D 変換部 1 0 7 に出力される信号を、好適に A / D 変換を行える信号範囲内とすることができる。

## 【 0 0 5 6 】

本実施例においても、デジタル信号線群 3 1 0 とアナログ信号線群 2 1 0 の配置は実施例 1 と同様とすることができる。よって、実施例 1 と同様の効果を得ることができる。

## 【 0 0 5 7 】

( 実施例 5 )

本実施例の撮像装置について、実施例 3 と異なる点を中心に説明する。

## 【 0 0 5 8 】

図 6 ( b ) は、本実施例の撮像装置の構成例を示す図である。図 6 ( b ) に示した撮像装置では、増幅器 1 1 0 を、4 つの画素出力回路 1 2 0 で共有している。増幅器 1 1 0 には、駆動バイアス線 2 0 4 から、増幅器 1 1 0 を駆動する駆動バイアスが供給される。本実施例の撮像装置では、駆動バイアス線 2 0 4 と、デジタル信号線群 3 1 0 とが、電気信号出力部 1 0 を挟むように設けられている。画素出力回路 1 2 0 の構成は、図 4 ( b ) に示したものと同様とすることができる。

## 【 0 0 5 9 】

図 7 ( a ) は、本実施例における A / D 変換部 1 0 7 の構成例である。図 2 ( a ) との違いは、図 7 ( a ) の A / D 変換部 1 0 7 が、スイッチ群 1 1 3 と容量素子 C 0 1、C 0 2 を有している点である。スイッチ群 1 1 3 は、スイッチ S W 1 ~ 4 を有する。増幅器 1 1 0 が出力する信号はスイッチ S W 1、S W 2 に与えられる。スイッチ S W 1 が導通すると、容量素子 C 0 1 が増幅器 1 1 0 の出力する信号を保持する。また、スイッチ S W 2 が導通すると、容量素子 C 0 2 が増幅器 1 1 0 の出力する信号を保持する。スイッチ S W 3 が導通すると、容量素子 C 0 1 が保持した信号が、容量素子 C 1 を介してトランジスタ M 2 の入力ノードに入力される。また、スイッチ S W 4 が導通すると、容量素子 C 0 2 が保持した信号が、容量素子 C 1 を介してトランジスタ M 2 の入力ノードに入力される。

## 【 0 0 6 0 】

図 7 ( b ) は、図 6 ( b ) に示した撮像装置の、1 つの画素出力回路 1 2 0 の動作を表した図である。図 7 ( b ) に示した、P i x、A / D、R e a d の各期間は、図 5 ( a ) で述べた各期間と同様である。G a i n 期間は、増幅器 1 1 0 が、光電変換信号を増幅するとともに、スイッチ群 1 1 3 に信号を出力している期間である。

## 【 0 0 6 1 】

図 7 ( c ) は、図 6 ( b ) に示した撮像装置における静止画動作のタイミング図である。本実施例では、増幅器 1 1 0 が光電変換信号を増幅する期間 ( 以下、G a i n 期間 ) が、A / D 変換期間と R e a d 期間の期間を合わせた期間と同じとしている。

## 【 0 0 6 2 】

本実施例の撮像装置は実施例 3 と同様、グローバルシャッタ動作を行っている。画素出力回路 1 2 0 - 1 ~ 1 2 0 - 4 の P i x 期間の後、増幅器 1 1 0 が画素出力回路 1 2 0 - 1 の光電変換信号を増幅する G a i n 期間が開始される。G a i n 期間では、スイッチ群 1 1 3 のうち、スイッチ S W 1 が導通して、容量素子 C 0 1 が増幅器 1 1 0 の出力する信号を保持する。画素出力回路 1 2 0 - 1 の光電変換信号を増幅した信号の A / D 変換期間では、スイッチ S W 1 が非導通となり、スイッチ S W 3 が導通する。図 7 ( c ) のタイミング図では、撮像装置は、画素出力回路 1 2 0 - 1 の光電変換信号に基づく信号の A / D 変換期間と、画素出力回路 1 2 0 - 2 の光電変換信号の G a i n 期間とを重ねて動作する。画素出力回路 1 2 0 - 2 の光電変換信号を増幅する G a i n 期間では、スイッチ群 1 1 3 のうちスイッチ S W 2 が導通して、容量素子 C 0 2 が増幅器 1 1 0 の出力する信号を保持する。画素出力回路 1 2 0 - 2 の光電変換信号を増幅した信号の A / D 変換期間では、スイッチ S W 2 が非導通となり、スイッチ S W 4 が導通する。

10

20

30

40

50

## 【 0 0 6 3 】

以降同様に、画素出力回路 1 2 0 - 3、1 2 0 - 4 の各々の光電変換信号についても、G a i n 期間と A / D 変換期間とが重なるように動作する。これにより、複数の画素出力回路 1 2 0 の各々の光電変換信号に基づくデジタル信号を、増幅器 1 1 0 と A / D 変換部 1 0 7 の動作期間を全く重ねない場合に比して短い期間で生成することができる。

## 【 0 0 6 4 】

本実施例の撮像装置においても、図 4 ( a ) のように、電気信号出力部 1 0 を挟んで、デジタル信号線群 3 1 0 とアナログ信号線群 2 1 0 とが設けられている。これにより、実施例 1 と同様の効果を得ることができる。さらに、増幅器 1 1 0 を駆動する、第 3 の信号線である駆動バイアス線 2 0 4 を含むアナログ信号線群 2 1 0 と、デジタル信号線群 3 1 0 とが、電気信号出力部 1 0 を挟むように設けられている。これは、駆動バイアス線 2 0 4 をデジタル信号線群 3 1 0 に近接して配すると、デジタル信号線群 3 1 0 の電位の変動によって、駆動バイアス線 2 0 4 の電位も変動するためである。駆動バイアス線 2 0 4 の電位の変動は、増幅器 1 1 0 の増幅率の変動を生じさせる。増幅器 1 1 0 の増幅率が変動することによって、同じ信号値の光電変換信号を増幅したとしても、増幅器 1 1 0 の出力する信号の信号値が異なってしまう。よって、増幅器 1 1 0 の増幅率の変動を低減するため、増幅器 1 1 0 を駆動する駆動バイアス線 2 0 4 と、デジタル信号線群 3 1 0 とが、電気信号出力部 1 0 を挟むように設けられていることが好ましい。

## 【 0 0 6 5 】

本実施例では、A / D 変換部 1 0 7 がスイッチ群 1 1 3 と容量素子 C 0 1、C 0 2 を有している。これにより、画素出力回路 1 2 0 - 1 の光電変換信号を増幅した信号の A / D 変換期間と、画素出力回路 1 2 0 - 2 の光電変換信号の G a i n 期間とを重ねることができる。よって、複数の画素出力回路 1 2 0 の各々の光電変換信号を増幅した信号に基づくデジタル信号を生成する期間を、A / D 変換部 1 0 7 がスイッチ群 1 1 3 を有さない形態に比して短縮することができる。

## 【 0 0 6 6 】

本実施例では、1 つの増幅器 1 1 0 を複数の画素出力回路 1 2 0 で共有する形態を説明した。これにより、各画素出力回路 1 2 0 が増幅器 1 1 0 を有する形態に比して、画素出力回路 1 2 0 と増幅器 1 1 0 を合わせた回路面積を減らすことができる。一方で、A / D 変換部 1 0 7 では、図 4 ( a ) に示した形態に比して、スイッチ群 1 1 3、容量素子 C 0 1、C 0 2 を設けている分、回路面積が増大している。従って、1 つの増幅器 1 1 0 の回路面積が、スイッチ群 1 1 3、容量素子 C 0 1、C 0 2 の回路面積よりも大きい場合には、複数の画素出力回路 1 2 0 で 1 つの増幅器 1 1 0 を共有することで、画素アレイの回路面積を減らすことができる。

## 【 0 0 6 7 】

尚、本実施例では、増幅器 1 1 0 が、画素出力回路 1 2 0 のそれぞれの信号を増幅して、A / D 変換部 1 0 7 に出力する動作を説明した。他の形態として、増幅器 1 1 0 の、光電変換信号が入力される入力部に加算機能を備え、複数の画素出力回路 1 2 0 の光電変換信号を加算した光電変換信号を増幅して A / D 変換部 1 0 7 に出力する形態であっても良い。

## 【 0 0 6 8 】

本実施例では、A / D 変換期間と R e a d 期間の合計期間が、G a i n 期間と同じである形態を説明したが、本実施例はこの形態に限定されない。例えば、A / D 変換期間を短縮する場合には、デジタル信号のビット数を減らせば良い。また、画素出力回路からシリーズ形式でデジタル信号が出力される場合には、デジタル信号のビット数を減らすことによって、R e a d 期間を短縮することができる。

## 【 0 0 6 9 】

本実施例ではこれまで、4 つの画素出力回路 1 2 0 で 1 つの増幅器 1 1 0 を共有する形態を説明した。他の形態として、2 つの画素出力回路 1 2 0 で 1 つの増幅器 1 1 0 を共有する形態について説明する。

## 【 0 0 7 0 】

図 8 ( a ) は、2 つの画素出力回路 1 2 0 が増幅器 1 1 0 を共有する形態である。画素出力回路 1 2 0 - 1、1 2 0 - 2 は、増幅器 1 1 0 - 1 を共有している。画素出力回路 1 2 0 - 3、1 2 0 - 4 は、増幅器 1 1 0 - 2 を共有している。増幅器 1 1 0 - 1、1 1 0 - 2 はそれぞれ、画素出力回路 1 2 0 から出力される光電変換信号を増幅した信号を、A / D 変換部 1 0 7 に出力する。増幅器 1 1 0 - 1、1 1 0 - 2 は共通の駆動バイアス線 2 0 4 から駆動バイアスが供給される。

## 【 0 0 7 1 】

図 8 ( b ) は、図 8 ( a ) に示した撮像装置の A / D 変換部 1 0 7 の構成例である。スイッチ群 1 1 3 は、スイッチ S W 1 ~ S W 8 を有する。また、A / D 変換部 1 0 7 は、容量素子 C 0 1 ~ C 0 4 を有している。増幅器 1 1 0 - 1 が出力する信号は、スイッチ S W 1、S W 2 に入力される。不図示の制御部がスイッチ S W 1 を導通させている場合には、容量素子 C 0 1 が増幅器 1 1 0 - 1 の出力する信号を保持する。一方、不図示の制御部がスイッチ S W 2 を導通させている場合には、容量素子 C 0 2 が増幅器 1 1 0 - 1 の出力する信号を保持する。同様に、不図示の制御部がスイッチ S W 3、S W 4 をそれぞれ導通させると、容量素子 C 0 3、C 0 4 のそれぞれが増幅器 1 1 0 - 2 の出力する信号を保持する。

## 【 0 0 7 2 】

不図示の制御部がスイッチ S W 1 を非導通とし、スイッチ S W 5 を導通させると、容量素子 C 0 1 が保持した信号がスイッチ S W 5 と容量素子 C 1 を介して、トランジスタ M 2 の入力ノードに出力される。他の容量素子 C 0 2 ~ C 0 4 についても同様に、それぞれの容量素子 C 0 2 ~ C 0 4 に対応するスイッチ S W 2 ~ S W 4 が非導通となり、それぞれの容量素子 C 0 2 ~ C 0 4 に対応するスイッチ S W 6 ~ S W 8 を導通させる。これにより、それぞれの容量素子 C 0 2 ~ C 0 4 が保持した信号が、それぞれの容量素子 C 0 2 ~ C 0 4 から、容量素子 C 1 を介してトランジスタ M 2 に出力される。

## 【 0 0 7 3 】

図 9 ( a ) は、図 8 ( a ) に示した撮像装置の動作を表した図である。画素出力回路 1 2 0 - 1 ~ 1 2 0 - 4 の P i x 期間は、画素出力回路 1 2 0 - 1 ~ 1 2 0 - 4 の間で開始と終了を同時としている。増幅器 1 1 0 - 1 は、画素出力回路 1 2 0 - 1 の光電変換信号を増幅した信号を、スイッチ S W 1 を介して容量素子 C 0 1 に出力する。増幅器 1 1 0 - 2 は、画素出力回路 1 2 0 - 2 の光電変換信号を増幅した信号を、スイッチ S W 3 を介して容量素子 C 0 3 に出力する。増幅器 1 1 0 - 1 の G a i n 期間の開始と終了は、増幅器 1 1 0 - 2 の G a i n 期間の開始と終了に対し、それぞれ同時としている。

## 【 0 0 7 4 】

不図示の制御部は、スイッチ S W 1、S W 3 を非導通とし、スイッチ S W 5 を導通させる。これにより A / D 変換部 1 0 7 は、画素出力回路 1 2 0 - 1 の光電変換信号を増幅した信号の A / D 変換を開始する。一方、増幅器 1 1 0 - 1 は画素出力回路 1 2 0 - 2 の光電変換信号を増幅した信号を、スイッチ S W 2 を介して容量素子 C 0 2 に出力する。また、増幅器 1 1 0 - 2 は、画素出力回路 1 2 0 - 4 の光電変換信号を増幅した信号を、スイッチ S W 4 を介して容量素子 C 0 4 に出力する。

## 【 0 0 7 5 】

不図示の制御部は、画素出力回路 1 2 0 - 1 の光電変換信号を増幅した信号の A / D 変換期間が終了すると、スイッチ S W 5 を非導通とし、スイッチ S W 7 を導通させる。これにより、A / D 変換部 1 0 7 は、画素出力回路 1 2 0 - 3 の光電変換信号を増幅した信号の A / D 変換を開始する。

## 【 0 0 7 6 】

図 8 ( a ) に示した撮像装置では、増幅器 1 1 0 - 1、1 1 0 - 2 の G a i n 期間を重ねることができる。一方、図 6 ( b ) に示した撮像装置では、画素出力回路 1 2 0 - 1 の G a i n 期間が終了してから、画素出力回路 1 2 0 - 2 の G a i n 期間を開始していた。よって、図 8 ( a ) に示した撮像装置では、複数の画素出力回路 1 2 0 の各々の光電変換

10

20

30

40

50

信号を増幅するのに要する期間を、図6(b)に示した撮像装置に比して短縮することができる。

【0077】

また、図8(a)に示した撮像装置では、スイッチSW1～SW8を有するスイッチ群113と、容量素子C01～C04をA/D変換部107が有する。これにより、同一の増幅器110に光電変換信号を順次出力する複数の画素出力回路120において、一方の画素出力回路120の光電変換信号に基づく信号のA/D変換期間と、他方の画素出力回路120の光電変換信号のGain期間とを重ねることができる。これは、図6(b)に示した撮像装置と同様である。

【0078】

10

図8(a)に示した撮像装置においても、アナログ信号線群210と、デジタル信号線群310とが、電気信号出力部10を挟んで設けられている。よって、実施例1と同様の効果を得ることができる。

【0079】

(実施例6)

本実施例の撮像装置について、実施例5と異なる点を中心に説明する。

【0080】

図9(b)は、本実施例の撮像装置の構成例を示す図である。本実施例の撮像装置は、図8(a)に示した撮像装置と同様、2行2列の4つの画素出力回路120で2つの増幅器110と、1つのA/D変換部107を共有する。図8(a)に示した撮像装置との違いは、A/D変換部107と増幅器110を2行2列の4つの画素出力回路120で共有している点である。

20

【0081】

2行2列の4つの画素出力回路120で増幅器110、A/D変換部107を共有した場合の利点を述べる。デジタル信号線群310では、Nビットのデジタル信号をパラレル形式で伝送するためにはN本の信号線を用いる。一方で、アナログ信号線群210の駆動バイアス線は、供給する電位の値ごとに1本の配線とすることができる。従って、デジタル信号線群310は、アナログ信号線群210に対して配線数が多くなる傾向にある。従って、図4(a)の撮像装置の場合、2列の画素出力回路120に対応するデジタル信号線群310の幅が、2列の画素出力回路120に対応するアナログ信号線群210の幅に対し、長くなる傾向にある。一方で、光学特性の観点から、画素出力回路120の列間隔は一定であることが好ましい。よって、2列の画素出力回路120に対応するデジタル信号線群310の幅と、2列の画素出力回路120に対応するアナログ信号線群210の幅と、の長さの差は、撮像装置の設計上の制約となることがある。

30

【0082】

図9(b)の撮像装置では、駆動バイアス線202、204を含む信号線群と、ランプ信号線203との間に、増幅器110、A/D変換部107が設けられている。デジタル信号線群310に比して幅の短いアナログ信号線群210の領域内に、増幅器110、A/D変換部107が設けられている。これにより、デジタル信号線群310の幅と、増幅器110、A/D変換部107を含んだアナログ信号線群210の幅と、の長さの差が小さくなる。これにより、画素出力回路120の列間隔を一定にしやすいことができる。

40

【0083】

また、図9(b)の撮像装置では、隣り合う行の画素出力回路120同士で、画素内メモリ108が向き合うように配置されている。これにより、A/D変換部107と、2行の画素出力回路120の各々の画素内メモリ108とを電氣的に接続するラッチ信号線122との配線長を、画素出力回路120-3のレイアウトを画素出力回路120-1と同じとした場合に比して短くすることができる。また、カウンタ信号線302と2行の画素出力回路120の各々の画素内メモリ108との電氣的経路についても、画素出力回路120-3のレイアウトを画素出力回路120-1と同じとした場合に比して短くすること

50



ができる。よって、図 9 ( b ) の撮像装置は、画素出力回路 1 2 0 - 3 のレイアウトを画素出力回路 1 2 0 - 1 と同じとした場合に比して、2 行 2 列の画素出力回路 1 2 0 の回路面積を縮小できる効果を有する。

【 0 0 8 4 】

また、図 9 ( b ) の撮像装置では、駆動バイアス線 2 0 2、2 0 4 を含む信号線群と、第 4 の信号線であるランプ信号線 2 0 3 とが、増幅器 1 1 0、A / D 変換部 1 0 7 を挟んで設けられている。これにより、図 9 ( b ) の撮像装置は、ランプ信号線 2 0 3 の時間に依存して電位が変化しても、駆動バイアス線 2 0 2 の電位が変動しにくい効果を有する。

【 0 0 8 5 】

また、図 9 ( b ) の撮像装置では、増幅器 1 1 0 の入力部に加算機能を持たせることにより、隣り合う 2 列の画素出力回路 1 2 0 の光電変換信号の加算を行うことができる。

10

【 0 0 8 6 】

( 実施例 7 )

図 1 0 は、実施例 1 ~ 実施例 6 のいずれかの撮像装置を有する撮像システムである。

【 0 0 8 7 】

図 1 0 において、撮像システムはレンズの保護のためのバリア 1 5 1、被写体の光学像を撮像装置 1 5 4 に結像させるレンズ 1 5 2、レンズ 1 5 2 を通った光量を可変にするための絞り 1 5 3 を有する。さらに撮像システムは、撮像装置 1 5 4 より出力される信号の処理を行う出力信号処理部 1 5 5 を有する。撮像装置 1 5 4 から出力される信号は、被写体を撮影した画像を生成するための撮像信号である。出力信号処理部 1 5 5 は撮像装置 1 5 4 から出力される撮像信号を必要に応じて各種の補正、圧縮を行って画像を生成する。レンズ 1 5 2、絞り 1 5 3 は撮像装置 1 5 4 に光を集光する光学系である。

20

【 0 0 8 8 】

図 1 0 に例示した撮像システムはさらに、画像データを一時的に記憶する為のバッファメモリ部 1 5 6、外部コンピュータ等と通信する為の外部インターフェース部 1 5 7 を有する。さらに撮像システムは、撮像データの記録または読み出しを行う為の半導体メモリ等の着脱可能な記録媒体 1 5 9、記録媒体 1 5 9 に記録または読み出しを行うための記録媒体制御インターフェース部 1 5 8 を有する。さらに撮像システムは、各種演算とデジタルスチルカメラ全体を制御する全体制御・演算部 1 5 1 0 を有する。

【 0 0 8 9 】

30

図 1 0 に示した撮像システムが有する撮像装置 1 5 4 は、実施例 1 ~ 実施例 6 で述べた形態とすることができる。これにより、図 1 0 の撮像システムの撮像装置 1 5 4 においても、実施例 1 ~ 実施例 6 で述べた効果を得ることができる。

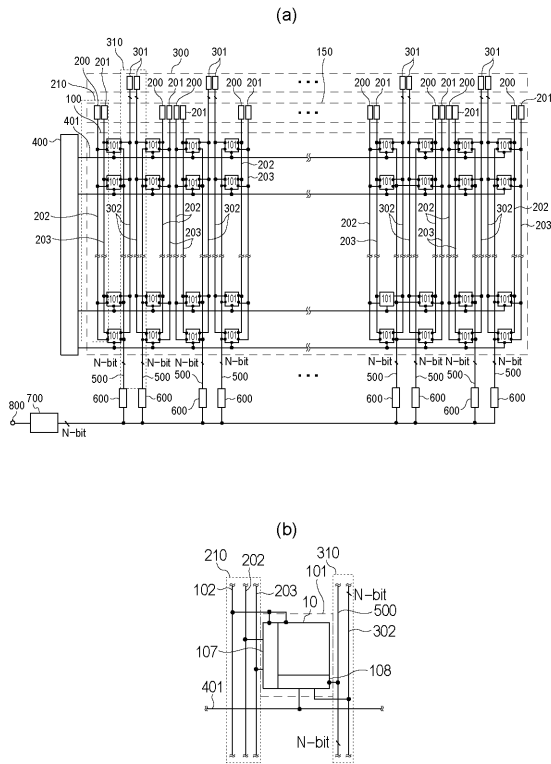
【 符号の説明 】

【 0 0 9 0 】

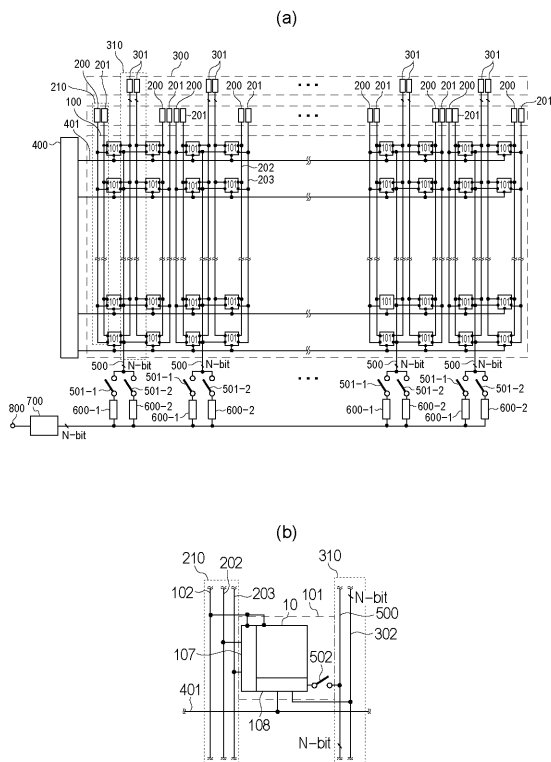
- 1 0 1 画素出力回路
- 1 5 0 駆動バイアス群
- 2 0 0 駆動バイアス回路
- 2 0 1 ランプ信号供給回路
- 2 1 0 アナログ信号線群
- 3 0 0 カウンタ群
- 3 0 1 カウンタ回路
- 3 1 0 デジタル信号線群

40

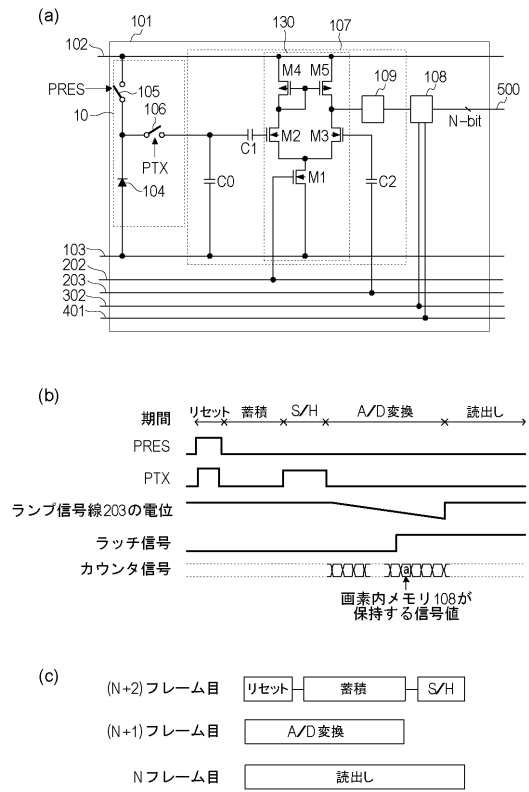
【図 1】



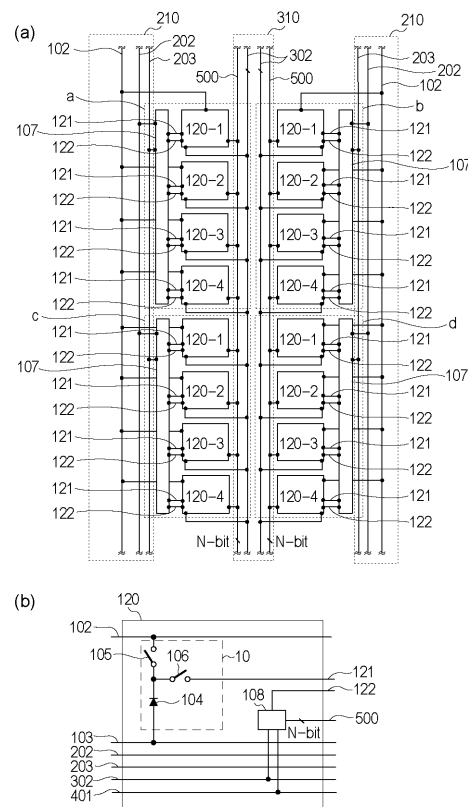
【図 3】



【図 2】

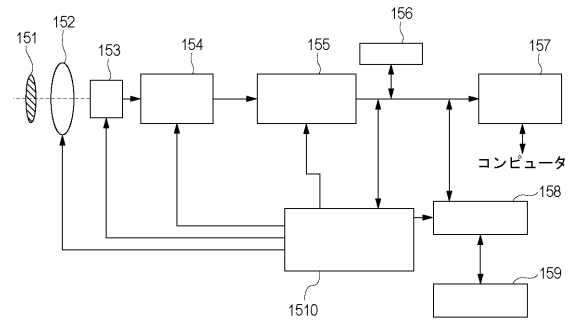
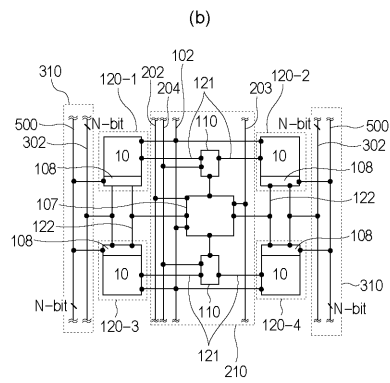
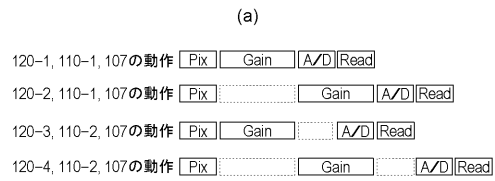


【図 4】





【図 9】



---

フロントページの続き

(72)発明者 大屋 武  
東京都大田区下丸子3丁目30番2号キャノン株式会社内

審査官 松永 隆志

(56)参考文献 特開2006-203736(JP,A)  
特開平6-232744(JP,A)  
特開2003-219274(JP,A)  
特開2003-115584(JP,A)  
国際公開第2011/091896(WO,A1)

(58)調査した分野(Int.Cl., DB名)  
H04N 5/374  
H04N 5/357  
H04N 5/378