



# (12) 发明专利申请

(10) 申请公布号 CN 103456857 A

(43) 申请公布日 2013. 12. 18

(21) 申请号 201310452781. 3

(22) 申请日 2013. 09. 27

(71) 申请人 聚灿光电科技(苏州)有限公司  
地址 215123 江苏省苏州市工业园区新庆路  
8号

(72) 发明人 陈家洛 吴飞翔 陈立人 余长治

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 常亮

(51) Int. Cl.

H01L 33/36(2010. 01)

H01L 33/14(2010. 01)

H01L 33/00(2010. 01)

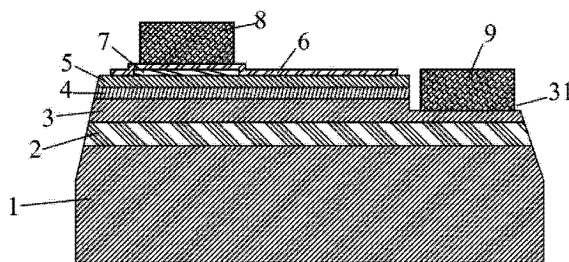
权利要求书1页 说明书5页 附图2页

## (54) 发明名称

LED 芯片及其制备方法

## (57) 摘要

本发明公开了一种 LED 芯片及其制备方法, 所述 LED 芯片包括衬底、位于衬底上的半导体外延层、位于半导体外延层上的透明导电层、以及位于透明导电层上的 P 电极和半导体外延层上的 N 电极, 所述半导体外延层和衬底全部或部分侧壁设置为连续的斜面。本发明在不增加芯片整体尺寸的情况下, 通过设计改进, 增加了芯片的发光面积, 并且没有增加额外工艺步骤, 维持了原有成本, 提升了芯片的光电性能。



1. 一种 LED 芯片,所述 LED 芯片包括衬底、位于衬底上的半导体外延层、位于半导体外延层上的透明导电层、以及位于透明导电层上的 P 电极和半导体外延层上的 N 电极,其特征在于,所述半导体外延层和衬底全部或部分侧壁设置为连续的斜面。

2. 根据权利要求 1 所述的 LED 芯片,其特征在于,所述半导体外延层包括依次位于衬底上的 N 型半导体层、发光层、P 型半导体层,所述 P 电极位于透明导电层上且通过透明导电层与 P 型半导体层电性连接,N 型半导体层上设有 N 型半导体台面,N 电极位于 N 型半导体台面上。

3. 根据权利要求 2 所述的 LED 芯片,其特征在于,所述半导体外延层在位于 N 型半导体台面处,N 型半导体台面水平面以下的侧壁设为斜面,N 型半导体台面水平面以上的侧壁为垂直面,半导体外延层在位于 N 型半导体台面外部的侧壁为连续的斜面。

4. 根据权利要求 2 所述的 LED 芯片,其特征在于,所述半导体外延层还包括设于 N 型半导体层和衬底之间还的非掺杂半导体层,所述非掺杂半导体层与全部或部分 N 型半导体层、全部或部分衬底的侧壁设置为连续的斜面。

5. 根据权利要求 1 所述的 LED 芯片,其特征在于,所述透明导电层下方还设有电流阻隔层,所述电流阻隔层位于 P 电极的下方,电流阻隔层为  $\text{SiO}_2$ 、 $\text{Si}_3\text{N}_4$ 、 $\text{SiO}_x\text{N}_y$ 。

6. 根据权利要求 1 或 2 所述的 LED 芯片,其特征在于,所述斜面的垂直深度为  $15 \sim 40 \mu\text{m}$ ,斜面的水平距离为  $1 \sim 10 \mu\text{m}$ 。

7. 一种 LED 芯片的制备方法,其特征在于,所述方法包括以下步骤:

S1、提供一衬底,在衬底上生长半导体外延层,形成 LED 晶圆,所述半导体外延层包括从衬底向上依次设置的 N 型半导体层、发光层和 P 型半导体层;

S2、在半导体外延层中的 N 型半导体层上形成 N 型半导体台面区;

S3、在半导体外延层上生长  $\text{SiO}_2$  掩蔽层,沿着相邻芯粒中间进行激光划切,形成两个斜面即 V 型沟槽, $\text{SiO}_2$  掩蔽层的厚度为  $0.2 \sim 2 \mu\text{m}$ ,V 型沟槽深度为  $15 \sim 40 \mu\text{m}$ ,顶部宽度为  $2 \sim 20 \mu\text{m}$ ;

S4、将整个 LED 晶圆置于浓磷酸与浓硫酸的混合溶液中进行腐蚀;

S5、去除  $\text{SiO}_2$  掩蔽层,在芯粒间形成 V 型隔离沟槽;

S6、在半导体外延层上制作透明导电层,并进行退火处理;

S7、分别在透明导电层和 N 型半导体台面上制作 P 电极和 N 电极;

S8、将 LED 晶圆减薄至  $60 \sim 200\mu\text{m}$  的厚度并抛光;

S9、将 LED 晶圆沿着 V 型隔离沟槽进行劈裂,将芯粒分割开形成若干 LED 芯片。

8. 根据权利要求 7 所述的 LED 芯片的制备方法,其特征在于,所述步骤 S4 的混合溶液中浓磷酸与浓硫酸体积比例为  $1:1 \sim 1:3$ ,所述混合溶液的温度为  $200 \sim 300^\circ\text{C}$ 。

9. 根据权利要求 7 所述的 LED 芯片的制备方法,其特征在于,所述步骤 S2 中还包括:

在半导体外延层中的 N 型半导体层上形成侧壁为垂直设置的 N 型隔离沟槽,用于对激光划切进行准直,所述 N 型隔离沟槽宽度小于 V 型沟槽的顶部宽度,N 型隔离沟槽宽度为  $1 \sim 20 \mu\text{m}$ 。

10. 根据权利要求 7 或 9 所述的 LED 芯片的制备方法,其特征在于,所述步骤 S2 通过光刻或电感耦合等离子体蚀刻方法完成。

## LED 芯片及其制备方法

### 技术领域

[0001] 本发明涉及半导体发光器件技术领域,特别是涉及一种 LED 芯片及其制备方法。

### 背景技术

[0002] 发光二极管(Light-Emitting Diode,LED)是一种能发光的半导体电子元件。这种电子元件早在 1962 年出现,早期只能发出低光度的红光,之后发展出其他单色光的版本,时至今日能发出的光已遍及可见光、红外线及紫外线,光度也提高到相当的光度。而用途也由初时作为指示灯、显示板等;随着技术的不断进步,发光二极管已被广泛的应用于显示器、电视机采光装饰和照明。

[0003] LED 芯片制程工艺如下:

[0004] 在衬底上依次外延生长非掺杂半导体层、N 型半导体层、多量子阱发光层、P 型半导体层,形成 LED 晶圆;

[0005] LED 晶圆经过光刻、刻蚀露出 N 型半导体台面,N 型半导体台面包括单颗芯粒的 N 型金属电极区和芯粒之间的隔离沟槽,此隔离沟槽截面呈口型,称为 N 型隔离沟槽,宽度  $20 \sim 40 \mu\text{m}$ ;

[0006] LED 芯片制作完成后,最后将其从整个晶圆上分割成单颗芯粒,在芯片制作完成并且衬底减薄后,直接进行激光隐形切割,切割沿着芯片间的 N 型隔离沟槽,之后再行劈裂,将芯粒分隔开。

[0007] 分割芯粒时,隐形激光切割作用于衬底中间,劈裂时容易产生斜裂问题,为了使芯片表面保持完整,芯片间 N 型隔离沟槽必须保证具有一定的宽度,这将损失很大一部分发光面积。

[0008] 因此,针对上述技术问题,有必要提供一种新的 LED 芯片及其制备方法。

### 发明内容

[0009] 有鉴于此,本发明的目的在于提供一种提高了发光面积的 LED 芯片及其制备方法。

[0010] 为了实现上述目的,本发明实施例提供的技术方案如下:

[0011] 一种 LED 芯片,所述 LED 芯片包括衬底、位于衬底上的半导体外延层、位于半导体外延层上的透明导电层、以及位于透明导电层上的 P 电极和半导体外延层上的 N 电极,所述半导体外延层和衬底全部或部分侧壁设置为连续的斜面。

[0012] 作为本发明的进一步改进,所述半导体外延层包括依次位于衬底上的 N 型半导体层、发光层、P 型半导体层,所述 P 电极位于透明导电层上且通过透明导电层与 P 型半导体层电性连接,N 型半导体层上设有 N 型半导体台面,N 电极位于 N 型半导体台面上。

[0013] 作为本发明的进一步改进,所述半导体外延层在位于 N 型半导体台面处,N 型半导体台面水平面以下的侧壁设为斜面,N 型半导体台面水平面以上的侧壁为垂直面,半导体外延层在位于 N 型半导体台面外部的侧壁为连续的斜面。

[0014] 作为本发明的进一步改进,所述半导体外延层还包括设于 N 型半导体层和衬底之间还的非掺杂半导体层,所述非掺杂半导体层与全部或部分 N 型半导体层、全部或部分衬底的侧壁设置为连续的斜面。

[0015] 作为本发明的进一步改进,所述透明导电层下方还设有电流阻隔层,所述电流阻隔层位于 P 电极的下方,电流阻隔层为  $\text{SiO}_2$ 、 $\text{Si}_3\text{N}_4$ 、 $\text{SiO}_x\text{N}_y$ 。

[0016] 作为本发明的进一步改进,所述斜面的垂直深度为  $15 \sim 40 \mu\text{m}$ ,斜面的水平距离为  $1 \sim 10 \mu\text{m}$ 。

[0017] 相应地,一种 LED 芯片的制备方法,所述方法包括以下步骤:

[0018] S1、提供一衬底,在衬底上生长半导体外延层,形成 LED 晶圆,所述半导体外延层包括从衬底向上依次设置的 N 型半导体层、发光层和 P 型半导体层;

[0019] S2、在半导体外延层中的 N 型半导体层上形成 N 型半导体台面区;

[0020] S3、在半导体外延层上生长  $\text{SiO}_2$  掩蔽层,沿着相邻芯粒中间进行激光划切,形成两个斜面即 V 型沟槽, $\text{SiO}_2$  掩蔽层的厚度为  $0.2 \sim 2 \mu\text{m}$ ,V 型沟槽深度为  $15 \sim 40 \mu\text{m}$ ,顶部宽度为  $2 \sim 20 \mu\text{m}$ ;

[0021] S4、将整个 LED 晶圆置于浓磷酸与浓硫酸的混合溶液中进行腐蚀;

[0022] S5、去除  $\text{SiO}_2$  掩蔽层,在芯粒间形成 V 型隔离沟槽;

[0023] S6、在半导体外延层上制作透明导电层,并进行退火处理;

[0024] S7、分别在透明导电层和 N 型半导体台面上制作 P 电极和 N 电极;

[0025] S8、将 LED 晶圆减薄至  $60 \sim 200\mu\text{m}$  的厚度并抛光;

[0026] S9、将 LED 晶圆沿着 V 型隔离沟槽进行劈裂,将芯粒分割开形成若干 LED 芯片。

[0027] 作为本发明的进一步改进,所述步骤 S4 的混合溶液中浓磷酸与浓硫酸体积比例为  $1:1 \sim 1:3$ ,所述混合溶液的温度为  $200 \sim 300^\circ\text{C}$ 。

[0028] 作为本发明的进一步改进,所述步骤 S2 中还包括:

[0029] 在半导体外延层中的 N 型半导体层上形成侧壁为垂直设置的 N 型隔离沟槽,用于对激光划切进行准直,所述 N 型隔离沟槽宽度小于 V 型沟槽的顶部宽度,N 型隔离沟槽宽度为  $1 \sim 20 \mu\text{m}$ 。

[0030] 作为本发明的进一步改进,所述步骤 S2 通过光刻或电感耦合等离子体蚀刻方法完成。

[0031] 与现有技术相比,本发明 LED 芯片及其制备方法在不增加芯片整体尺寸的情况下,通过设计改进,增加了芯片的发光面积,并且没有增加额外工艺步骤,维持了原有成本,提升了芯片的光电性能。

## 附图说明

[0032] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明中记载的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0033] 图 1 为本发明第一实施方式中单颗 LED 芯片的纵剖面结构示意图;

[0034] 图 2 为本发明第一实施方式中单颗 LED 芯片的俯视结构示意图;

- [0035] 图 3 为本发明第一实施方式中相邻 LED 芯片的纵剖面结构示意图；  
[0036] 图 4 为本发明第一实施方式中 LED 晶圆的俯视结构示意图；  
[0037] 图 5 为本发明第二实施方式中 LED 晶圆的俯视结构示意图。

### 具体实施方式

[0038] 为了使本技术领域的人员更好地理解本发明中的技术方案，下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都应当属于本发明保护的范围。

[0039] 此外，在不同的实施例中可能使用重复的标号或标示。这些重复仅为了简单清楚地叙述本发明，不代表所讨论的不同实施例及 / 或结构之间具有任何关联性。

[0040] 本发明公开一种 LED 芯片，包括衬底、位于衬底上的半导体外延层、位于半导体外延层上的透明导电层、以及位于透明导电层上的 P 电极和半导体外延层上的 N 电极，半导体外延层包括 N 型半导体层、发光层、P 型半导体层，P 电极位于透明导电层上且通过透明导电层与 P 型半导体层电性连接，N 型半导体层上设有 N 型半导体台面，N 电极位于 N 型半导体台面上。其中，半导体外延层和衬底全部或部分侧壁设置为连续的斜面。

[0041] 参图 1 所示为本发明的第一实施方式中 LED 芯片的剖视结构示意图，LED 芯片从下至上分别为：

[0042] 衬底 1，衬底可以是蓝宝石、Si、SiC、GaN、ZnO 等；

[0043] 非掺杂半导体层 2，非掺杂半导体层可以为 GaN 等；

[0044] N 型半导体层 3，N 型半导体层可以是 N 型 GaN 等。N 型半导体层 3 上设有 N 型半导体台面 31；

[0045] 发光层 4，发光层可以是 GaN、InGaN 等；

[0046] P 型半导体层 5，P 型半导体层可以是 P 型 GaN 等；

[0047] 透明导电层 6，可以是透明导电层 ITO、ZITO、ZIO、GIO、ZTO、FTO、AZO、GZO、 $\text{In}_4\text{Sn}_3\text{O}_{12}$ 、NiAu 等，透明导电层下方还设有电流阻隔层 7，电流阻隔层 7 位于 P 电极的下方，电流阻隔层可以为  $\text{SiO}_2$ 、 $\text{Si}_3\text{N}_4$ 、 $\text{SiO}_x\text{N}_y$  等；

[0048] P 电极 8 和 N 电极 9，P 电极通过透明导电层与 P 型半导体层电性连接，N 电极位于 N 型半导体台面 31 上且与 N 型半导体层电性连接。

[0049] 结合图 2 所示，在本实施方式中，在 N 型半导体台面 31 的对应侧壁上，N 型半导体台面 31 以下及部分衬底 1 以上的位置的侧壁设置为连续的斜面；其余位置上，部分衬底 1、非掺杂半导体层 2、N 型半导体层 3、发光层 4、P 型半导体层 5 的侧壁全部设置为连续的斜面，且对应的斜面角度对称设置。斜面的垂直深度为  $15 \sim 40 \mu\text{m}$ ，斜面的水平距离为  $1 \sim 10 \mu\text{m}$ 。

[0050] 如图 3 所示，在 LED 芯片未劈裂之前，由于芯片侧壁设置为连续的斜面，相邻的两个 LED 芯片之间形成有 V 型隔离沟槽 10，V 型隔离沟槽 10 的垂直深度为  $15 \sim 40 \mu\text{m}$ ，V 型隔离沟槽 10 的顶部宽度为  $2 \sim 20 \mu\text{m}$ 。以 V 型隔离沟槽作为芯粒间隔沟槽，其顶部宽度相比于隐形切割的隔离沟槽要小很多，单颗芯粒的有效发光面积可以扩大 5% 左右。

[0051] 相应地,本实施方式中 LED 芯片的制备方法具体包括以下步骤:

[0052] S1、提供一衬底,在衬底上生长半导体外延层,形成 LED 晶圆,半导体外延层包括从衬底向上依次设置的 N 型半导体层、发光层和 P 型半导体层,其中,衬底可以是蓝宝石、Si、SiC、GaN、ZnO 等,N 型半导体层可以是 N 型 GaN 等,发光层可以是 GaN、InGaN 等,P 型半导体层可以是 P 型 GaN 等。优选地,衬底上还可以先生长非掺杂半导体层,非掺杂半导体层可以是 GaN 等;

[0053] S2、通过光刻或电感耦合等离子体蚀刻的方法在半导体外延层中的 N 型半导体层上形成 N 型半导体台面区;

[0054] S3、在半导体外延层上生长  $\text{SiO}_2$  掩蔽层,沿着相邻芯粒中间进行激光划切,形成 V 型沟槽, $\text{SiO}_2$  掩蔽层的厚度为  $0.2 \sim 2 \mu\text{m}$ ,V 型沟槽深度为  $15 \sim 40 \mu\text{m}$ ,顶部宽度为  $2 \sim 20 \mu\text{m}$ ;

[0055] S4、将整个 LED 晶圆置于浓磷酸与浓硫酸的混合溶液中进行腐蚀,优选地,混合溶液中浓磷酸与浓硫酸的体积比例为  $1:1 \sim 1:3$ ,混合溶液的温度为  $200 \sim 300^\circ\text{C}$ ;

[0056] S5、去除  $\text{SiO}_2$  掩蔽层,在芯粒间形成 V 型隔离沟槽;

[0057] S6、在半导体外延层上制作透明导电层,并进行退火处理。透明导电层可以是 ITO、ZITO、ZIO、GIO、ZTO、FTO、AZO、GZO、 $\text{In}_4\text{Sn}_3\text{O}_{12}$ 、NiAu 等;

[0058] S7、分别在透明导电层和 N 型半导体台面上制作 P 电极和 N 电极,P 电极和 N 电极采用金属材质,优选地可以选用 Au、Al 等;

[0059] S8、将 LED 晶圆减薄至  $60 \sim 200\mu\text{m}$  的厚度并抛光;

[0060] S9、参图 3、图 4 所示为经过步骤 S1 ~ S8 后得到的 LED 晶圆,将 LED 晶圆沿着 V 型隔离沟槽进行劈裂,将芯粒分割开形成若干 LED 芯片。

[0061] 优选地,在步骤 S5 后还包括:

[0062] 在对应 P 电极正下方制作电流阻隔层,电流阻隔层可以是  $\text{SiO}_2$ 、 $\text{Si}_3\text{N}_4$ 、 $\text{SiO}_x\text{N}_y$  ( $x$ 、 $y$  为大于 0 的整数)。

[0063] 在步骤 S8 前还包括:

[0064] 制作钝化保护层,所述钝化保护层可以是  $\text{SiO}_2$ 、 $\text{Si}_3\text{N}_4$ 、 $\text{SiO}_x\text{N}_y$  ( $x$ 、 $y$  为大于 0 的整数)。

[0065] 生长在衬底上的半导体外延层厚度一般  $< 10 \mu\text{m}$ ,正面激光划切  $15 \sim 40 \mu\text{m}$  深的 V 型沟槽后,自然将芯粒分隔开。在最后的芯片劈裂阶段,芯粒将沿着此 V 型隔离沟槽裂开,即使有衬底斜裂的问题,也不会损伤表面的半导体外延结构。

[0066] 在本发明的第二实施方式中,LED 芯片的结构与第一实施方式中完全相同,不同的 LED 芯片的制造方法。

[0067] 在本实施方式中,参图 5 所示,步骤 S2 中还包括:

[0068] 在各芯粒之间的半导体外延层中的 N 型半导体层上形成侧壁为垂直设置的 N 型隔离沟槽 11,该 N 型隔离沟槽宽度小于 V 型沟槽的顶部宽度,N 型隔离沟槽宽度为  $1 \sim 20 \mu\text{m}$ 。

[0069] N 型隔离沟槽用于对激光划切进行准直,由于 V 型沟槽的顶部宽度大于 N 型隔离沟槽的宽度,在激光划切后 N 型隔离沟槽完全被去除,此后的制作工艺与第一实施方式完全相同,在此不再进行赘述。

[0070] 在本实施方式中,先制备 N 型隔离沟槽用于对激光进行准直,可以提高 V 型沟槽的

制作精度,提高工艺的效率。

[0071] 由以上技术方案可以看出,本发明 LED 芯片及其制备方法中 V 型隔离沟槽要比隐形切割中 N 型隔离沟槽窄,LED 芯片的有效发光面积可以向两边扩大。

[0072] LED 芯片的光电性能随着其发光面积的增加而变得优越,本发明在不增加芯片整体尺寸的情况下,通过设计改进,增加了芯片的发光面积,并且没有增加额外工艺步骤,维持了原有成本,提升了芯片的光电性能。

[0073] 另外在芯片劈裂阶段,芯粒将沿着此 V 型隔离沟槽裂开,即使有衬底斜裂的问题,也不会损伤表面的半导体外延结构。

[0074] 对于本领域技术人员而言,显然本发明不限于上述示范性实施例的细节,而且在不背离本发明的精神或基本特征的情况下,能够以其他的具体形式实现本发明。因此,无论从哪一点来看,均应将实施例看作是示范性的,而且是非限制性的,本发明的范围由所附权利要求要求而不是上述说明限定,因此旨在将落在权利要求的等同要件的含义和范围内的所有变化囊括在本发明内。不应将权利要求中的任何附图标记视为限制所涉及的权利要求。

[0075] 此外,应当理解,虽然本说明书按照实施方式加以描述,但并非每个实施方式仅包含一个独立的技术方案,说明书的这种叙述方式仅仅是为清楚起见,本领域技术人员应当将说明书作为一个整体,各实施例中的技术方案也可以经适当组合,形成本领域技术人员可以理解的其他实施方式。

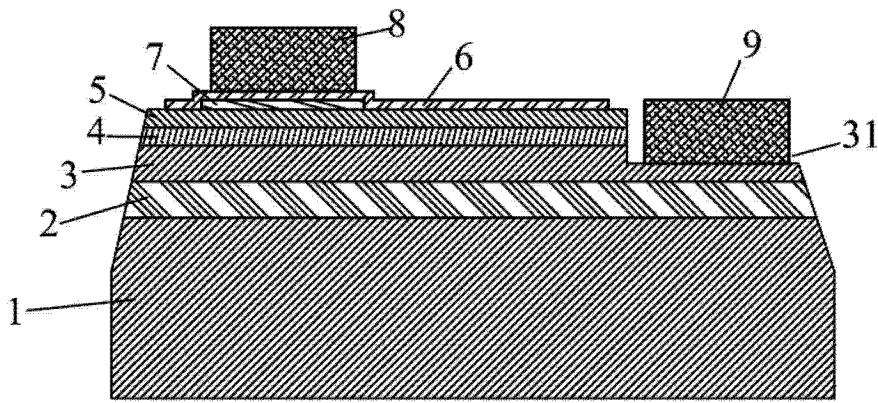


图 1

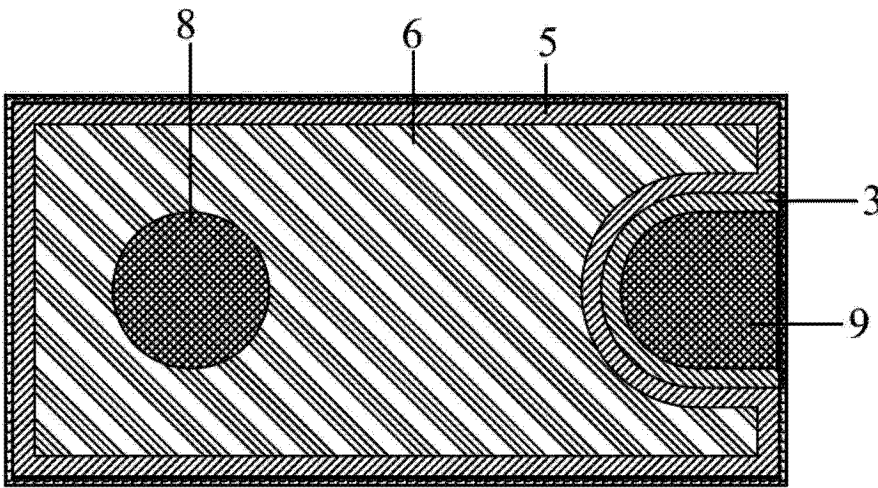


图 2

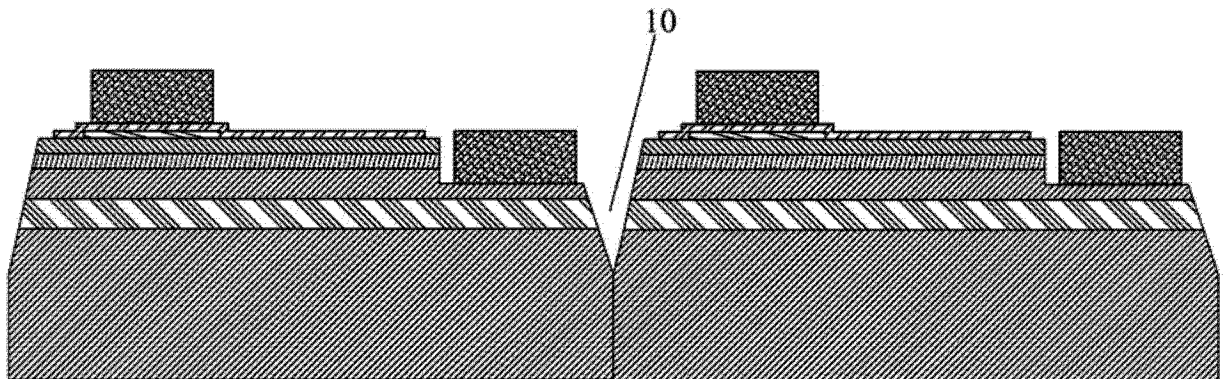


图 3



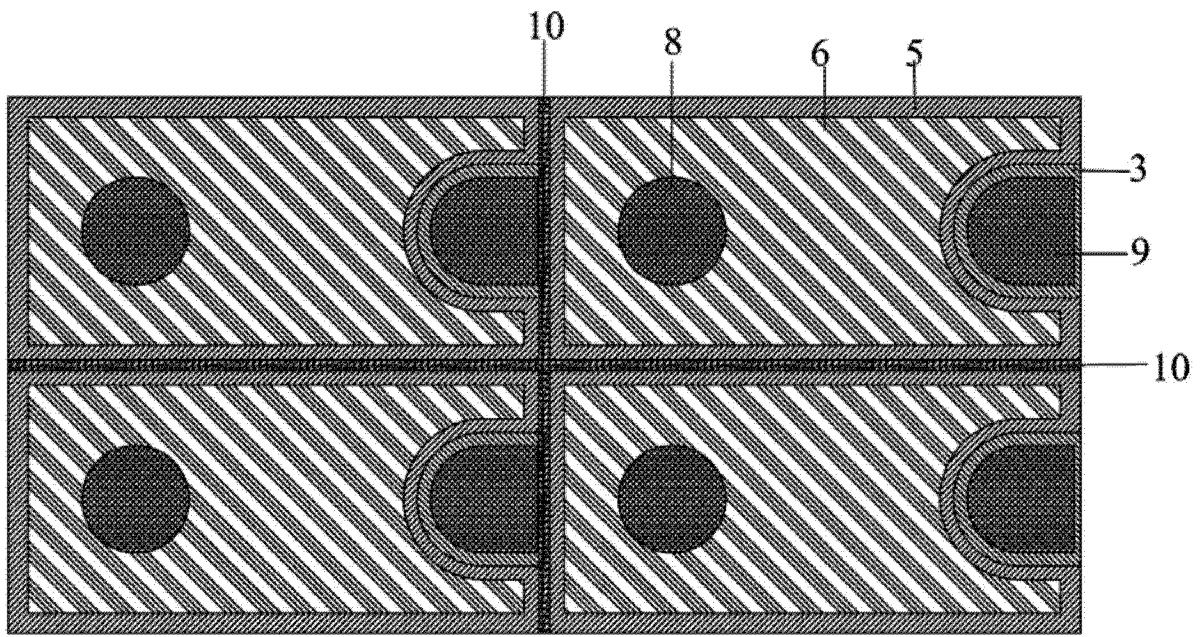


图 4

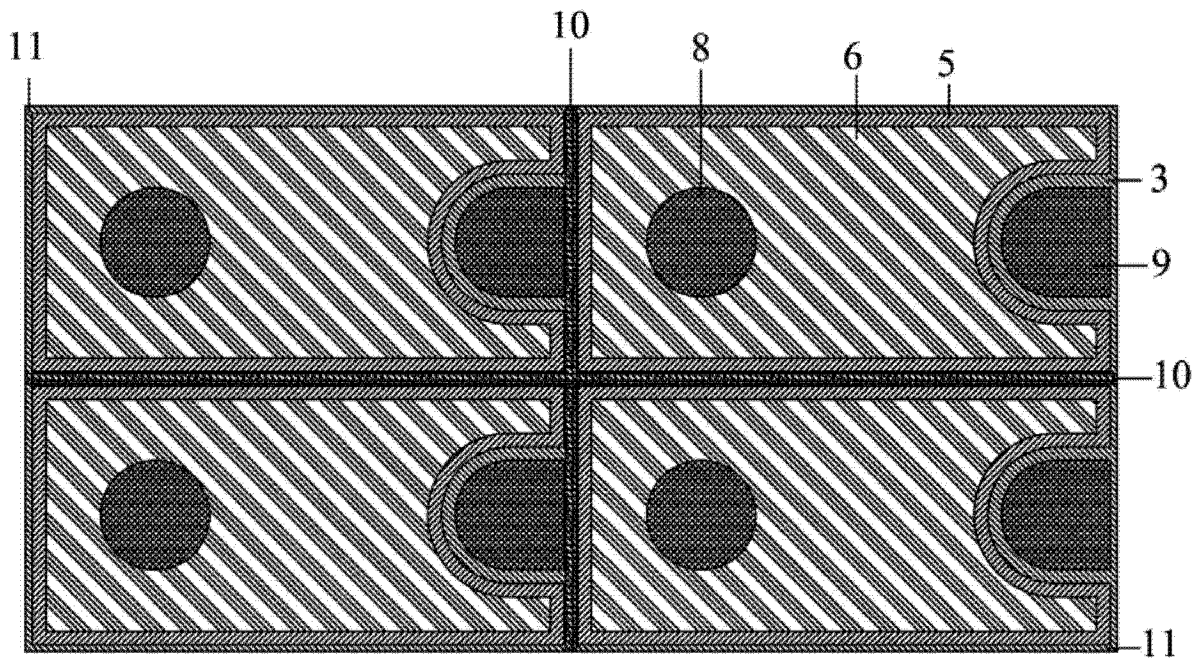


图 5