

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7701374号
(P7701374)

(45)発行日 令和7年7月1日(2025.7.1)

(24)登録日 令和7年6月23日(2025.6.23)

(51)国際特許分類

G 0 5 F 1/56 (2006.01)

F I

G 0 5 F 1/56 3 1 0 H

請求項の数 20 (全16頁)

(21)出願番号	特願2022-560193(P2022-560193)	(73)特許権者	507107291
(86)(22)出願日	令和3年3月29日(2021.3.29)		テキサス インスツルメンツ インコーポ
(65)公表番号	特表2023-520509(P2023-520509		レイテッド
	A)		アメリカ合衆国 テキサス州 7 5 2 6 5
(43)公表日	令和5年5月17日(2023.5.17)		ー5 4 7 4 ダラス メール ステーション
(86)国際出願番号	PCT/US2021/024569		3 9 9 9 ピーオーボックス 6 5 5 4 7 4
(87)国際公開番号	WO2021/202326	(74)代理人	230129078
(87)国際公開日	令和3年10月7日(2021.10.7)		弁護士 佐藤 仁
審査請求日	令和6年3月22日(2024.3.22)	(72)発明者	キシャン ジョシ
(31)優先権主張番号	63/004,334		アメリカ合衆国 8 5 7 1 1 アリゾナ州
(32)優先日	令和2年4月2日(2020.4.2)		トゥーソン, エイビーティー 1 0 3 0
(33)優先権主張国・地域又は機関	米国(US)		1, イー ウィリアムズ ブールバード
			5 4 0 0
(31)優先権主張番号	17/139,500	(72)発明者	サンジェーブ マナンダハル
(32)優先日	令和2年12月31日(2020.12.31)		アメリカ合衆国 7 5 2 3 8 テキサス州
	最終頁に続く		最終頁に続く

(54)【発明の名称】 電流モードフィードフォワードリップル相殺

(57)【特許請求の範囲】

【請求項1】

回路であって、

出力と、第1の入力と、基準電圧端子に結合される第2の入力とを有する第1の増幅器と、

前記第1の増幅器の出力に結合される入力と、出力とを有するバッファと、

前記第1の増幅器の第1の入力と入力電圧端子との間に結合される第1のトランジスタあって、前記バッファの出力に結合される第1の制御端子を有する、前記第1のトランジスタと、

前記入力電圧端子に結合される電流モードフィードフォワードリップルキャンセラ（C F F R C）入力と前記第1の制御端子に結合されるC F F R C出力とを有するC F F R Cであって、

接地端子に結合される第1のキャパシタと、

バイアス電圧端子と前記第1のキャパシタとの間に結合される第1の抵抗器と、

出力と、前記第1のキャパシタと前記第1の抵抗器とに結合される第1の入力と、第2の入力とを有する第2の増幅器と、

前記第2の増幅器の第2の入力と前記入力電圧端子との間に結合される第2のトランジスタであって、前記第2の増幅器の第2の入力に結合される第2の制御端子を有する、前記第2のトランジスタと、

前記第2の増幅器の出力に結合される第3の制御端子と、前記第2の増幅器の第2の入

力に結合される第 1 の電流端子とを有する第 3 のトランジスタと、
を含む、前記 C F F R C と、
を含む、回路。

【請求項 2】

請求項 1 に記載の回路であって、
前記第 1 の増幅器の出力に結合される補償回路を更に含む、回路。

【請求項 3】

請求項 1 に記載の回路であって、
第 2 のキャパシタと第 2 の抵抗器とを更に含み、
前記第 2 の抵抗器と前記第 2 のキャパシタとが前記第 1 のトランジスタと前記接地端子との間に直列に結合される、回路。

10

【請求項 4】

請求項 1 に記載の回路であって、
前記入力電圧端子とバイアス電流端子との間に結合される第 4 のトランジスタであって、
前記バッファの出力に結合される第 4 の制御端子を有する、前記第 4 のトランジスタを更に含む、回路。

【請求項 5】

請求項 4 に記載の回路であって、
前記バイアス電流端子に結合される入力を有する適応型バイアス生成回路を更に含む、回路。

20

【請求項 6】

請求項 1 に記載の回路であって、
前記 C F F R C が、前記第 1 の制御端子と前記第 3 のトランジスタとの間に直列に結合される第 1 及び第 2 の電流ミラーであって、前記第 3 のトランジスタを介して流れる電流をミラーリングするように構成される、前記第 1 及び第 2 の電流ミラーを更に含む、回路。

【請求項 7】

請求項 1 に記載の回路であって、
前記バッファが、
前記入力電圧端子と前記第 1 の制御端子との間に結合される第 4 のトランジスタであって、
前記バイアス電圧端子に結合される第 4 の制御端子を有する、前記第 4 のトランジスタと、
前記第 1 の制御端子と前記接地端子との間に結合される第 5 のトランジスタであって、前記第 1 の増幅器の出力に結合される第 5 の制御端子を有する、前記第 5 のトランジスタと、
を含む、回路。

30

【請求項 8】

請求項 7 に記載の回路であって、
前記第 2 のトランジスタが、前記第 5 のトランジスタと同じ相互コンダクタンスを有するように構成される、回路。

【請求項 9】

請求項 1 に記載の回路であって、
前記 C F F R C が、前記入力電圧端子における信号のリップル成分に比例する電流を前記 C F F R C 出力に提供するように構成される、回路。

40

【請求項 10】

装置であって、
第 1 の制御端子と、入力電圧端子に結合される第 1 の電流端子と、第 2 の電流端子とを有する第 1 のトランジスタと、
前記第 2 の電流端子に結合される第 1 の入力と、基準電圧端子に結合される第 2 の入力と、出力とを有する第 1 の増幅器と、
前記第 1 の増幅器の出力に結合される入力と、前記第 1 の制御端子に結合される出力とを有するバッファと、

50

前記入力電圧端子に結合される電流モードフィードフォワードリップルキャンセラ（C F F R C）入力と、前記第1の制御端子に結合されるC F F R C出力とを有し、前記入力電圧端子における信号上の電圧リップルに比例する電流を前記C F F R C出力に提供するように構成されるC F F R Cであって、

接地端子に結合される第1のキャパシタと、

バイアス電圧端子と前記第1のキャパシタとの間に結合される第1の抵抗器と、

前記第1のキャパシタに結合される第1の入力と、第2の入力と、出力とを有する第2の増幅器と、

前記第2の増幅器の第2の入力と前記入力電圧端子との間に結合される第2のトランジスタであって、前記第2の増幅器の第2の入力に結合される第2の制御端子を有する、前記第2のトランジスタと、

前記第2の増幅器の第2の入力に結合される第3のトランジスタであって、前記第2の増幅器の出力に結合される第3の制御端子を有する、前記第3のトランジスタと、を含む、前記C F F R Cと、

を含む、装置。

【請求項11】

請求項10に記載の装置であって、

前記C F F R Cが、

前記装置の電力信号除去比（P S R R）を増加させ、

前記第1のトランジスタを横切って結合される前記電圧リップルの量を減少させる、

ように更に構成される、装置。

【請求項12】

請求項10に記載の装置であって、

信号の周波数応答において周波数応答ゼロの位置を変調することによって前記第1の増幅器の出力における信号に補償を提供するように構成される補償回路を更に含む、装置。

【請求項13】

請求項10に記載の装置であって、

前記第1の増幅器と前記バッファとに電流を注入することによって前記第1の増幅器と前記バッファとをバイアスするように構成されるバイアス回路を更に含む、装置。

【請求項14】

請求項10に記載の装置であって、

第2の電流端子における電圧オーバーシュートに対して補償するように構成されるバイアス回路を更に含む、装置。

【請求項15】

請求項10に記載の装置であって、

前記C F F R Cと前記バッファとが、同じ相互コンダクタンスを有するように構成される、装置。

【請求項16】

システムであって、

入力電圧端子における入力電圧に応答して出力電圧端子にレギュレートされた出力電圧を提供するように構成される電圧レギュレータであって、

第1の制御端子と、前記入力電圧端子に結合される第1の電流端子と、前記出力電圧端子に結合される第2の電流端子とを有する第1のトランジスタと、

第1及び第2の入力と出力とを有するエラー増幅器であって、

前記レギュレートされた出力電圧を基準電圧端子における基準電圧と比較し、

前記比較に応答して前記エラー増幅器の出力にエラー信号を提供するように構成される、前記エラー増幅器と、

前記エラー増幅器の出力に結合される入力と、前記第1の制御端子に結合される出力とを有するバッファと、

電流モードフィードフォワードリップルキャンセラ（C F F R C）であって、

10

20

30

40

50

接地端子に結合される第1のキャパシタと、
バイアス電圧端子と前記第1のキャパシタとの間に結合される第1の抵抗器と、
前記第1のキャパシタに結合される第1の入力と、第2の入力と、出力とを有する差動増幅器と、

前記差動増幅器の第2の入力に結合される第2の制御端子と、前記第2の制御端子に結合される第3の電流端子と、前記入力電圧端子に結合される第4の電流端子とを有する第2のトランジスタと、

前記差動増幅器の出力に結合される第3の制御端子と前記差動増幅器の第2の入力に結合される第5の電流端子とを有する第3のトランジスタと、

を含む、C F F R Cと、

を含む、前記電圧レギュレータを含む、システム。

【請求項17】

請求項16に記載のシステムであって、

前記エラー増幅器の第2の入力が、前記基準電圧端子に結合され、

前記C F F R Cが、前記入力電圧端子に結合されるC F F R C入力と、前記第1の制御端子に結合されるC F F R C出力とを有する、システム。

【請求項18】

請求項16に記載のシステムであって、

前記C F F R Cと前記バッファとが、ほぼ同じ相互コンダクタンスを有するように構成される、システム。

【請求項19】

請求項16に記載のシステムであって、

前記C F F R Cが、

前記電圧レギュレータの電力信号除去比を増加させ、

前記第1のトランジスタを横切って結合される電圧リップルの量を減少させる、
ように構成される、システム。

【請求項20】

請求項16に記載のシステムであって、

前記電圧レギュレータが、前記エラー信号の周波数応答における周波数応答ゼロの位置を変調することによって前記エラー信号に補償を提供するように構成される補償回路を更を含む、システム。

【発明の詳細な説明】

【技術分野】

【0001】

低ドロップアウトレギュレータ(LDO)は、入力電圧(VIN)に基づいて出力電圧(VOU T)を調整する直流(DC)線形電圧レギュレータである。VOU Tのためのプログラムされた調整点を示す基準電圧(VREF)よりもVINが大きい値である場合、LDOは、VOU Tを提供するためにVINを下方に調整する。LDOは、スイッチングレギュレータに続くフィルタリングデバイスとして使用されて、信号を負荷に提供する前にその信号を調整し得る。VINは、信号ノイズ又は値におけるその他の変動を含み得、LDOの電源電圧変動除去(PSR)比は、このノイズ又は値におけるその他の変動がVOU Tに渡されることを抑制するLDOの能力を定義し得る。

【発明の概要】

【0002】

一例において、装置が、エラー増幅器と、バッファと、トランジスタと、電流モードフィードフォワードリップルキャンセラ(CFFRC)とを含む。エラー増幅器は増幅器出力と、第1の入力と、第2の入力とを有し、第2の入力は、基準電圧(Vref)を受け取るように構成される。バッファはバッファ入力及びバッファ出力を有し、バッファ入力は、増幅器出力に結合される。トランジスタはゲートと、ソースと、ドレインとを有し、ゲートはバッファ出力に結合され、ドレインは第1の入力に結合される。トランジスタは

10

20

30

40

50

ソースにおいて入力電圧（ V_{IN} ）を受け取り、ドレインにおいて出力電圧（ V_{OUT} ）を提供するように構成される。 $CFFRC$ は、 $CFFRC$ 入力及び $CFFRC$ 出力を有し、 $CFFRC$ 出力はゲートに結合され、 $CFFRC$ 入力は、 V_{IN} を受け取るように構成される。

【0003】

一例において、或る装置が、トランジスタとエラー増幅器とバッファと $CFFRC$ とを含む。トランジスタは、ゲートとソースとドレインとを有し、ソースは、 V_{IN} を受け取るように構成される。エラー増幅器は、ドレインにおける V_{OUT} を V_{ref} と比較し、比較に応答してエラー信号を提供するように構成される。バッファは、エラー信号をゲートに提供するように構成される。 $CFFRC$ は、 V_{IN} における電圧リップルを感知し、感知された電圧リップルを電圧リップルの電流表現に変換し、電圧リップルの電流表現をゲートに提供するように構成される。

10

【0004】

一例において、或るシステムが、負荷と低ドロップアウトレギュレータ（ LDO ）とを含む。 LDO は、負荷に結合されるように適合され、 V_{IN} に基づいて、調整された V_{OUT} を負荷に提供するように構成される。 LDO は、トランジスタとエラー増幅器とバッファと $CFFRC$ とを含む。トランジスタは、ゲートとソースとドレインとを有し、ソースは、 V_{IN} を受け取るように構成される。エラー増幅器は、ドレインにおける V_{OUT} を V_{ref} と比較し、比較に応答してエラー信号を提供するように構成される。バッファは、エラー信号をゲートに提供するように構成される。 $CFFRC$ は、 V_{IN} における電圧リップルを感知し、感知された電圧リップルを電圧リップルの電流表現に変換し、電圧リップルの電流表現をゲートに提供するように構成される。

20

【図面の簡単な説明】

【0005】

【図1】例示のシステムのブロック図である。

【0006】

【図2】低ドロップアウトレギュレータ（ LDO ）の例示の実装のブロック図である。

【0007】

【図3】 LDO の一部の例示の実装の概略図である。

【0008】

【図4】例示の信号波形の図である。

【0009】

【図5】例示の信号波形の図である。

【0010】

【図6】例示の信号波形の図である。

【0011】

【図7】例示の信号波形の図である。

【0012】

【図8A】例示の信号波形の図である。

【0013】

【図8B】例示の信号波形の図である。

【発明を実施するための形態】

【0014】

低ドロップアウトレギュレータ（ LDO ）では、広範囲の周波数（例えば、約2メガヘルツ（MHz）の周波数範囲にわたって約45デシベル（dB）を超えるPSRなど）にわたって高い電源電圧変動除去（PSR）比を有することが有利であり得る。広範囲の周波数にわたる高PSRは、 LDO が、高又は低周波数ノイズを有する入力電圧（ V_{IN} ）を提供し得るスイッチングレギュレータに従うなど、多数の応用例における実装に適していること、また、例えば、システムオンチップ（SOC）、センサモジュール、低解像度サイズ電力システム、及び他のノイズに敏感な回路（無線周波数（RF）回路、アナログ

30

40

50

デジタルコンバータ（ADC）、位相ロックループ（PLL）など）、ノイズに敏感であり得る構成要素に出力電圧（VOUT）を提供することを可能にし得る。幾つかのLDOトポロジは、それらのループ帯域幅内でPSRを提供し得る。しかしながら、それらのPSR性能は、それらのループ帯域幅外のループ利得が減少すると共に低下する。外部フィルタリングコンデンサを有するLDOは、そのPSR応答においてスペクトルピークを有し得、システムレベル供給ノイズの増加を引き起こす可能性がある。また、PSR応答を改善するための大きなコンデンサコンデンサは、LDOの静止電力消費を増加させ得、LDOによって消費されるシリコン表面積を増加させ得、これによりLDOのコストが増加し得る。

【0015】

本記載の態様は、広い周波数範囲、高PSRレートを有するLDOに関する。例えば、本記載に従ったLDOの少なくとも1つの実装が、2MHzまでの周波数に対して、また、約100マイクロアンペア（ μA ）から約250ミリアンペア（mA）までの負荷電流の範囲にわたって、68dBを超えるPSRを達成する。少なくとも幾つかの周波数では、これは他の手法に対し、最大約25dBのPSRの改善又は増加である。少なくとも幾つかの実装では、上記の性能は、PSRを提供する際に加算増幅器を使用しない電流モード手法を介して達成される。LDOの少なくとも1つの例は、電流モードフィードフォワードリップルキャンセラ（CFFRC）を含む。CFFRCを含むLDOのフィードフォワードパスが、LDOのフォワード利得に合致され得る。従って、少なくとも幾つかの実装では、CFFRCは、LDOに対する特定の較正なしに実装され得る。

【0016】

少なくとも幾つかの実装環境において、p型トランジスタ、p型電界効果トランジスタ（PFET）、又はp型金属酸化物半導体（PMOS）FETなどのp型パステデバイスを含むLDOが、p型パステデバイスのゲートに駆動信号を提供するためのチャージポンプを含むことなく実装され得る。これに対し、n型パステデバイス（例えば、NFET）を含むLDOは、n型パステデバイスのゲートに駆動信号を提供するためにチャージポンプを用い得る。チャージポンプは、LDOの静止電流消費を増加させ得る。従って、幾つかの状況では、低静止電流が有利であり得るLDO応用例において、n型パステデバイスではなくp型パステデバイスを有するLDOを用いることが有利であり得る。ロバストなPSR性能のために、半導体物理学は、共通ソース構成におけるその動作から生じるように、n型パステデバイスがそのパステデバイスのゲート上で一定の電圧を用い得、p型パステデバイスが、そのパステデバイスのゲート上で複製された供給電圧リップルを用い得ることを指示し得る。少なくとも幾つかの例において、本記載におけるLDOのCFFRCが、LDOによって受け取られたVINの供給リップルを、LDOのp型パステデバイスのゲートに複製するように構成される。CFFRCは、上述のように、リップルの周波数とは無関係に、また、加算増幅器を用いることなく、パステデバイスのゲートにリップルを複製し得る。

【0017】

図1は例示のシステム100の図である。システム100の少なくとも幾つかの実装は、上述のように、CFFRCを含むLDOのための応用環境を表す。少なくとも幾つかの例において、システム100は、電源102と、CFFRC106を含むLDO104と、負荷108とを含む。LDO104は、電源102と負荷108との間に結合され得、電源102から受け取られたVINに基づいて、調整されたVOUTを負荷108に提供するように構成され得る。幾つかの例において、VINは、ノイズ又は値におけるその他の変動を含む。例えば、電源102は、バッテリー、スイッチング電力コンバータ（スイッチモード電源など）、何らかの量のノイズ又は値におけるその他の変動を有するVINをLDO104に提供し得る変圧器など、LDO104に適した任意の電源とし得る。

【0018】

少なくとも幾つかの例において、負荷108は、ノイズに敏感であるか、又はノイズに敏感である1つ又は複数の構成要素を含む。そのため、少なくとも幾つかのそのような例において、LDO104が、VOUTにおけるノイズ又はその他の変動の出現を軽減する

10

20

30

40

50

ために、 V_{IN} におけるノイズ又はその他の変動を抑制するための高い PSR 比を有することが有利であり得る。 V_{IN} のノイズが V_{OUT} における負荷 108 に渡されることを少なくとも部分的に緩和するために、 $CFFRC106$ は、ノイズを検出し得、ノイズを $LDO104$ のパスデバイス（図示せず）のゲート上に複製して、 $LDO104$ の PSR を増加させ、それによって、 V_{OUT} における抑制される V_{IN} ノイズの量を増加させ得る。

【0019】

図2は、 $LDO104$ の例示の実装のブロック図である。少なくとも幾つかの例において、 $LDO104$ は、 $CFFRC106$ と、エラー増幅器 202 と、補償回路 204 と、バッファ 206 と、パス $FET208$ と、電流感知 $FET210$ と、適応バイアス生成回路 212 と、動的バイアス生成回路 214 とを含む。少なくとも幾つかの例において、 $LDO104$ は、抵抗器 216 及び／又はコンデンサ 218 など、 $LDO104$ の出力において1つ又は複数の構成要素に結合されるように適合される。エラー増幅器部 202 は、任意の適切なオペレーショナルトランスコンダクタンスアンプ（ OTA ）であってもよく、その範囲は本明細書に限定されない。

【0020】

$LDO104$ の例示のアーキテクチャにおいて、エラー増幅器 202 は、パス $FET208$ のドレインに結合された第1の入力（例えば、正又は非反転入力）と、基準電圧（ V_{ref} ）を受け取るように構成された第2の入力（例えば、負又は反転入力）と、出力とを有する。補償回路 204 は、エラー増幅器 202 の出力と接地 220 との間に結合される。少なくとも幾つかの例において、補償回路 204 は、エラー増幅器 202 の出力からのエラー増幅器出力信号（ V_{ea} ）を、フィルタリングするか又はその他の方式で補償し得る、キャパシタ及び／又は抵抗器などの1つ又は複数の受動構成要素（図示せず）を含む。バッファ 206 は、エラー増幅器 202 の出力に結合された入力と、パス $FET208$ のゲートに結合された出力とを有する。 $CFFRC106$ は、パス $FET208$ のソースに結合され、 V_{IN} を受け取るように構成された入力と、パス $FET208$ のゲートに結合された出力とを有する。少なくとも幾つかの例において、インピーダンスがバッファ 206 の出力に提供され得る。これは、 $LDO104$ において、バッファ 206 の出力と接地 220 との間に結合されたインピーダンス 222 として示されている。しかしながら、少なくとも幾つかの例において、インピーダンス 222 は物理的構成要素でなくともよい。代わりに、インピーダンス 222 は、バッファ 206 に固有であり、バッファ 206 の出力に提供される、出力インピーダンスを表し得る。電流感知 $FET210$ は、パス $FET208$ のソースに結合されたソースと、パス $FET208$ のゲートに結合されたゲートと、適応バイアス生成回路 212 の入力に結合されたドレインとを有する。適応バイアス生成回路 212 は、補償回路 204 に結合された第1の出力と、動的バイアス生成回路 214 の第1の入力に結合された第2の出力とを有する。動的バイアス生成回路 214 は、バッファ 206 のバイアス入力に結合された第1の出力と、エラー増幅器 202 の第1の入力に結合された第2の出力と、 V_{ref} を受け取るように構成された第2の入力と、パス $FET208$ のドレインに結合された第3の入力とを有する。少なくとも幾つかの例において、（ V_{OUT} が提供される） $LDO104$ の出力が、パス $FET208$ のドレインである。少なくとも幾つかの例において、抵抗器 216 及びコンデンサ 218 が、パス $FET208$ のドレインと接地 220 との間に直列に結合され得る。少なくとも幾つかの例において、コンデンサ 218 は、 $LDO104$ が結合されるように適合され、 $LDO104$ によって提供される V_{OUT} の周波数応答において支配的な極を設定する、オフチップコンデンサであり得る。図2には示されていないが、少なくとも幾つかの実装では、抵抗器ディバイダが、パス $FET208$ のドレインと接地 220 との間に結合され、エラー増幅器 202 の第1の入力は、パス $FET208$ のドレインに直接的ではなく、抵抗器ディバイダの出力に結合される。

【0021】

$LDO104$ の例示の動作において、 V_{IN} が、パス $FET208$ によって受け取られ

10

20

30

40

50

、渡されるので、LDO104はそれをVOU Tとして提供し得る。パスFET208は、パスFET208のゲートで受信された信号の値に基づいて、(VOU Tとして提供するための)VINを渡す。パスFET208を介して流れる電流の量は、パスFET208のゲートで受信される信号の値に関連し、そのため、パスFET208のゲートでのより大きい値の信号(パスFET208のより大きいゲートソース間電圧差を生じさせるなど)が、より近い値のVINを有するVOU Tをもたらし得る。パスFET208のゲートにおいて信号を提供するために、エラー増幅器202は、VOU TをVrefと比較し、VOU TとVrefとの間の差を示す値を有するV_eaを提供する。幾つかの実装において、エラー増幅器202は、以下で説明するように、適応バイアス生成回路212及び／又は動的バイアス生成回路214によって提供されるような、静的バイアス電流(例えば、負荷動作なし)と適応又は動的バイアス(例えば、過渡及び高負荷電流動作のため)との組合せでバイアスされ得る、折り畳みカスコードオペレーショナルトランスコンダクタンスアンプ(OTA)ベースのエラー増幅器である。少なくとも幾つかの例において、適応バイアス生成回路212の制御下など、補償回路204によってV_eaに補償が提供される。バッファ206は、V_eaをパスFET208のゲートに提供する。

【0022】

少なくとも幾つかの例において、CFFRC106はまた、パスFET208のゲートに信号を提供する。例えば、CFFRC106は、VINにおける電圧リップルを感知し得、電圧リップルを、iリップルとして示される電圧リップルの電流表現に変換し得、iリップルをパスFET208のゲートに提供し得る。iリップルの電流及びV_eaを提供する際にバッファ206によって提供される電流は、パスFET208のゲートにおいて合計され、インピーダンス222に従って少なくとも部分的に決定される電圧を有する。少なくとも幾つかの例において、これはVINの電圧リップルをパスFET208のゲートに反映し、LDO104のPSR比を増加させる。例えば、パスFET208のゲートにおいて提供される信号の電圧リップルは、バッファ206のトランスコンダクタンスに対するCFFRC106のトランスコンダクタンスの比を乗じたVINリップルにほぼ等しくし得る。バッファ206及びCFFRC106の少なくとも幾つかの構成要素のトランジスタレベル特性を合致させることによって、比を1に制御し得、それによって、パスFET208のゲートにおいて提供される信号の電圧リップルをVINリップルにほぼ等しくする。比が1になるように制御されることに応答して、LDO104のVOU Tは、(利得/(1+利得))×Vrefにほぼ等しくし得、ここで、利得はLDO104の閉ループ利得である。パスFET208のゲート及びソースの両方へのコモンモード入力としてこのリップルを有することは、パスFET208によってパスFET208のドレイン上に結合されるリップルの量を低減し得、これは(上述のように)LDO104の出力である。このようにして、LDO104のPSR比が増加する。少なくとも幾つかの例において、LDO104のPSR比が電圧加算増幅器を使用することなく増加され、それによって、LDO104の低減された静止電流をもたらす。例えば、LDO104の少なくとも幾つかの実装は、約5.6マイクロアンペア(μA)の無負荷静止電流を有する。

【0023】

少なくとも幾つかの例において、電流感知FET210は、パスFET208のスケールリングされた複製であり、電流感知FET210を介して流れる電流(Ibias_adapとして示される)が、適応バイアス生成回路212に提供される。少なくとも幾つかの実装では、適応バイアス生成回路212は、約1:12000の感知比を有する1:M感知FETベースのアーキテクチャを実装する(例えば、感知FET210は、パスFET208のサイズの約12000倍のサイズを有する)。Ibias_adapに基づいて、適応バイアス生成回路212は、補償回路204及び／又は動的バイアス生成回路214などの、LDO104の構成要素の帯域幅を変更し得る。例えば、Ibias_adapに基づいて、適応バイアス生成回路212は、補償回路204を制御(又はバイアス)するために補償回路204に補償電流(Icomp)を提供し得る。補償回路204は

、周波数応答ゼロがエラー増幅器 202 の出力に導入される、極ゼロトラッキング補償技法を実装し得る。例えば、LDO104 は 2 極システム（例えば、上記で記載したように、コンデンサ 218 から生じる極、及びエラー増幅器 202 の出力から生じる極）であり得る。LDO104 の安定性を維持するために、エラー増幅器 202 の出力において導入される極に対して補償回路 204 によって補償が提供される。補償は、ある範囲の負荷電流にわたって LDO104 の安定性を維持するために、（例えば、LDO104 の負荷電流に基づいて） I_{comp} に従って変調された位置を有する周波数応答ゼロであり得る。

【0024】

I_{bias_adap} 及び／又は V_{OUT} に基づいて、適応バイアス生成回路 212 はまた、適応電流 (I_{adp}) を動的バイアス生成回路 214 に提供し得る。 I_{adp} 、 V_{ref} 、及び／又は V_{OUT} に基づいて (V_{IN} に関して V_{OUT} で発生するアンダーシュート又はオーバーシュートにตอบสนองするなど)、動的バイアス生成回路 214 は、エラー増幅器 202 及びバッファ 206 に動的バイアス電流 (I_{dyn}) を提供し得る。少なくとも幾つかの例において、 I_{dyn} は、（例えば、パス FET 208 のドレインにおける）負荷過渡の間の電圧オーバーシュート又はアンダーシュートを緩和するために、エラー増幅器 202 及びバッファ 206 に電流バーストを提供するように構成される。同様に、動的バイアス生成回路 214 は、 $V_{pulldown}$ を介してパス FET 208 のドレインをプルダウン（例えば、ロード）して、 V_{OUT} の値を減少させ得、それによって、回復時間（例えば、幾つかの実装では約 10 マイクロ秒未満まで）と、 V_{OUT} におけるオーバーシュートにตอบสนองしてオーバーシュート量を低減し得る。少なくとも幾つかの例において、適応バイアス生成回路 212 及び／又は動的バイアス生成回路 214 は、適応バイアス生成回路 212 及び／又は動的バイアス生成回路 214 によって提供される 1 つ又は複数の信号などを介して、トランジスタ 307 のトランスコンダクタンスを追跡すること、又はトランジスタ 326 のトランスコンダクタンスにほぼ等しくなるように制御されることを促進する。

【0025】

図 3 は、LDO104 の一部の例示の実装の概略図である。少なくとも幾つかの例において、図 3 は、図 2 に示されるような LDO104 の少なくとも一部のトランジスタレベルの実装を表す。例えば、図 3 に示すように、LDO104 は、CFFRC106 と、バッファ 206 と、パス FET 208 と、インピーダンス 222 とを含む。少なくとも幾つかの例において、CFFRC106 は、抵抗器 302 と、コンデンサ 304 と、差動増幅器 306 と、p 型 FET (PFET) 307 と、PFET 308 と、n 型 FET (NFET) 312 及び NFET 314 を含む電流ミラー 310 と、PFET 318 及び PFET 320 を含む電流ミラー 316 とを含む。幾つかの例において、バッファ 206 は、PFET 322、PFET 324、及び PFET 326 を含む。

【0026】

LDO104 の例示のアーキテクチャにおいて、抵抗器 302 は、バイアス電圧 V_{gs_adap} を受け取るように構成された第 1 の端子と、差動増幅器 306 の第 1 の入力（例えば、正又は非反転入力）に結合された第 2 の端子とを有する。コンデンサ 304 は、差動増幅器 306 の第 1 の入力と接地 220 との間に結合される。差動増幅器 306 は、PFET 308 のゲートに結合された出力を有する。PFET 308 のソースが、差動増幅器 306 の第 2 の入力（例えば、負又は反転入力）に結合される。PFET 307 のゲートが差動増幅器 306 の第 2 の入力に結合され、PFET 307 のドレインが差動増幅器 306 の第 2 の入力に結合され、PFET 307 のソースが V_{IN} を受け取るように構成される。PFET 308 のドレインが、NFET 312 のドレイン及びゲートに結合される。また、NFET 312 は、接地 220 に結合されたソースを有する。NFET 314 は、NFET 312 のゲートに結合されたゲートと、接地 220 に結合されたソースと、PFET 318 のドレイン、PFET 318 のゲート、及び PFET 320 のゲートに結合されたドレインとを有する。PFET 318 及び PFET 320 はそれぞれ、 V_{IN} を受け取るように構成されたソースを有する。PFET 320 は、パス FET 208 のゲ

ートに結合された、又はパスFET208のゲートに結合されるように適合された、ドレインを有する。PFET322及びPFET324は、VINを受け取るように構成されたそれぞれのソースを有する。PFET322のドレインが、PFET322のゲートに結合され、上述のように、適応バイアス生成回路212に結合されるように適合される。少なくとも幾つかの例において、適応バイアス生成回路212は、PFET322を介してIbias__adapをシンクする。また、PFET322はダイオード接続され、PFET320のゲートに結合されたPFET322のゲートにおいてバイアス電圧Vgs__adapを提供する。少なくとも幾つかの例において、感知FET210及びPFET322が同じものとして実装され得る。PFET324はまた、パスFET208のゲートに結合されたドレインを有する。PFET326は、エラー増幅器202の出力に結合され、V__eaを受け取るように構成されたゲートと、パスFET208のゲートに結合されたソースと、接地220に結合されたドレインとを有する。少なくとも幾つかの例において、PFET307及びPFET326のトランスコンダクタンスは、上記で記載したように、1のトランスコンダクタンス比を提供するように合致され得る。

【0027】

図2に示されるようなLDO104の例示の動作では、抵抗器302及びコンデンサ304が、差動増幅器306の第1の入力に結合された出力を有するローパスフィルタを形成する。少なくとも幾つかの例において、ローパスフィルタは、抵抗器302の抵抗値とコンデンサ304の静電容量値とに基づいてCFFRC106のカットオフ周波数を定義する。少なくとも幾つかの例において、カットオフ周波数は、約100メガオームの抵抗器302の抵抗と、約10ピコファラドのコンデンサ304の静電容量とから生じる約150ヘルツ(Hz)である。150Hzのカットオフ周波数では、PFET307のゲートは、PFET307のソースと比較して交流(AC)接地に保持され得る。差動増幅器306は、PFET308の制御を介して、PFET307を介して流れる直流(DC)バイアス電流(Ibias)のための値を設定し得る。少なくとも幾つかの例において、差動増幅器306は、5トランジスタOTAとして実装される。ローパスフィルタは、差動増幅器306と組み合わせて、サーボハイパスフィルタを形成し得る。

【0028】

少なくとも幾つかの例において、PFET324のゲートが、抵抗器302及びコンデンサ304のフィルタを介する差動増幅器306と同様に、Vgs__adapを受け取りVgs__adapによってバイアスされるように構成されるので、PFET307及びPFET326のトランスコンダクタンスは合致され得、それによって、上記で記載されたように、1のトランスコンダクタンス比を提供し得る。PFET307を介して流れる電流は、 $g_{pfet307} \times V_{IN_ripple}$ に従って決定され得、ここで、 $g_{pfet307}$ はPFET307のトランスコンダクタンスであり、 V_{IN_ripple} はVINに存在するリップルである。また、インピーダンス222が、バッファ206の出力インピーダンス(例えば、これは、パスFET208のゲートにおいて提供されるインピーダンスである)によって支配される少なくとも幾つかの例において、インピーダンス222は、 $1 / g_{pfet326}$ に従って決定される近似値を有し得、 $g_{pfet326}$ は、PFET326のトランスコンダクタンスである。CFFRC106によってパスFET208のゲートに提供される電圧リップルである V_ripple は、PFET307を介して流れる電流にインピーダンス222を乗じたものにほぼ等しい。そのため、上記を代入することによって、 V_ripple は、 $(g_{pfet307} / g_{pfet326}) \times V_{IN_ripple}$ にほぼ等しい。上記のように $g_{pfet307} / g_{pfet326}$ が1になるよう制御される場合、 V_ripple は V_{IN_ripple} とほぼ等しくなる。

【0029】

V_{IN_ripple} を受け取るパスFET208のソースを備えるパスFET208のゲートにおいて V_ripple を提供すること(例えば、パスFET208のゲート及びソースへの共通モード入力としてほぼ V_{IN_ripple} を提供すること)で、V

OUTに渡されるVIN_rippleの量が低減され、LDO104のPSR比が増加される。図4は、例示の信号波形の図400であり、CFFRC106を含むLDO104とCFFRC106を含まないLDOとのPSR比の比較を示す。図400において、横軸は周波数を対数目盛りでHz単位で表し、縦軸はPSRを線形目盛りでdB単位で表す。図400に示すように、CFFRC106は、CFFRC106を含まないLDOと比較して、広い周波数範囲にわたって増加したPSR比をLDO104に提供する。

【0030】

図5は、例示の信号波形の図500であり、CFFRC106を含むLDO104とCFFRC106を含まないLDOとで変化する負荷電流(ILとして示される)を説明する、PSR比の別の比較を示す。図500の波形は、約5VのVIN、約4.5VのVOUT、及び約2.2マイクロファラッド(μF)の負荷容量を仮定する。図500において、横軸は周波数を対数目盛りでHz単位で表し、縦軸はPSRを線形目盛りでdB単位で表す。図500に示すように、CFFRC106は、CFFRC106を含まないLDOと比較して、広い周波数範囲にわたって増加したPSR比をLDO104に提供する。また、図500に示されるように、CFFRC106は、 μA 又はミリアンペア(mA)の単位で(例えば、100 μA 、20mA、及び250mAの負荷電流の場合)、或る範囲の負荷電流にわたって増加したPSR比をLDO104に提供する。

【0031】

図6は、例示の信号波形の図600であり、LDO104の変化する出力静電容量(Coutとして示される)を説明する、PSR比の別の比較を示す。図600の波形は、約5VのVIN、約4.5VのVOUT、及び約20mAの負荷電流を仮定する。図600において、横軸は周波数を対数目盛りでHz単位で表し、縦軸はPSRを線形目盛りでdB単位で表す。図600に示されるように、CFFRC106は、1 μF 、2.2 μF 、及び12.2 μF の出力キャパシタンスについて示される、或る範囲の出力キャパシタンスにわたって、同様に増加したPSR比をLDO104に提供する。

【0032】

図7は、例示の信号波形の図700であり、LDO104のVOUTの変化する値を説明する、PSR比の別の比較を示す。図700の波形は、約5VのVIN、約2.2 μF の負荷容量、及び約20mAの負荷電流を仮定する。図700において、横軸は周波数を対数目盛りでHz単位で表し、縦軸はPSRを線形目盛りでdB単位で表す。図700に示されるように、CFFRC106は、4.8V、4.7V、4.5V、及び4VのVOUT値について示される、或る範囲のVOUTの値にわたって同様に増加したPSR比をLDO104に提供する。

【0033】

図8A及び図8Bは例示の信号波形の図である。例えば、図8Aは、約100 μA から約250mAへの負荷電流ステップアップに対するLDO104の負荷過渡応答の図805である。図8Bは、約250mAから約100 μA への負荷電流ステップダウンに対するLDO104の負荷過渡応答の図810である。図805及び図810に示すように、適応バイアス生成回路212及び動的バイアス生成回路214を含まないLDOと比較して、適応バイアス生成回路212及び動的バイアス生成回路214によってVOUTの値のアンダーシュート及びオーバーシュートが低減される。例えば、LDO104に電流を注入することにより、適応バイアス生成回路212及び動的バイアス生成回路214を含まないLDOと比較して、LDO104では、VOUTの値のアンダーシュートが低減される(また、VOUTをプルダウンすることにより、VOUTのオーバーシュートが低減される)。

【0034】

本明細書では、「結合する」という用語は、本明細書と一貫した機能的関係を可能にする接続、通信、又は信号パスを網羅し得る。例えば、装置Aが或るアクションを実施するために装置Bを制御するための信号を提供する場合、(a)第1の例において、デバイスAがデバイスBに直接結合されるか、又は(b)第2の例において、介在構成要素Cがデ

10

20

30

40

50

バイス A とデバイス B との間の機能的関係を実質的に変更しない場合に、デバイス A は介在構成要素 C を介してデバイス B に間接的に結合され、従って、デバイス B は、デバイス A によって提供される制御信号を介してデバイス A によって制御される。

【0035】

或るタスク又は機能を実施する「ように構成される」デバイスは、その機能を実施するために、製造業者によって製造時に構成され（例えば、プログラムされ、及び／又はハードワイヤードされ）、及び／又は、機能及び／又は他の追加又は代替機能を実施するために、製造後にユーザによって構成可能（又は再構成可能）であり得る。こういった構成は、デバイスのファームウェア及び／又はソフトウェアプログラミングを介してもよく、ハードウェア構成要素の構成及び／又はレイアウトを介してもよく、デバイスの相互接続を介してもよく、又はそれらの組み合わせを介してもよい。

10

【0036】

特定の構成要素を含むものとして本明細書で記載される回路又はデバイスは、代わりに、それらの構成要素に結合されて、記載される回路又はデバイスを形成するように適合され得る。例えば、1つ又は複数の半導体素子（トランジスタなど）、1つ又は複数の受動素子（抵抗器、コンデンサ、及び／又はインダクタなど）、及び／又は1つ又は複数のソース（電圧及び／又は電流源など）を含むものとして本明細書で記載する構造は、代わりに、単一の物理デバイス（例えば、半導体ダイ及び／又は集積回路（IC）パッケージ）内の半導体素子のみを含み得、エンドユーザ及び／又はサードパーティなどによる製造時又は製造後のいずれかに、受動素子及び／又はソースの少なくとも幾つかに結合されて、記載する構造を形成するように適合され得る。

20

【0037】

特定の構成要素は本明細書では特定のプロセス技術のものとして記載され得るが、これらの構成要素は他のプロセス技術の構成要素と交換され得る。本明細書で記載される回路は、構成要素交換前に利用可能な機能と少なくとも部分的に同様の機能を提供するために、交換された構成要素を含むように再構成可能である。抵抗器として示される構成要素は特に明記しない限り、一般に、示される抵抗器によって表されるインピーダンスの量を提供するために、直列及び／又は並列に結合される任意の1つ又は複数の要素を表す。例えば、単一の構成要素として本明細書に示され、記載される抵抗器又はコンデンサは、代わりに、単一の抵抗器又はコンデンサと同じ2つのノード間で直列又は並列に結合される、それぞれ複数の抵抗器又はコンデンサであり得る。

30

【0038】

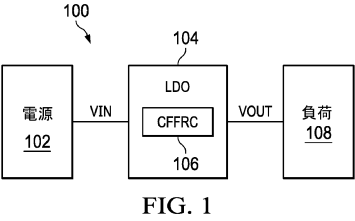
本記載における「接地電圧電位」という語句の使用は、シャーシ接地、接地、浮動接地、仮想接地、デジタル接地、共通接地、及び／又は本明細書の教示に適用可能であるか、又はそれに適した任意の他の形態の接地接続を含む。特に明記しない限り、値に先行する「約」、「およそ」、又は「実質的に」は、値の±10%を意味する。

【0039】

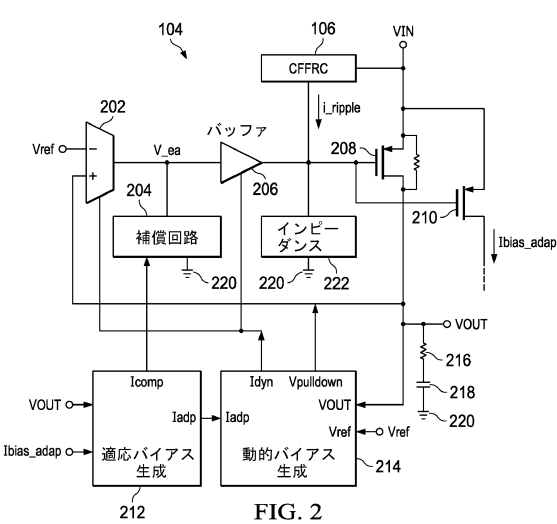
本発明の特許請求の範囲内で、記載した例示の実施例に改変が成され得、他の実施例が可能である。

40

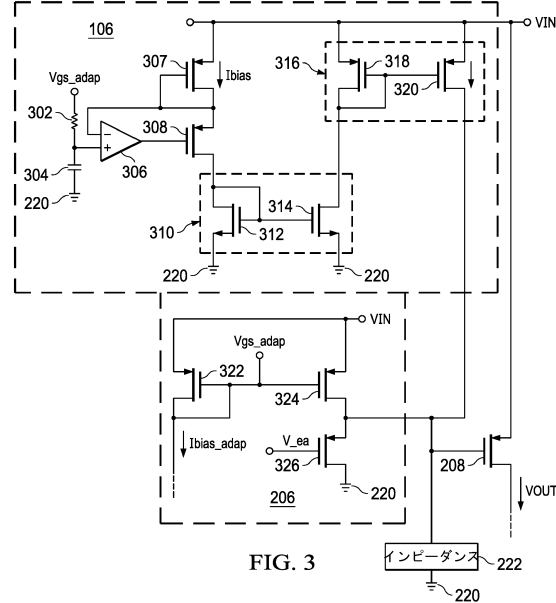
【図面】
【図 1】



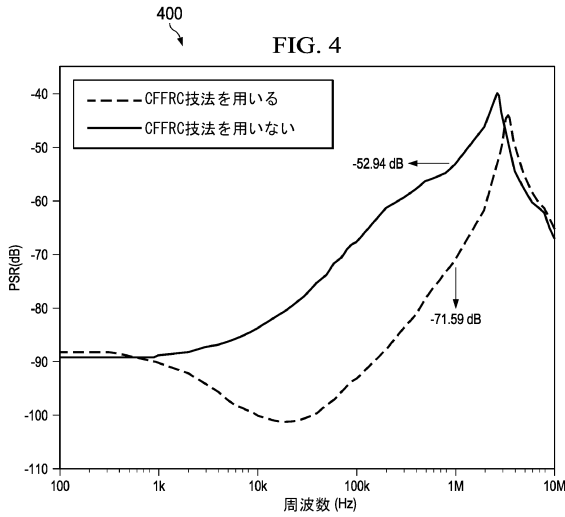
【図 2】



【図 3】



【図 4】



10

20

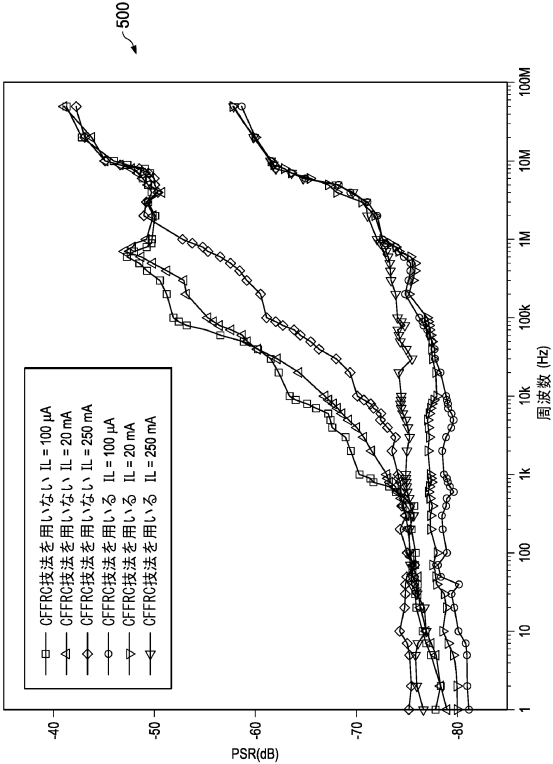
30

40

50

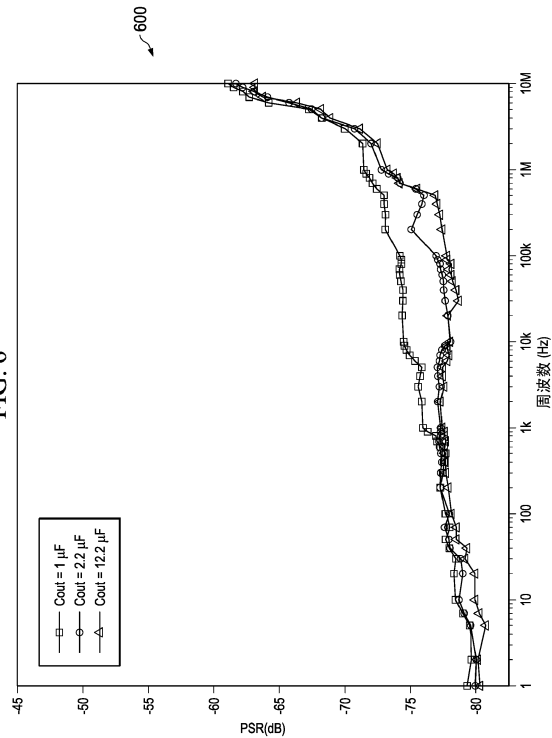
【図 5】

FIG. 5



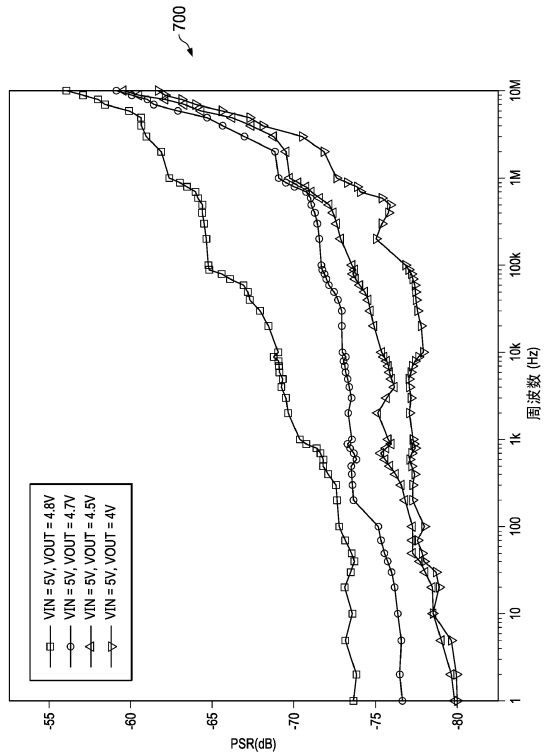
【図 6】

FIG. 6



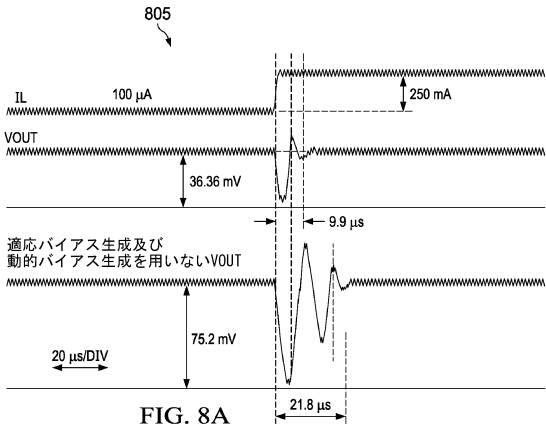
【図 7】

FIG. 7



【図 8 A】

FIG. 8A



10

20

30

40

50

【図 8 B】

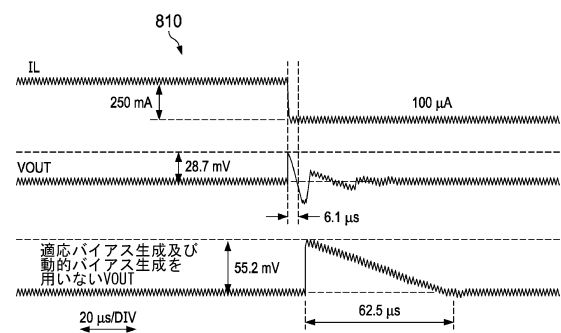


FIG. 8B

10

20

30

40

50

フロントページの続き

(33)優先権主張国・地域又は機関

米国(US)

ダラス, バカルディ ドライブ 8711

審査官 尾家 英樹

(56)参考文献 特開2007-157070(JP, A)

特開2019-168766(JP, A)

特開2007-157071(JP, A)

特開2016-118840(JP, A)

米国特許出願公開第2020/0012303(US, A1)

(58)調査した分野 (Int.Cl., DB名)

G05F 1/00- 1/70