

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-87601

(P2019-87601A)

(43) 公開日 令和1年6月6日(2019.6.6)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 1 9 B	2 H 1 9 2
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 7 N	5 B 0 7 4
G 1 1 C 19/28 (2006.01)	G 1 1 C 19/28 2 3 0	5 C 0 0 6
G O 9 G 3/36 (2006.01)	G O 9 G 3/36	5 C 0 8 0
G O 9 G 3/20 (2006.01)	G O 9 G 3/20 6 2 2 E	5 F 1 1 0
審査請求 有 請求項の数 15 O L (全 33 頁) 最終頁に続く		

(21) 出願番号 特願2017-213673 (P2017-213673)
 (22) 出願日 平成29年11月6日 (2017.11.6)

(71) 出願人 000005049
 シャープ株式会社
 大阪府堺市堺区匠町 1 番地
 (74) 代理人 110000338
 特許業務法人HARAKENZO WOR
 LD PATENT & TRADEMA
 RK
 (72) 発明者 佐々木 寧
 大阪府堺市堺区匠町 1 番地 シャープ株式
 会社内
 (72) 発明者 村上 祐一郎
 大阪府堺市堺区匠町 1 番地 シャープ株式
 会社内

最終頁に続く

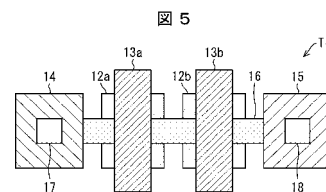
(54) 【発明の名称】 トランジスタおよびシフトレジスタ

(57) 【要約】

【課題】 トランジスタのサイズを大きくすることなくチャンネル部を遮光する。

【解決手段】 トランジスタ (Tr) は、ゲート電極 (13a, 13b) と、遮光膜 (12a, 12b) とを備えている。遮光膜 (12b, 12b) のそれぞれは、ゲート電極 (13a, 13b) よりも下層に形成され、ゲート電極 (13a, 13b) のそれぞれと平面視で個別に重畳し、かつチャンネル部を遮光し、さらに電氣的に孤立している。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

チャネル部と、
第 1 導通電極と、
第 2 導通電極と、
複数の制御電極と、

前記複数の制御電極よりも下層に形成され、前記複数の制御電極のそれぞれと平面視で個別に重畳し、かつ前記チャネル部を遮光し、さらに電氣的に孤立した複数の遮光膜とを備えていることを特徴とするトランジスタ。

【請求項 2】

表示装置の表示部に配置された複数の走査線を駆動するための複数の段からなるシフトレジスタであって、

前記複数の段の各段を構成する単位回路は、比較的高いオンデューティでオン・オフ状態が制御される第 1 グループと比較的低いオンデューティでオン・オフ状態が制御される第 2 グループとに分類され得る複数のトランジスタを含み、

前記第 1 グループおよび前記第 2 グループの一方に含まれるトランジスタのみが、請求項 1 に記載のトランジスタであることを特徴とするシフトレジスタ。

【請求項 3】

前記複数のトランジスタに関し、

50 パーセント以上のオンデューティでオン・オフ状態が制御されるトランジスタは前記第 1 グループに分類され、

50 パーセント未満のオンデューティでオン・オフ状態が制御されるトランジスタは前記第 2 グループに分類されることを特徴とする請求項 2 に記載のシフトレジスタ。

【請求項 4】

前記第 1 グループおよび前記第 2 グループの一方に含まれるトランジスタのうちの一部のトランジスタのみが、請求項 1 に記載のトランジスタであることを特徴とする請求項 2 に記載のシフトレジスタ。

【請求項 5】

前記第 1 グループに含まれるトランジスタであって、制御電極に常に正のバイアスが印加される n チャネル型のトランジスタが、請求項 1 に記載のトランジスタであることを特徴とする請求項 2 に記載のシフトレジスタ。

【請求項 6】

前記単位回路は、

前記複数の走査線の 1 つに接続された出力ノードと、

制御電極、第 1 導通電極、および第 2 導通電極を有し、クロック信号が第 1 導通電極に与えられ、前記出力ノードに第 2 導通電極が接続された、前記第 2 グループに含まれる出力制御トランジスタと、

前記出力制御トランジスタの制御電極に接続された第 1 ノードと、

前記第 2 グループに含まれるトランジスタを有し、他の段の出力ノードから出力される出力信号に基づいて前記第 1 ノードのレベルをオンレベルに向けて変化させるための第 1 ノードターンオン部と、

制御電極、第 1 導通電極、および第 2 導通電極を有し、オンレベル電位が制御電極に与えられ、前記第 1 ノードターンオン部に第 1 導通電極が接続され、前記第 1 ノードに第 2 導通電極が接続された、前記第 1 グループに含まれる分圧トランジスタと、

制御電極、第 1 導通電極、および第 2 導通電極を有し、前記出力ノードに第 1 導通電極が接続され、オフレベル電位が第 2 導通電極に与えられる、前記第 1 グループに含まれる出力ノードターンオフトランジスタと、

前記出力ノードターンオフトランジスタの制御電極に接続された第 2 ノードと、

制御電極、第 1 導通電極、および第 2 導通電極を有し、前記第 2 ノードに制御電極が接続され、前記分圧トランジスタを介して前記第 1 ノードに第 1 導通電極が接続され、オ

10

20

30

40

50

フレベル電位が第2導通電極に与えられる、前記第1グループに含まれる第1ノードターンオフトランジスタとを含み、

前記分圧トランジスタのみが、請求項1に記載のトランジスタであることを特徴とする請求項5に記載のシフトレジスタ。

【請求項7】

前記第1グループに含まれるトランジスタであって、長期間制御電極に正のバイアスが印加されるnチャネル型のトランジスタが、請求項1に記載のトランジスタであることを特徴とする請求項2に記載のシフトレジスタ。

【請求項8】

前記単位回路は、

前記複数の走査線の1つに接続された出力ノードと、

制御電極、第1導通電極、および第2導通電極を有し、クロック信号が第1導通電極に与えられ、前記出力ノードに第2導通電極が接続された、前記第2グループに含まれる出力制御トランジスタと、

前記出力制御トランジスタの制御電極に接続された第1ノードと、

前記第2グループに含まれるトランジスタを有し、他の段の出力ノードから出力される出力信号に基づいて前記第1ノードのレベルをオンレベルに向けて変化させるための第1ノードターンオン部と、

制御電極、第1導通電極、および第2導通電極を有し、前記出力ノードに第1導通電極が接続され、オフレベル電位が第2導通電極に与えられる、前記第1グループに含まれる出力ノードターンオフトランジスタと、

前記出力ノードターンオフトランジスタの制御電極に接続された第2ノードと、

制御電極、第1導通電極、および第2導通電極を有し、前記第2ノードに制御電極が接続され、前記第1ノードに第1導通電極が接続され、オフレベル電位が第2導通電極に与えられる、前記第1グループに含まれる第1ノードターンオフトランジスタとを含み、

前記出力ノードターンオフトランジスタおよび前記第1ノードターンオフトランジスタのみが、請求項1に記載のトランジスタであることを特徴とする請求項7に記載のシフトレジスタ。

【請求項9】

前記第2グループに含まれるトランジスタであって、長期間制御電極に負のバイアスが印加されるpチャネル型のトランジスタが、請求項1に記載のトランジスタであることを特徴とする請求項2に記載のシフトレジスタ。

【請求項10】

前記単位回路は、

前記複数の走査線の1つに接続された出力ノードと、

自段よりも前の段の出力ノードから出力される出力信号と自段よりも後の段の出力ノードから出力される出力信号とに基づいて、第1出力信号と第2出力信号とを出力するセトリセットフリップフロップと、

制御電極、第1導通電極、および第2導通電極を有し、前記第1出力信号が制御電極に与えられ、クロック信号が第1導通電極に与えられ、前記出力ノードに第2導通電極が接続された、前記第2グループに含まれる第1出力制御トランジスタと、

制御電極、第1導通電極、および第2導通電極を有し、前記第2出力信号が制御電極に与えられ、前記クロック信号が第1導通電極に与えられ、前記出力ノードに第2導通電極が接続された、前記第2グループに含まれる第2出力制御トランジスタと、

制御電極、第1導通電極、および第2導通電極を有し、前記第2出力信号が制御電極に与えられ、前記出力ノードに第1導通電極が接続され、オフレベル電位が第2導通電極に与えられる、前記第1グループに含まれる出力ノードターンオフトランジスタとを含み、

前記第2出力制御トランジスタのみが、請求項1に記載のトランジスタであることを特徴とする請求項9に記載のシフトレジスタ。

10

20

30

40

50

【請求項 1 1】

前記遮光膜が設けられているトランジスタは、前記第 2 グループに含まれるトランジスタであって、長期間制御電極に負のバイアスが印加される n チャネル型のトランジスタであることを特徴とする請求項 2 に記載のシフトレジスタ。

【請求項 1 2】

前記単位回路は、

前記複数の走査線の 1 つに接続された出力ノードと、

制御電極、第 1 導通電極、および第 2 導通電極を有し、クロック信号が第 1 導通電極に与えられ、前記出力ノードに第 2 導通電極が接続された、前記第 2 グループに含まれる出力制御トランジスタと、

前記出力制御トランジスタの制御電極に接続された第 1 ノードと、

前記第 2 グループに含まれるトランジスタを有し、他の段の出力ノードから出力される出力信号に基づいて前記第 1 ノードのレベルをオンレベルに向けて変化させるための第 1 ノードターンオン部と、

制御電極、第 1 導通電極、および第 2 導通電極を有し、前記出力ノードに第 1 導通電極が接続され、オフレベル電位が第 2 導通電極に与えられる、前記第 1 グループに含まれる出力ノードターンオフトランジスタと、

前記出力ノードターンオフトランジスタの制御電極に接続された第 2 ノードと、

制御電極、第 1 導通電極、および第 2 導通電極を有し、前記第 2 ノードに制御電極が接続され、前記第 1 ノードに第 1 導通電極が接続され、オフレベル電位が第 2 導通電極に与えられる、前記第 1 グループに含まれる第 1 ノードターンオフトランジスタとを含み、

前記出力制御トランジスタのみが、請求項 1 に記載のトランジスタであることを特徴とする請求項 1 1 に記載のシフトレジスタ。

【請求項 1 3】

前記単位回路は、

前記複数の走査線の 1 つに接続された出力ノードと、

制御電極、第 1 導通電極、および第 2 導通電極を有し、クロック信号が第 1 導通電極に与えられ、前記出力ノードに第 2 導通電極が接続された、前記第 2 グループに含まれる出力制御トランジスタと、

前記出力制御トランジスタの制御電極に接続された第 1 ノードと、

前記第 2 グループに含まれるトランジスタを有し、他の段の出力ノードから出力される出力信号に基づいて前記第 1 ノードのレベルをオンレベルに向けて変化させるための第 1 ノードターンオン部と、

制御電極、第 1 導通電極、および第 2 導通電極を有し、オンレベル電位が制御電極に与えられ、前記第 1 ノードターンオン部に第 1 導通電極が接続され、前記第 1 ノードに第 2 導通電極が接続された、前記第 1 グループに含まれる分圧トランジスタと、

制御電極、第 1 導通電極、および第 2 導通電極を有し、前記出力ノードに第 1 導通電極が接続され、オフレベル電位が第 2 導通電極に与えられる、前記第 1 グループに含まれる出力ノードターンオフトランジスタと、

前記出力ノードターンオフトランジスタの制御電極に接続された第 2 ノードと、

制御電極、第 1 導通電極、および第 2 導通電極を有し、前記第 2 ノードに制御電極が接続され、前記分圧トランジスタを介して前記第 1 ノードに第 1 導通電極が接続され、オフレベル電位が第 2 導通電極に与えられる、前記第 1 グループに含まれる第 1 ノードターンオフトランジスタと、

全ての段の単位回路に共通的に与えられる制御信号に基づいて前記出力ノードのレベルをオンレベルに向けて変化させる全オン制御部とを含み、

前記第 1 ノードターンオフトランジスタおよび前記分圧トランジスタのみが、請求項 1 に記載のトランジスタであることを特徴とする請求項 2 に記載のシフトレジスタ。

【請求項 1 4】

表示装置の表示部に配置された複数の走査線を駆動するための複数の段からなるシフト

10

20

30

40

50

レジスタであって、

前記複数の段の各段を構成する単位回路は、第1導電型のトランジスタと第2導電型のトランジスタとを含む複数のトランジスタを含み、

前記複数のトランジスタのうちの一部のトランジスタのみが、請求項1に記載のトランジスタであり、

比較的低いオンデューティでオン・オフ状態が制御される前記第1導電型のトランジスタおよび比較的高いオンデューティでオン・オフ状態が制御される前記第2導電型のトランジスタが、請求項1に記載のトランジスタであることを特徴とするシフトレジスタ。

【請求項15】

前記第1導電型のトランジスタは、nチャネル型のトランジスタであって、

前記第2導電型のトランジスタは、pチャネル型のトランジスタであって、

長期間制御電極に負のバイアスが印加されるnチャネル型のトランジスタおよび長期間制御電極に正のバイアスが印加されるpチャネル型のトランジスタが、請求項1に記載のトランジスタであることを特徴とする請求項14に記載のシフトレジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トランジスタおよびシフトレジスタに関する。

【背景技術】

【0002】

薄膜トランジスタは、光が照射されるとその特性がシフトする。そこで、従来、表示装置において、薄膜トランジスタへの光照射を遮断するために、薄膜トランジスタのチャネル部の下に遮光膜を配置することが知られている。このような技術が採用された駆動回路の一例が、特許文献1に開示されている。

【0003】

特許文献1には、表示パネル上に形成された表示装置の駆動回路であって、第1導通電極と第2導通電極と制御電極とを有する薄膜トランジスタと、前記薄膜トランジスタのチャネル部を遮光する本体部と、前記本体部と一体に形成された拡張部とを有し、電氣的に孤立した遮光膜と、前記遮光膜の拡張部と電極部材とが平面視で重なることにより形成された補助容量とを備えた、駆動回路が開示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】国際公開WO2016/190187号

【発明の概要】

【発明が解決しようとする課題】

【0005】

従来技術に係る駆動回路では、トランジスタに対して補助容量を追加する必要があるため、トランジスタのサイズが大きくなり、ひいては駆動回路のサイズが大きくなる恐れがある。

【0006】

本発明は、前記の課題を解決するためになされたものであり、その目的は、トランジスタのサイズを大きくすることなくチャネル部を遮光することにある。

【課題を解決するための手段】

【0007】

本発明の一態様に係るトランジスタは、前記の課題を解決するために、チャネル部と、第1導通電極と、第2導通電極と、複数の制御電極と、前記複数の制御電極よりも下層に形成され、前記複数の制御電極のそれぞれと平面視で個別に重畳し、かつ前記チャネル部を遮光し、さらに電氣的に孤立した複数の遮光膜とを備えていることを特徴としている。

【発明の効果】

【0008】

本発明の一態様によれば、トランジスタのサイズを大きくすることなくチャンネル部を遮光することができるという効果を奏する。

【図面の簡単な説明】

【0009】

【図1】実施形態1に係る液晶表示装置の構成を示すブロック図である。

【図2】実施形態1に係る走査線駆動回路に設けられるシフトレジスタの構成を示すブロック図である。

【図3】実施形態1に係る単位回路の回路図である。

10

【図4】実施形態1に係るシフトレジスタの通常動作時のタイミングチャートである。

【図5】実施形態1に係るトランジスタの構成を示す図である。

【図6】実施形態1に係るトランジスタの等価回路を示す模式図である。

【図7】実施形態1に係る単位回路に含まれるトランジスタが遮光膜を備えている場合の、シフトレジスタの通常動作時のタイミングチャートである。

【図8】比較例に係るトランジスタを示す図である。

【図9】比較例に係るトランジスタの等価回路を示す図である。

【図10】比較例に係る単位回路に含まれるトランジスタが遮光膜およびを備えていない場合の、シフトレジスタの通常動作時のタイミングチャートである。

【図11】実施形態2に係る単位回路の構成図である。

20

【図12】実施形態3に係る走査線駆動回路を含む液晶表示装置の構成を示すブロック図である。

【図13】実施形態3に係る液晶表示装置が動作する際の一定期間の詳細を示す図である。

【図14】実施形態3に係る単位回路の回路図である。

【図15】実施形態3に係るシフトレジスタの通常動作時のタイミングチャートである。

【図16】実施形態4に係る走査線駆動回路に含まれるシフトレジスタの構成を示すブロック図である。

【図17】実施形態4に係るスイッチ回路の構成例を示す図である。

【図18】実施形態4に係るスイッチ回路の他の構成例を示す図である。

30

【図19】実施形態4に係るシフトレジスタの通常動作時のタイミングチャートである。

【図20】実施形態5に係る走査線駆動回路に含まれるシフトレジスタの構成を示すブロック図である。

【図21】実施形態5に係る単位回路の構成を示す図である。

【図22】実施形態5に係るシフトレジスタの通常動作時のタイミングチャートである。

【図23】実施形態6に係る単位回路の構成例を示す図である。

【図24】実施形態7に係る単位回路の構成例を示す図である。

【図25】実施形態8に係るトランジスタの構成例を示す図である。

【図26】実施形態8に係るトランジスタの他の構成例を示す図である。

【図27】実施形態9に係るシフトレジスタに備えられる単位回路の構成例を示す図である。

40

【発明を実施するための形態】

【0010】

〔実施形態1〕

図1は、実施形態1に係る液晶表示装置1（表示装置）の構成を示すブロック図である。図1に示す液晶表示装置1は、液晶パネル2（表示部）、表示制御回路3、走査線駆動回路4、およびデータ線駆動回路5を備えている。

【0011】

液晶パネル2は、 n 本の走査線 $GL1 \sim GLn$ 、 m 本のデータ線 $SL1 \sim S L m$ 、 n 本の蓄積容量線 $CS1 \sim CS n$ 、および $(m \times n)$ 個の画素回路6を含んでいる。走査線 G

50

L 1 ~ G L n は、互いに平行に配置される。データ線 S L 1 ~ S L m は、走査線 G L 1 ~ G L n と直交するように互いに平行に配置される。走査線 G L 1 ~ G L n とデータ線 S L 1 ~ S L m は、(m × n) 箇所で交差する。(m × n) 個の画素回路 6 は、走査線 G L 1 ~ G L n とデータ線 S L 1 ~ S L m の交点の近傍に配置される。蓄積容量線 C S 1 ~ C S n は、走査線 G L 1 ~ G L n と平行に配置される。

【0012】

画素回路 6 は、トランジスタ T w (書き込み制御トランジスタ)、液晶容量 C l c、および蓄積容量 C c s を含んでいる。トランジスタ T w のゲート電極は、対応する走査線に接続される。トランジスタ T w のソース電極は、対応するデータ線に接続される。トランジスタ T w のドレイン電極は、液晶容量 C l c および蓄積容量 C c s の一方の電極に接続される。液晶容量 C l c の他方の電極は、共通電極 (図示せず) に接続される。蓄積容量 C c s の他方の電極は、対応する蓄積容量線に接続される。蓄積容量線 C S 1 ~ C S n は、液晶パネル 2 の外部に設けた蓄積容量線駆動回路 (図示せず) によって駆動される。

【0013】

走査線駆動回路 4 およびデータ線駆動回路 5 は、液晶表示装置 1 の駆動回路である。走査線駆動回路 4 は走査線 G L 1 ~ G L n を駆動し、データ線駆動回路 5 はデータ線 S L 1 ~ S L m を駆動する。表示制御回路 3 は、走査線駆動回路 4 に対して制御信号 C A を出力し、データ線駆動回路 5 に対して制御信号 C B およびデータ信号 D T を出力する。走査線駆動回路 4 は、制御信号 C A に基づき、走査線 G L 1 ~ G L n の中から 1 本の走査線を順に選択し、選択した走査線にハイレベル電位を印加する。これにより、選択された走査線に対応した m 個の画素回路 6 が一括して選択される。データ線駆動回路 5 は、制御信号 C B に基づき、データ信号 D T に応じた m 個の電圧をデータ線 S L 1 ~ S L m にそれぞれ印加する。これにより、選択された m 個の画素回路 6 に m 個の電圧がそれぞれ書き込まれる。

【0014】

走査線駆動回路 4 は、画素回路 6 と同じ製造プロセスを用いて、画素回路 6 と共に液晶パネル 2 上に形成される。データ線駆動回路 5 は、1 個以上の I C チップに内蔵される。データ線駆動回路 5 を内蔵した I C チップは、液晶パネル 2 の表面に実装される。なお、画素回路 6 と同じ製造プロセスを用いて、データ線駆動回路 5 の全部または一部を画素回路 6 と共に液晶パネル 2 上に形成してもよい。

【0015】

走査線駆動回路 4 は、液晶パネル 2 内の右側に配置されることもできる。または、異なる走査線駆動回路 4 が、液晶パネル 2 内の右側および左側にそれぞれ配置されることもできる。

【0016】

本実施形態では、ある端子経由で入力または出力される信号を当該端子と同じ名称で呼ぶ場合がある (例えば、出力端子 O U T 経由で出力される信号を出力信号 O U T という)。また、ゲート電極に与えたときにトランジスタがオンする電位をオンレベル電位、トランジスタがオフする電位をオフレベル電位という。例えば、n チャネル型 (第 1 導電型) のトランジスタについては、ハイレベル電位がオンレベル電位、ローレベル電位がオフレベル電位である。また、トランジスタの閾値電圧を V t h、ハイレベル電位を V D D、ローレベル電位を V S S とする。また、m および n は 2 以上の整数であるとする。

【0017】

(シフトレジスタ 10 の構成)

図 2 は、実施形態 1 に係る走査線駆動回路 4 に含まれるシフトレジスタ 10 の構成を示すブロック図である。図 2 に示すシフトレジスタ 10 は、n 個の単位回路 11 (段) を多段接続した構成を有する。各単位回路 11 は、複数の走査線 G L を駆動するための回路である。単位回路 11 は、入力端子 I N、クロック端子 C K A および C K B、初期化端子 I N I T、ならびに出力端子 O U T (出力ノード) を備えている。出力端子 O U T は、走査線 G L 1 ~ G L n のいずれかに接続される。表示制御回路 3 は、制御信号 C A として、ス

タート信号 S T、2 相のクロック信号 C K 1 および C K 2、ならびに初期化信号 I N I T をシフトレジスタ 1 0 に供給する。

【0018】

図 2 に示すように、スタート信号 S T は、初段の単位回路 1 1 の入力端子 I N に与えられる。クロック信号 C K 1 は、奇数段目の単位回路 1 1 のクロック端子 C K A と、偶数段目の単位回路 1 1 のクロック端子 C K B とに与えられる。クロック信号 C K 2 は、奇数段目の単位回路 1 1 のクロック端子 C K B と、偶数段目の単位回路 1 1 のクロック端子 C K A とに与えられる。初期化信号 I N I T は、n 個の単位回路 1 1 の初期化端子 I N I T に与えられる。単位回路 1 1 の出力信号 O U T は、出力信号 G O U T 1 ~ G O U T n として外部に出力されると共に、次段の単位回路 1 1 の入力端子 I N に与えられる。各単位回路 1 1 には、電源回路（図示せず）からハイレベル電位 V D D およびローレベル電位 V S S が供給される。

10

【0019】

（単位回路 1 1 の回路図）

図 3 は、実施形態 1 に係る単位回路 1 1 の回路図である。図 3 に示す単位回路 1 1 は、8 個のトランジスタ T r 1 ~ T r 8、容量 C 1、および抵抗 R 1 を含んでいる。トランジスタ T r 1 ~ T r 8 は、いずれも n チャネル型の薄膜トランジスタ（T F T）である。

【0020】

トランジスタ T r 1 のドレイン電極は、クロック端子 C K A に接続される。トランジスタ T r 1 のソース電極は、トランジスタ T r 2 のドレイン電極、トランジスタ T r 8 のゲート電極、および出力端子 O U T に接続される。トランジスタ T r 1 のゲート電極は、トランジスタ T r 3 のソース電極、およびトランジスタ T r 4 のドレイン電極に接続される。

20

【0021】

トランジスタ T r 2 のゲート電極は、トランジスタ T r 4 のゲート電極、トランジスタ T r 5 および T r 8 のドレイン電極、トランジスタ T r 7 のソース電極、および抵抗 R 1 の一端（図 3 では下端）に接続される。トランジスタ T r 3 および T r 5 のゲート電極は、入力端子 I N に接続される。トランジスタ T r 7 のゲート電極は、初期化端子 I N I T に接続される。トランジスタ T r 6 のゲート電極は、クロック端子 C K B に接続され、トランジスタ T r 6 のソース電極は抵抗 R 1 の他端に接続される。

30

【0022】

トランジスタ T r 3、T r 6、および T r 7 のドレイン電極には、ハイレベル電位 V D D が固定的に印加される。トランジスタ T r 2、T r 4、T r 5、および T r 8 のソース電極には、ローレベル電位 V S S が固定的に印加される。容量 C 1 は、トランジスタ T r 1 のゲート電極とソース電極との間に設けられる。以下、トランジスタ T r 1 のゲート電極が接続されたノードを n 1（第 1 ノード）といい、トランジスタ T r 2 のゲート電極が接続されたノードを n 2（第 2 ノード）という。

【0023】

トランジスタ T r 4 は、互いに分離された遮光膜 1 2 a および 1 2 b を備えている。遮光膜 1 2 a および 1 2 b は、トランジスタ T r 4 のチャネル部を遮光する。遮光膜 1 2 a および 1 2 b は、他の導電性部材（配線や電極など）には接続されず、電氣的に孤立するように形成される。遮光膜 1 2 a および 1 2 b は、常にフローティング状態である。遮光膜 1 2 a および 1 2 b の電位は、直接制御したり、固定したりすることができない。トランジスタ T r 1 ~ T r 3 および T r 5 ~ T r 8 は、遮光膜 1 2 a および 1 2 b を備えていない。

40

【0024】

（タイミングチャート）

図 4 は、実施形態 1 に係るシフトレジスタ 1 0 の通常動作時のタイミングチャートである。シフトレジスタ 1 0 は、初期化信号 I N I T がハイレベルのときには初期化を行い、初期化信号 I N I T がローレベルのときには通常動作を行う。通常動作時には、初期化信

50

号 I N I T はローレベルであるので、トランジスタ T r 7 はオフする。このため、トランジスタ T r 7 は、シフトレジスタ 1 0 の通常動作に影響を与えない。

【0025】

通常動作時には、クロック信号 C K 1 は、所定の周期でハイレベルとローレベルになる。クロック信号 C K 1 のハイレベル期間は、 $1/2$ 周期よりも短い。クロック信号 C K 2 は、クロック信号 C K 1 を $1/2$ 周期遅延させた信号である。スタート信号 S T は、期間 t 0 内のクロック信号 C K 2 のハイレベル期間でハイレベルになる。

【0026】

期間 t 0 において、初段の単位回路 1 1 に入力されるスタート信号 S T が、ハイレベルに変化する。このため、トランジスタ T r 3 はオンし、ノード n 1 の電位は ($VDD - V_{th}$) 程度にプリチャージされる。途中でノード n 1 の電位がトランジスタのオンレベルを超えると、トランジスタ T r 1 はオンする。このときクロック信号 C K 1 はローレベルであるので、出力信号 O U T はローレベルのままである。

【0027】

スタート信号 S T がハイレベルに変化すると、トランジスタ T r 5 はオンする。このときクロック信号 C K 2 はハイレベルであるので、トランジスタ T r 6 もオンする。トランジスタ T r 6 のソース電極とノード n 2 との間には抵抗 R 1 が設けられているので、トランジスタ T r 5 および T r 6 が共にオンすると、ノード n 2 の電位はローレベル電位 V S S に近い電位 (トランジスタのオフ電位) になる。このため、トランジスタ T r 2 および T r 4 はオフする。期間 t 0 の後半部で、スタート信号 S T はローレベルに変化する。このため、トランジスタ T r 3 および T r 5 はオフする。これ以降、ノード n 1 はフローティング状態でハイレベル電位を保持する。

【0028】

期間 t 1 では、クロック信号 C K 1 はハイレベルに変化する。このときトランジスタ T r 1 はオン状態であるので、出力端子 O U T の電位は上昇し、出力信号 O U T はハイレベルになる。これに伴い、容量 C 1 およびトランジスタ T r 1 の寄生容量を介して、フローティング状態であるノード n 1 の電位が突き上げられ、これによりノード n 1 の電位は ($2 \times VDD - V_{th}$) 付近まで上昇する (ブートストラップ動作)。ノード n 1 の電位が ($VDD + V_{th}$) よりも高くなるので、出力端子 O U T の電位はクロック信号 C K 1 のハイレベル電位 V D D (閾値落ちのないハイレベル電位) に等しくなる。このとき、トランジスタ T r 8 がオンすることによって、ノード n 2 の電位を確実にローレベル電位 V S S に固定することができる。期間 t 1 の後半部において、クロック信号 C K 1 はローレベルに変化する。このため、出力信号 O U T はローレベルになり、ノード n 1 の電位は期間 t 0 と同じ電位 ($VDD - V_{th}$) に戻り、トランジスタ T r 8 はオフする。

【0029】

期間 t 2 では、クロック信号 C K 2 はハイレベルに変化する。このため、トランジスタ T r 6 がオンすることによって、ノード n 2 にハイレベル電位が印加される。このときトランジスタ T r 5 はオフ状態であるので、ノード n 2 の電位は ($VDD - V_{th}$) になる。このため、トランジスタ T r 4 がオンすることによって、ノード n 1 の電位はローレベルになり、かつトランジスタ T r 1 はオフする。途中でノード n 2 の電位がトランジスタのオンレベルを超えると、トランジスタ T r 2 がオンすることによって、出力信号 O U T は再びローレベルに固定される。

【0030】

期間 t 2 の後半部において、クロック信号 C K 2 はローレベルに変化する。このため、トランジスタ T r 6 はオフする。これ以降、クロック信号 C K 2 のハイレベル期間では、トランジスタ T r 6 がオンすることによって、ノード n 2 にはハイレベル電位が印加される。クロック信号 C K 2 のローレベル期間では、ノード n 2 はフローティング状態でハイレベル電位を保持する。このように初段の単位回路 1 1 の出力信号 O U T は、期間 t 1 内のクロック信号 C K 1 のハイレベル期間でハイレベル (電位は V D D) になる。

【0031】

初段の単位回路 1 1 の出力信号 O U T は、2 段目の単位回路 1 1 の入力端子 I N に与えられる。2 段目の単位回路 1 1 は、期間 $t_1 \sim t_3$ において、初段の単位回路 1 1 の期間 $t_0 \sim t_2$ と同様に動作する。2 段目の単位回路 1 1 の出力信号 O U T は、3 段目の単位回路 1 1 の入力端子 I N に与えられる。3 段目の単位回路 1 1 は、期間 $t_2 \sim t_4$ において、初段の単位回路 1 1 の期間 $t_0 \sim t_2$ と同様に動作する。 n 個の単位回路 1 1 は、クロック信号 C K 1 の $1/2$ 周期ずつ遅れながら同様の動作を順に行う。したがって、シフトレジスタ 1 0 の出力信号 G O U T 1 $\sim$ G O U T n は、クロック信号 C K 1 の $1/2$ 周期ずつ遅れながら、クロック信号 C K 1 のハイレベル期間と同じ長さの時間だけ順にハイレベルになる。

【0032】

言い換えると、2 段目の単位回路 1 1 は、期間 t_1 では初段の単位回路 1 1 の出力信号 O U T が 2 段目の単位回路 1 1 の入力端子 I N に入力されることによって、ノード n_1 をプリチャージする。2 段目の単位回路 1 1 は、期間 t_2 において出力信号 O U T を出力する。期間 t_3 では、クロック信号 C K 1 が 2 段目の単位回路 1 1 の入力端子 C K B に入力されることによって、2 段目の単位回路 1 1 は、ノード n_1 をディスチャージし、かつ、出力信号 O U T をディスチャージする。3 段目の単位回路 1 1 から最終段の単位回路 1 1 までが、このような動作を繰り返すことによって、入力信号としてクロック信号 C K 1 および C K 2 と前段の単位回路 1 1 の出力信号 O U T とのみを用いるシフトレジスタ 1 0 を、実現することができる。

【0033】

単位回路 1 1 の初期化時には、初期化信号 I N I T がハイレベルに変化する。このとき、トランジスタ T r 7 がオンし、ノード n_2 の電位は ($V_{DD} - V_{th}$) になる。このため、トランジスタ T r 4 はオンし、ノード n_1 の電位はローレベルになり、トランジスタ T r 1 はオフする。また、トランジスタ T r 2 がオンし、出力信号 O U T はローレベルになる。

【0034】

単位回路 1 1 は、トランジスタ T r 8 を含まなくても、上記と同様に動作する。ただし、トランジスタ T r 8 を含まない単位回路 1 1 は、ノード n_2 がフローティング状態であるときにノイズの影響を受けやすい。

【0035】

(トランジスタ T r)

図 5 は、実施形態 1 に係るトランジスタ T r の構成を示す図である。トランジスタ T r は、下層から順に、遮光膜層、半導体層、ゲート層、およびソース層を積層することにより形成される。半導体層は、例えば、ポリシリコンを用いて形成される。

【0036】

トランジスタ T r は、遮光膜 1 2 a および 1 2 b、ゲート電極 1 3 a および 1 3 b (制御電極)、ソース電極 1 4 (第 2 導通電極)、ドレイン電極 1 5 (第 1 導通電極)、ならびに半導体部 1 6 を備えている。遮光膜 1 2 a および 1 2 b は、遮光膜層に形成され、半導体部 1 6 は半導体層に形成され、ゲート電極 1 3 a および 1 3 b はゲート層に形成され、ソース電極 1 4 およびドレイン電極 1 5 はソース層に形成される。

【0037】

ソース電極 1 4 はドレイン電極 1 5 は、所定の間隔を空けて形成される。半導体部 1 6 は、ソース電極 1 4 とドレイン電極 1 5 との間に形成される。ゲート電極 1 3 a および 1 3 b は、ソース電極 1 4 とドレイン電極 1 5 との間に半導体部 1 6 と平面視で重なるように形成される。半導体部 1 6 のうちゲート電極 1 3 a または 1 3 b と平面視で重なる部分が、トランジスタ T r のチャネル部 (チャネルが形成される部分) となる。遮光膜 1 2 a と遮光膜 1 2 b とは、所定の距離を空けて形成される。ゲート電極 1 3 a とゲート電極 1 3 b とは、所定の距離を空けて形成される。遮光膜 1 2 a とゲート電極 1 3 a とは平面視で重畳し、遮光膜 1 2 b とゲート電極 1 3 b とは平面視で重畳する。ソース電極 1 4 および半導体部 1 6 は、コンタクトホール 1 7 を用いて電氣的に接続されるドレイン電極 1 5

10

20

30

40

50

および半導体部 16 は、コンタクトホール 18 を用いて電氣的に接続される。。

【0038】

図 3 の単位回路 11 では、トランジスタ $T_r 4$ が、遮光膜 12 a および 12 b を備えているトランジスタ T_r である。その他のトランジスタ $T_r 1 \sim T_r 3$ および $T_r 5 \sim T_r 8$ は、遮光膜 12 a および 12 b を備えていない。

【0039】

(トランジスタ T_r の等価回路)

図 6 は、実施形態 1 に係るトランジスタ T_r の等価回路を示す模式図である。図 6 に示すように、トランジスタ T_r には容量 $C 11 \sim C 16$ が形成される。詳細には、遮光膜 12 a とソース電極 14 とが平面視で重なることによって、遮光膜 12 a とソース電極 14 との間に容量 $C 11$ が形成される。遮光膜 12 a とゲート電極 13 a とが平面視で重なることによって、遮光膜 12 a とゲート電極 13 a との間に容量 $C 12$ が形成される。遮光膜 12 a と半導体部 16 とが平面視で重なることによって、遮光膜 12 a と半導体部 16 との間に容量 $C 13$ が形成される。遮光膜 12 b と半導体部 16 とが平面視で重なることによって、遮光膜 12 b と半導体部 16 との間に容量 $C 14$ が形成される。遮光膜 12 b とゲート電極 13 b とが平面視で重なることによって、遮光膜 12 b とゲート電極 13 b との間に容量 $C 15$ が形成される。遮光膜 12 b とドレイン電極 15 とが平面視で重なることによって、遮光膜 12 b とドレイン電極 15 との間に容量 $C 16$ が形成される。

【0040】

図 5 に示すシフトレジスタ 10 の駆動例では、トランジスタ $T_r 4$ のゲート電位はハイレベル電位になっている。これにより、トランジスタ $T_r 4$ のゲート電位には長期間（または常に）正のバイアスが与えられるため、光シフトによって閾値電圧がシフトする恐れがある。しかしトランジスタ $T_r 4$ が遮光膜 12 a および 12 b を備えていることによって、光シフトによる閾値電圧シフトを抑制することができるので、シフトレジスタ 10 の誤動作を防ぐことができる。

【0041】

トランジスタ T_r では、ゲート電極 13 が、2 つのゲート電極 13 a およびゲート電極 13 b に分割されている。トランジスタ T_r の耐圧特性はゲート長（ L 長）によって決まるので、トランジスタ T_r におけるトータルのゲート長を十分に長くすることができれば、トランジスタ T_r の耐圧特性を十分に高めることができる。遮光膜 12 は、ゲート電極の分割に対応して、2 つの遮光膜 12 a および 12 b に分割されている。

【0042】

図 7 は、実施形態 1 に係る単位回路 11 に含まれるトランジスタ $T_r 4$ が遮光膜 12 a および 12 b を備えている場合の、シフトレジスタ 10 の通常動作時のタイミングチャートである。図 5 の単位回路 11 において、トランジスタ $T_r 4$ のソース電極 14 はノード $n 1$ に接続され、トランジスタ $T_r 4$ のドレイン電極 15 にはローレベル電位 V_{SS} が固定的に印加される。初段の単位回路 11（ $SR 1$ ）において、ノード $n 1$ がハイレベル電位になる場合、トランジスタ $T_r 4$ の遮光膜 12 a は、フローティング状態にある。このとき、トランジスタ $T_r 4$ の遮光膜 12 b がノード $n 1$ に接続されているため、遮光膜 12 b の電位は、容量 $C 11$ のカップリングの影響を受けて、ハイレベル側に浮いてしまう。一方、トランジスタ $T_r 4$ の遮光膜 12 a は、ノード $n 1$ に接続されていないため、容量 $C 11$ のカップリングの影響を受けることなく、その電位がハイレベル側に浮くことがない。これにより、トランジスタ $T_r 4$ に、遮光膜 12 a がゲート電極のように機能する効果（バックゲート効果）が働かないので、 $n 1$ ノードが開くことがない。この結果、単位回路 11 はブートストラップすることができるので、単位回路 11 の出力信号 OUT の電位は低下することがない。したがって、シフトレジスタ 10 の誤動作を防止することができる。

【0043】

以上のように、本実施形態では、トランジスタ $T_r 4$ に補助容量を追加することなく、誤動作しないシフトレジスタ 10 を実現することができる。トランジスタ $T_r 4$ に補助容

量を追加する必要がないので、トランジスタT r 4のサイズを縮小することができ、その結果として、単位回路1 1およびシフトレジスタ1 0のサイズをも縮小することができる。

【0044】

(比較例)

図8は、比較例に係るトランジスタT r Bを示す図である。図8に示すトランジスタT r Bは、遮光膜1 2、ゲート電極1 3、ソース電極1 4、ドレイン電極1 5、および半導体部1 6を備えている。図5に示すトランジスタT rとは異なり、トランジスタT r Bでは、遮光膜1 2およびゲート電極1 3はいずれも分割されていない。言い換えれば、トランジスタT r Bは、1つの遮光膜1 2および1つのゲート電極1 3を備えている。

10

【0045】

図9は、比較例に係るトランジスタT r Bの等価回路を示す図である。図9に示すトランジスタT r Bには、容量C 2 1～C 2 4が形成される。詳細には、遮光膜1 2とソース電極1 4とが平面視で重なることによって、遮光膜1 2とソース電極1 4との間に容量C 2 1が形成される。遮光膜1 2とゲート電極1 3とが平面視で重なることによって、遮光膜1 2とゲート電極1 3との間に容量C 2 2が形成される。遮光膜1 2と半導体部1 6とが平面視で重なることによって、遮光膜1 2と半導体部1 6との間に容量C 2 3が形成される。遮光膜1 2とドレイン電極1 5とが平面視で重なることによって、遮光膜1 2とドレイン電極1 5との間に容量C 2 4が形成される。

20

【0046】

図10は、比較例に係る単位回路1 1に含まれるトランジスタT r 4が遮光膜1 2 aおよび1 2 bを備えていない場合の、シフトレジスタ1 0の通常動作時のタイミングチャートである。図10の例は、単位回路1 1に含まれるトランジスタT r 4が、図8に示すトランジスタT r Bと同一の構成を有する。トランジスタT r 4のソース電極1 4はノードn 1に接続され、トランジスタT r 4のドレイン電極1 5はローレベル電位V S Sが固定的に印加される。初段の単位回路1 1 (S R 1)において、ノードn 1がハイレベル電位になる場合、トランジスタT r 4の遮光膜1 2は、フローティング状態にある。そのため、遮光膜1 2の電位は、容量C 1 2のカップリングの影響を受けて、ハイレベル側に浮いてしまう。その際、トランジスタT r 4にバックゲート効果が働くことによって、トランジスタT r 4が半オン状態になるので、ノードn 1が開いてしまう。その結果、単位回路1 1はブートストラップすることができないので、単位回路1 1の出力信号O U Tの電位が低下してしまう。

30

【0047】

シフトレジスタ1 0に関する上述した動作から、単位回路1 1内のトランジスタT r 1～T r 8をオンデューティに基づいて2つのグループ(第1グループおよび第2グループ)に分類することができる。例えば、比較的高い(50パーセント以上の)オンデューティでオン・オフ状態が制御されるトランジスタを第1グループに分類し、比較的低い(50パーセント未満の)オンデューティでオン・オフ状態が制御されるトランジスタを第2グループに分類することができる。そうすると、トランジスタT r 2およびT r 4は第1グループに分類され、トランジスタT r 1、T r 3、およびT r 5～T r 8は第2グループに分類される。そして、本実施形態においては、第1グループに含まれるトランジスタのうち上述したようにトランジスタT r 4のみが遮光膜1 2 aおよび1 2 bを備えている。

40

【0048】

本実施形態によれば、各単位回路1 1に設けられている8個のトランジスタT r 1～T r 8のうちの一部のトランジスタ(トランジスタT r 4)のみが、遮光膜1 2 aおよび1 2 bを備えている。トランジスタT r 1～T r 3およびT r 5～T r 8は遮光膜1 2 aおよび1 2 bを備えていないので、トランジスタT r 1～T r 3およびT r 5～T r 8でのオフリークに起因する誤動作が生じることはない。また、トランジスタT r 1～T r 8のすべてが遮光膜1 2 aおよび1 2 bを備えている場合とは異なり、本実施形態に係るシフ

50

トレジスタ10では、配線間に無駄な負荷（容量）が増大することはない。したがって、トランジスタTr1～Tr8のすべてが遮光膜12aおよび12bを備えている場合に生じるような誤動作が、本実施形態に係るシフトレジスタ10に生じることもない。

【0049】

〔実施形態2〕

図11は、実施形態2に係る単位回路11の構成図である。図11に示す単位回路11は、シフトレジスタ10を構成する複数の単位回路11のうちの1つである。本実施形態において、液晶表示装置1およびシフトレジスタ10の構成は、実施形態と同一である。図11に示す単位回路11は、9個のトランジスタTr1～Tr9、容量C1、および抵抗R1を含んでいる。トランジスタTr1～Tr9は、いずれもnチャネル型のTFTである。

10

【0050】

本実施形態では、単位回路11におけるトランジスタTr1～Tr8、容量C1、および抵抗R1の配置および接続は、基本的に、実施形態1に係る単位回路11と同一である。本実施形態では、トランジスタTr9のゲート電極には、ハイレベル電位VDDが固定的に印加される。トランジスタTr9のソース電極は、トランジスタTr3のソース電極およびトランジスタTr4のドレイン電極に接続される。トランジスタTr4のドレイン電極は、トランジスタTr9を介してノードn1に接続される。トランジスタTr9のドレイン電極は、トランジスタTr1のゲート電極および容量C1に接続される。トランジスタTr1のゲート電極は、図3の単位回路11とは異なり、トランジスタTr3のソース電極およびトランジスタTr4のドレイン電極には接続されない。

20

【0051】

本実施形態では、トランジスタTr1～Tr8は、遮光膜12aおよび12bを備えていない。一方、トランジスタTr9は、図5に示すトランジスタTrと同一の構成を有する。言い換えれば、トランジスタTr9は、遮光膜12aおよび12bならびにゲート電極13aおよび13bを備えている。

【0052】

本実施形態においては、トランジスタTr1によって出力制御トランジスタが実現され、トランジスタTr2によって出力ノードターンオフトランジスタが実現され、トランジスタTr4によって第1ノードターンオフトランジスタが実現され、トランジスタTr9によって分圧トランジスタが実現され、トランジスタTr3と入力端子INとハイレベル電位VDD用の入力端子VDDとによって第1ノードターンオン部が実現されている。第1ノードターンオン部は、他の段の単位回路11の出力端子OUTから出力される出力信号OUTに基づいて、ノードn1のレベルをオンレベルに向けて変化させるための役割を有する。

30

【0053】

本実施形態に係るシフトレジスタ10の通常駆動時、トランジスタTr9のゲート電位はハイレベル電位になっている。これにより、トランジスタTr9のゲート電位には正のバイアスが長時間与えられるため、光シフトによって閾値電圧がシフトする恐れがある。しかし、トランジスタTr9が遮光膜12aおよび12bを備えていることによって、光シフトによる閾値電圧のシフトを抑制することができるので、シフトレジスタ10の誤動作を防ぐことができる。さらに、トランジスタTr9に補助容量を追加する必要がないので、トランジスタTr9のサイズを縮小することができ、その結果として、単位回路11およびシフトレジスタ10のサイズをも縮小することができる。

40

【0054】

トランジスタTr9は、第1グループに分類されるトランジスタである。本実施形態によれば、各単位回路11に設けられている9個のトランジスタTr1～Tr9のうちの一部のトランジスタ（トランジスタTr9）のみが、遮光膜12aおよび12bを備えている。トランジスタTr1～Tr8は遮光膜12aおよび12bを備えていないので、トランジスタTr1～Tr8でのオフリークに起因する誤動作が生じることはない。また、ト

50

ランジスタ $T r 1 \sim T r 9$ のすべてが遮光膜 $1 2 a$ および $1 2 b$ を備えている場合とは異なり、本実施形態に係るシフトレジスタ $1 0$ では、配線間に無駄な負荷（容量）が増大することはない。したがって、ランジスタ $T r 1 \sim T r 9$ のすべてが遮光膜 $1 2 a$ および $1 2 b$ を備えている場合に生じるような誤動作が、本実施形態に係るシフトレジスタ $1 0$ に生じることもない。

【0055】

〔実施形態3〕

図12は、実施形態3に係る走査線駆動回路4を含む液晶表示装置1の構成を示すブロック図である。図12に示す液晶表示装置1は、液晶パネル2、表示制御回路3、走査線駆動回路4、データ線駆動回路5、およびタッチ検出回路7を備えている。図12では、表示制御回路3、データ線駆動回路5、および画素回路6の図示を省略している。

10

【0056】

本実施形態では、画素回路6を構成する共通電極が、マトリックス状に配置される複数のセグメント電極8に分割されている。複数のセグメント電極8のそれぞれは、タッチ検出回路7に接続されている。これにより液晶表示装置1は、セグメントインセルタッチパネルとしての機能を有する。液晶表示装置1は、ユーザによって画面がタッチされているか否かを、タッチ検出回路7およびセグメント電極8を用いて検出する。

【0057】

図13は、実施形態3に係る液晶表示装置1が動作する際の1垂直期間の詳細を示す図である。図13において、1Hは一つの水平期間を意味し、1Vは一つの垂直期間を意味し、TP期間はユーザによるタッチを検出するための期間を意味する。図13に示すように、本実施形態では、液晶パネル2に情報を表示するための異なる表示期間の間に、1つのTP期間が挿入されている。図13では、1つの垂直期間は16.67msであり、1つの表示期間は1~200水平期間であり、1つのTP期間は0.2msである。これらの値はあくまでも一例に過ぎない。

20

【0058】

図14は、実施形態3に係る単位回路11の回路図である。図14に示す単位回路11は、シフトレジスタ10を構成する複数の単位回路11のうちの1つである。図14に示す単位回路11は、8個のランジスタ $T r 1 \sim T r 8$ 、容量 $C 1$ 、および抵抗 $R 1$ を含んでいる。ランジスタ $T r 1 \sim T r 8$ は、いずれもnチャネル型のTFTである。本実施形態では、単位回路11におけるランジスタ $T r 1 \sim T r 8$ 、容量 $C 1$ 、および抵抗 $R 1$ の配置および接続は、実施形態1に係る単位回路11と同一である。

30

【0059】

本実施形態では、ランジスタ $T r 2 \sim T r 8$ は、遮光膜 $1 2 a$ および $1 2 b$ を備えていない。一方、ランジスタ $T r 1$ は、図5に示すランジスタ $T r$ と同一の構成を有する。言い換えれば、ランジスタ $T r 1$ は、遮光膜 $1 2 a$ および $1 2 b$ ならびにゲート電極 $1 3 a$ および $1 3 b$ を備えている。

【0060】

本実施形態において、ノード $n 1$ は、自段の単位回路11のプリチャージ時および出力時にのみ、ハイレベル電位になっており、それ以外の期間ではローレベル電位になっている。これにより、ランジスタ $T r 1$ のゲート電位には負のバイアスが長期間（または常に）与えられるため、光シフトによって閾値電圧がシフトする恐れがある。

40

【0061】

図15は、実施形態3に係るシフトレジスタ10の通常動作時のタイミングチャートである。本実施形態に係る液晶表示装置1は、タッチ検出のために、液晶パネル2のスクラン中に休止期間を設ける必要がある。図15において、休止期間とは、クロック信号 $C K 1$ および $C K 2$ の出力を止めている期間 $t 3 \sim t 6$ のことである。液晶表示装置1が、液晶パネル2のスクランを途中で休止する駆動を実行した場合、ランジスタ $T r 1$ に印加されるオンストレス時間が、ゲートライン $G L$ によって異なる。これにより、隣接するゲートライン $G L$ 間で書き込み電圧の劣化量が異なることによって、液晶パネル2にスジが

50

発生する恐れがある。しかし、トランジスタ T_{r1} が遮光膜 12a および 12b を備えているので、光シフトによる閾値電圧のシフトが抑制され、これにより液晶パネル 2 にスジが発生することを防止できる。また、トランジスタ T_{r1} に補助容量を追加する必要がないので、トランジスタ T_{r1} のサイズを縮小することができ、その結果として、単位回路 11 およびシフトレジスタ 10 のサイズをも縮小することができる。

【0062】

本実施形態では、第 2 グループに含まれるトランジスタのうちの一部のトランジスタ（トランジスタ T_{r1} ）のみが、遮光膜 12a および 12b を備えている。トランジスタ $T_{r2} \sim T_{r8}$ は遮光膜 12a および 12b を備えていないので、トランジスタ $T_{r2} \sim T_{r8}$ でのオフリークに起因する誤動作が生じることはない。また、トランジスタ $T_{r1} \sim T_{r8}$ のすべてが遮光膜 12a および 12b を備えている場合とは異なり、本実施形態に係るシフトレジスタ 10 では、配線間に無駄な負荷（容量）が増大することはない。したがって、トランジスタ $T_{r1} \sim T_{r8}$ のすべてが遮光膜 12a および 12b を備えている場合に生じるような誤動作が、本実施形態に係るシフトレジスタ 10 に生じることもない。

【0063】

〔実施形態 4〕

図 16 は、実施形態 4 に係る走査線駆動回路 4 に含まれるシフトレジスタ 10 の構成を示すブロック図である。本実施形態に係る液晶表示装置 1 の全体的な構成は、実施形態 2 に係る液晶表示装置 1 と同一であるため、その説明を省略する。図 2 に示すシフトレジスタ 10 は、 n 個の単位回路 11 を多段接続し、かつ、 n 個のスイッチ回路 21 を多段接続した構成を有する。単位回路 11 は、実施形態 1 に係る単位回路 11 と同一の構成を有する。スイッチ回路 21 は、入力端子 INu および INd 、ならびに出力端子 OUT を備えている。

【0064】

図 16 に示すように、各スイッチ回路 21 には、順方向 UD および逆方向信号 UDB が与えられる。スタート信号 ST は、初段のスイッチ回路 21 の入力端子 INu に与えられる。初段のスイッチ回路 21 の出力信号 OUT は、初段の単位回路 11 の入力端子 IN に与えられる。初段の単位回路 11 の出力信号 OUT は、出力信号 $GOUT1$ として外部に出力されると共に、2 段目のスイッチ回路 21 の入力端子 INu に与えられる。2 段目のスイッチ回路 21 の出力信号 OUT は、3 段目の単位回路 11 の入力端子 IN に与えられる。2 段目の単位回路 11 の出力信号 OUT は、出力信号 $GOUT2$ として外部に出力されると共に、初段のスイッチ回路 21 の入力端子 INd および 3 段目のスイッチ回路 21 の入力端子 INu にそれぞれ与えられる。

【0065】

一般化すると、 k （ k は 1 以上かつ n 以下の整数）段目のスイッチ回路 21 の出力信号 OUT は、 k 段目の単位回路 11 の入力端子 IN に入力される。 j （ j は 2 以上かつ n 未満の整数）段目の単位回路 11 の出力信号 OUT は、出力信号 $GOUTj$ として外部に出力されると共に、 $j - 1$ 段目のスイッチ回路 21 の入力端子 INd および $j + 1$ 段目のスイッチ回路 21 の入力端子 INd に入力される。 n 段目の単位回路 11 の出力信号 OUT は、出力信号 $GOUTn$ として外部に出力されると共に、 $n - 1$ 段目のスイッチ回路 21 の入力端子 INd に入力される。

【0066】

各単位回路 11 に対する初期化信号 $INIT$ およびクロック信号 $CK1$ ならびに $CK2$ の入力パターンは、実施形態 1 と同一であるため、説明を省略する。

【0067】

（スイッチ回路 21 の構成例）

図 17 は、実施形態 4 に係るスイッチ回路 21 の構成例を示す図である。図 17 の例では、スイッチ回路 21 は、トランジスタ T_{r10} および T_{r11} を備えている。トランジスタ T_{r10} および T_{r11} は、いずれも、図 5 に示すトランジスタ T_r である。言い換

えれば、トランジスタ $T r 1 0$ および $T r 1 1$ は、遮光膜 $1 2 a$ および $1 2 b$ を備えている。

【0068】

図17に示すスイッチ回路21では、トランジスタ $T r 1 0$ のドレイン電極は、入力端子 $I N u$ に接続される。トランジスタ $T r 1 0$ のゲート電極には、順方向信号 $U D$ が与えられる。トランジスタ $T r 1 0$ のソース電極は、出力端子 $O U T$ およびトランジスタ $T r 1 1$ のソース電極に接続される。トランジスタ $T r 1 1$ のドレイン電極は、入力端子 $I N d$ に接続される。トランジスタ $T r 1 1$ のゲート電極には、逆方向信号 $U D B$ が与えられる。トランジスタ $T r 1 1$ のソース電極は、出力端子 $O U T$ およびトランジスタ $T r 1 0$ のソース電極に接続される。

10

【0069】

図18は、実施形態に係るスイッチ回路21の他の構成例を示す図である。図18の例では、スイッチ回路21は、トランジスタ $T r 1 0$ 、 $T r 1 1$ 、 $T r 1 2$ 、および $T r 1 3$ を備えている。トランジスタ $T r 1 0 \sim T r 1 3$ は、いずれも、図5に示すトランジスタ $T r$ である。言い換えれば、トランジスタ $T r 1 0 \sim T r 1 3$ は、遮光膜 $1 2 a$ および $1 2 b$ を備えている。

【0070】

図18に示すスイッチ回路21では、トランジスタ $T r 1 0$ のドレイン電極は、入力端子 $I N u$ に接続されている。トランジスタ $T r 1 0$ のゲート電極は、トランジスタ $T r 1 2$ のドレイン電極に接続される。トランジスタ $T r 1 0$ のソース電極は、出力端子 $O U T$ およびトランジスタ $T r 1 1$ のソース電極に接続される。トランジスタ $T r 1 1$ のドレイン電極は、入力端子 $I N d$ に接続される。トランジスタ $T r 1 1$ のゲート電極は、トランジスタ $T r 1 3$ のソース電極に接続される。トランジスタ $T r 1 2$ のドレイン電極には $U D$ 信号が与えられ、トランジスタ $T r 1 2$ のゲート電極にはハイレベル電位 $V D D$ が固定的に印加される。トランジスタ $T r 1 3$ のドレイン電極には逆方向信号 $U D B$ が与えられ、トランジスタ $T r 1 3$ のゲート電極にはハイレベル電位 $V D D$ が固定的に印加される。

20

【0071】

(タイミングチャート)

図19は、実施形態4に係るシフトレジスタ10の通常動作時のタイミングチャートである。各单位回路11の動作は、実施形態1と同一であるため、詳細な説明を省略する。図19の例では、ハイレベル電位の順方向信号 $U D$ 信号およびローレベル電位の逆方向信号 $U D B$ が、各スイッチ回路21に常に与えられるので、トランジスタ $T r 1 0$ が常にオン状態になり、トランジスタ $T r 1 1$ は常にオフ状態になる。この場合、スイッチ回路21からは、入力端子 $I N u$ に入力される信号および入力端子 $I N d$ に入力される信号のうち、入力端子 $I N u$ に入力される信号が常に出力信号 $O U T$ として出力される。これにより、“1段目から n 段目”の順序で、単位回路11から出力される出力信号 $O U T$ が順次にハイレベルとなる。

30

【0072】

逆に、ローレベルの $U D$ 信号およびハイレベルの逆方向信号 $U D B$ が、各スイッチ回路21に常に与えられる場合、トランジスタ $T r 1 0$ が常にオフ状態になり、トランジスタ $T r 1 1$ は常にオン状態になる。この場合、スイッチ回路21からは、入力端子 $I N u$ に入力される信号および入力端子 $I N d$ に入力される信号のうち、入力端子 $I N d$ に入力される信号が常に出力信号 $O U T$ として出力される。これにより、“ n 段目から1段目”の順序で、単位回路11から出力される出力信号 $O U T$ が順次にハイレベルとなる。

40

【0073】

各スイッチ回路21が図17に示す構成を有する場合、図19に示す駆動例では、トランジスタ $T r 1 0$ のゲート電位は常にハイレベル電位に維持されている。そのため、トランジスタ $T r 1 0$ のゲート電極には常にバイアスが与えられるので、光シフトによって閾値電圧がシフトする恐れがある。しかし、トランジスタ $T r 1 0$ が遮光膜 $1 2 a$ および $1 2 b$ を備えていることによって、光シフトによる閾値電圧シフトを抑制することができる

50

ので、シフトレジスタ10の誤動作を防ぐことができる。

【0074】

各スイッチ回路21が図18に示す構成を有する場合、図19に示す駆動例では、トランジスタTr10、Tr12、およびTr13のゲート電位は常にハイレベル電位に維持されている。そのため、トランジスタTr10、Tr12、およびTr13のには常にバイアスが与えられるので、光シフトによって閾値電圧がシフトする恐れがある。しかし、トランジスタTr10、Tr12、およびTr13が遮光膜12aおよび12bを備えていることによって、光シフトによる閾値電圧シフトを抑制することができるので、シフトレジスタ10の誤動作を防ぐことができる。

【0075】

〔実施形態5〕

図20は、実施形態5に係る走査線駆動回路4に含まれるシフトレジスタ10の構成を示すブロック図である。本実施形態に係る液晶表示装置1の全体的な構成は、実施形態2に係る液晶表示装置1と同一であるため、その説明を省略する。図20に示すシフトレジスタ10は、 n 個の単位回路11を多段接続した構成を有する。単位回路11は、クロック端子CKA、入力端子SおよびR、初期化INIT、ならびに出力端子OUTを有する。

【0076】

図20に示すように、スタート信号STは、初段の単位回路11の入力端子Sに与えられる。クロック信号CK1は、奇数段目の単位回路11のクロック端子CKAに与えられる。クロック信号CK2は、偶数段目の単位回路11のクロック端子CKAに与えられる。クロック信号CK1およびCK2は、いずれか一方がハイレベル電位になり、もう一方がローレベル電位になるように、制御される。初期化信号INITは、 n 個の単位回路11の初期化端子INITに与えられる。

【0077】

初段の単位回路11の出力信号OUTは、出力信号GOUT1として外部に出力されると共に、2段目の単位回路11の入力端子Sに与えられる。2段目の単位回路11の出力信号OUTは、出力信号GOUT2として外部に出力されると共に、初段の単位回路11の入力端子Rおよび3段目の単位回路11の入力端子Sに与えられる。一般化すると、 k (k は2以上かつ n 以下の整数)段目の単位回路11の出力信号OUTは、出力信号GOUT k として外部に出力されると共に、 $k-1$ 段目のスイッチ回路21の入力端子Rおよび $k+1$ 段目のスイッチ回路21の入力端子Sに与えられる。 n 段目の単位回路11の出力信号OUTは、出力信号GOUT n として外部に出力されると共に、 $n-1$ 段目のスイッチ回路21の入力端子Rに与えられる。

【0078】

(単位回路11の構成例)

図21は、実施形態5に係る単位回路11の構成を示す図である。図21に示す単位回路11は、CMOS回路の一例である。図21に示す単位回路11は、セットリセットフリップフロップ(RSフリップフロップ)31、ならびにトランジスタTr14、Tr15、およびTr16を備えている。トランジスタTr14およびTr16は、 n チャンネル型のTFTであり、トランジスタTr15は、 p チャンネル型(第2導電型)のTFTである。トランジスタTr14およびTr15は、第2グループのトランジスタに含まれる。トランジスタTr16は、第1グループのトランジスタに含まれる。本実施形態では、トランジスタTr14およびTr16は、遮光膜12aおよび12bを備えていない。一方、トランジスタTr15は、図5に示すトランジスタTrと同一の構成を有する。言い換えれば、トランジスタTr15のみが、遮光膜12aおよび12bを備えている。

【0079】

本実施形態においては、トランジスタTr14によって第1出力制御トランジスタが実現され、トランジスタTr15によって第2出力制御トランジスタが実現され、トランジスタTr16によって出力ノードターンオフトランジスタが実現されている。

【0080】

RSフリップフロップ31は、入力端子SおよびR、初期化端子INIT、ならびに出力信号QおよびQBを有する。単位回路11の入力端子SおよびRは、RSフリップフロップ31の入力端子SおよびRにそれぞれ個別に接続される。単位回路11の初期化端子INITは、RSフリップフロップ31の初期化端子INITに接続される。

【0081】

トランジスタTr14のゲート電極は、RSフリップフロップ31の出力端子Qに接続される。トランジスタTr14のソース電極は、単位回路11のクロック端子CKAおよびトランジスタTr15のソース電極に接続される。トランジスタTr14のドレイン電極は、単位回路11の出力端子OUT、トランジスタTr15のドレイン電極、およびトランジスタTr16のドレイン電極に接続される。

10

【0082】

トランジスタTr15のソース電極は、単位回路11のクロック端子CKAおよびトランジスタTr14のソース電極に接続される。トランジスタTr15のドレイン電極は、単位回路11の出力端子OUT、トランジスタTr14のドレイン電極、およびトランジスタTr16のドレイン電極に接続される。

【0083】

トランジスタTr15のゲート電極は、RSフリップフロップ31の出力端子QBおよびトランジスタTr16のゲート電極に接続される。トランジスタTr16のソース電極には、ローレベル電位VSSが固定的に印加される。トランジスタTr16のドレイン電極は、単位回路11の出力端子OUT、トランジスタTr14のドレイン電極、およびトランジスタTr15のドレイン電極に接続される。

20

【0084】

(タイミングチャート)

図22は、実施形態5に係るシフトレジスタ10の通常動作時のタイミングチャートである。図22を参照して、VDDがハイレベル電位でありかつVSSがローレベル電位であり、かつ、スタート信号STおよびクロック信号CK1がシフトレジスタ10に入力される場合の、シフトレジスタ10の通常動作を説明する。

【0085】

期間t0において、初段の単位回路11の入力端子Sに、ハイレベル電位のスタート信号STが入力される。これにより、初段の単位回路11において、RSフリップフロップ31がセット状態となり、その結果、RSフリップフロップ31の出力端子Qからハイレベル電位VDD（第1出力信号）が出力され、かつ、RSフリップフロップ31の出力端子QBからローレベル電位VSS（第2出力信号）が出力される。期間t1において、ハイレベル電位のクロック信号CK1が、単位回路11のクロック端子CKAに入力される。これにより、初段の単位回路11において、トランジスタTr14およびTr15ならびに出力バッファを介して、パルス状の出力信号GOUT1が外部に出力される。

30

【0086】

期間t2において、ハイレベル電位のクロック信号CK2が、2段目の単位回路11のクロック端子CKAに入力されることによって、2段目の単位回路11から出力信号GOUT2が出力される。出力信号GOUT2は、初段の単位回路11の入力端子Rに入力される。これにより、初段の単位回路11のRSフリップフロップ31がリセット状態となるので、初段の単位回路11において、RSフリップフロップ31の出力端子Qからローレベル電位VSSが出力され、かつ、RSフリップフロップ31の出力端子QBからハイレベル電位VDDが出力される。この結果、初段の単位回路11において、トランジスタTr16がオンになることによって、出力信号OUTを確実にプルダウンすることができる。

40

【0087】

2段目の単位回路11も、初段の単位回路11と同様に動作する。期間t1において、出力信号GOUT1が2段目の単位回路11の入力端子Sに入力される。これにより、2

50

段目の単位回路 1 1 の R S フリップフロップ 3 1 がセット状態となり、その結果、2 段目の単位回路 1 1 において、R S フリップフロップ 3 1 の出力端子 Q からハイレベル電位 V D D が出力され、かつ R S フリップフロップ 3 1 の出力端子 Q B からローレベル電位 V S S が出力される。期間 t 2 において、ハイレベル電位のクロック信号 C K 2 が、2 段目の単位回路 1 1 のクロック端子 C K A に入力される。これにより、2 段目の単位回路 1 1 において、トランジスタ T r 1 4 および T r 1 5 ならびに出力バッファを介して、パルス状の出力信号 G O U T 2 が外部に出力される。

【0088】

期間 t 3 において、ハイレベル電位のクロック信号 C K 1 が、3 段目の単位回路 1 1 のクロック端子 C K A に入力されることによって、3 段目の単位回路 1 1 から出力信号 G O U T 3 が出力される。出力信号 G O U T 3 は、2 段目の単位回路 1 1 の入力端子 R に入力される。これにより、2 段目の R S フリップフロップ 3 1 がリセットされるので、2 段目の R S フリップフロップ 3 1 において、出力端子 Q からローレベル電位 V S S が出力され、かつ、出力端子 Q B からハイレベル電位 V D D が出力される。この結果、2 段目の単位回路 1 1 において、出力信号 O U T を確実にプルダウンすることができる。

【0089】

以上の動作を 3 段目から最終段までの各単位回路 1 1 までが繰り返すことによって、入力信号としてクロック信号 C K 1 および C K 2 と前段の単位回路 1 1 の出力信号 O U T のみを用いるシフトレジスタ 1 0 を、実現することができる。

【0090】

図 2 1 に示す単位回路 1 1 では、トランジスタ T r 1 5 は、ゲートライン G L を駆動するための大きなサイズのトランジスタであり、かつ、オフリークが気になる箇所である。また、トランジスタ T r 1 5 のゲート電極には出力信号 Q B が与えられるので、トランジスタ T r 1 5 のゲート電極には長期間負のバイアスが与えられる。本実施形態においては、トランジスタ T r 1 5 が遮光膜 1 2 a および 1 2 b を備えているので、トランジスタ T r 1 5 に対する光照射によるオフリークを防ぐことができ、かつ、トランジスタ T r 1 5 に外光の影響による閾値シフトが生じることはない。したがって、シフトレジスタ 1 0 の誤動作を防ぐことができる。

【0091】

〔実施形態 6〕

図 2 3 は、実施形態 6 に係る単位回路 1 1 の構成例を示す図である。図 2 2 に示す単位回路 1 1 は、C M O S 回路の一例である。図 2 3 に示す単位回路 1 1 は、入力端子 S および R、初期化端子 I N I T、R S フリップフロップ 3 1、トランジスタ T r 1 4 ~ T r 1 6 および T r 2 4 ~ T r 2 7、ならびに出力端子 O U T を備えている。本実施形態では、トランジスタ T r 1 4、T r 1 6、T r 2 5、および T r 2 7 は、いずれも n チャネル型のトランジスタであり、トランジスタ T r 1 5、T r 2 4、および T r 2 6 は、いずれも p チャネル型のトランジスタである。トランジスタ T r 2 6 は、第 2 グループに分類され、トランジスタ T r 2 7 は第 1 グループに分類される。

【0092】

本実施形態では、トランジスタ T r 1 4 ~ T r 1 6、T r 2 4、および T r 2 5 は、遮光膜 1 2 a および 1 2 b を備えていない。一方、トランジスタ T r 2 6 および T r 2 7 は、図 5 に示すトランジスタ T r と同一の構成を有する。言い換えれば、トランジスタ T r 2 6 および T r 2 7 は、遮光膜 1 2 a および 1 2 b を備えている。

【0093】

R S フリップフロップ 3 1 は、入力端子 S および R、初期化端子 I N I T、ならびに出力信号 Q および Q B を有する。単位回路 1 1 の入力端子 S および R は、R S フリップフロップ 3 1 の入力端子 S および R にそれぞれ個別に接続される。単位回路 1 1 の初期化端子 I N I T は、R S フリップフロップ 3 1 の初期化端子 I N I T に接続される。R S フリップフロップ 3 1 の出力端子 Q は、トランジスタ T r 1 4 のゲート電極に接続される。R S フリップフロップ 3 1 の出力端子 Q B は、トランジスタ T r 1 5 のゲート電極およびトラ

10

20

30

40

50

ンジスタTr16のゲート電極に接続される。

【0094】

トランジスタTr14のソース電極は、単位回路11のクロック端子CKAおよびトランジスタTr15のソース電極14に接続される。トランジスタTr14のドレイン電極は、トランジスタTr15のドレイン電極15、トランジスタTr16のドレイン電極、トランジスタTr24のゲート電極、およびトランジスタTr25のゲート電極に接続される。トランジスタTr16のソース電極には、ローレベル電位VSSが固定的に印加される。

【0095】

トランジスタTr24のゲート電極は、トランジスタTr14のドレイン電極、トランジスタTr15のドレイン電極、トランジスタTr16のドレイン電極、およびトランジスタTr25のゲート電極に接続される。トランジスタTr24のドレイン電極には、ハイレベル電位VDDが固定的に印加される。トランジスタTr24のソース電極は、トランジスタTr25のソース電極、トランジスタTr26のゲート電極、およびトランジスタTr27のゲート電極に接続される。

【0096】

トランジスタTr25のゲート電極は、トランジスタTr14のドレイン電極、トランジスタTr15のドレイン電極、トランジスタTr16のドレイン電極、およびトランジスタTr24のゲート電極に接続される。トランジスタTr25のドレイン電極には、ローレベル電位VSSが固定的に印加される。トランジスタTr25のソース電極は、トランジスタTr24のソース電極、トランジスタTr26のゲート電極、およびトランジスタTr27のゲート電極に接続される。

【0097】

トランジスタTr26のゲート電極は、トランジスタTr24のドレイン電極15、トランジスタTr25のドレイン電極、およびトランジスタTr27のゲート電極に接続される。トランジスタTr26のドレイン電極には、ハイレベル電位VDDが固定的に印加される。トランジスタTr26のソース電極には、トランジスタTr27のドレイン電極および出力端子OUTが接続される。トランジスタTr27のゲート電極は、トランジスタTr24のソース電極、トランジスタTr25のドレイン電極、およびトランジスタTr26のゲート電極に接続される。トランジスタTr27のソース電極には、ローレベル電位VSSが固定的に印加される。トランジスタTr27のドレイン電極には、トランジスタTr26のソース電極、および出力端子OUTが接続される。

【0098】

図23に示す単位回路11では、トランジスタTr26およびTr27は、ゲートラインGLを駆動するための大きなサイズのトランジスタであり、かつ、オフリークが気になる箇所である。また、トランジスタTr26のゲート電極には、長期間正のバイアスが印加される。トランジスタTr27のゲート電極には、長期間負のバイアスが印加される。本実施形態では、トランジスタTr26およびTr27が遮光膜12aおよび12bを備えているので、トランジスタTr26およびTr27に対する光照射によるオフリークを防ぐことができるので、シフトレジスタ10の誤動作を防ぐことができる。

【0099】

〔実施形態7〕

図24は、実施形態7に係る単位回路11の構成例を示す図である。図24に示す単位回路11は、実施形態1および2に係る各単位回路11を組み合わせ上で、さらに、全オン制御(AON)機能を追加した構成の回路である。

【0100】

図24に示す単位回路11は、トランジスタTr1~Tr9およびTr34~Tr36、容量C1、ならびに抵抗R1を備えている。トランジスタTr1~Tr9およびTr34~Tr36は、いずれもnチャネル型のTFETである。

【0101】

本実施形態に係る単位回路 11 において、トランジスタ $T r 1 \sim T r 9$ 、容量 $C 1$ 、および抵抗 $R 1$ の配置および接続は、基本的に、実施形態 2 に係る単位回路 11 と同一である。本実施形態に係る単位回路 11 では、トランジスタ $T r 3$ のソース電極は、入力端子 $A O N B$ に接続される。

【0102】

トランジスタ $T r 3 4$ のゲート電極は、入力端子 $A O N$ およびトランジスタ $T r 3 5$ のゲート電極に接続される。トランジスタ $T r 3 4$ のドレイン電極は、トランジスタ $T r 3$ のソース電極、トランジスタ $T r 4$ のドレイン電極、およびトランジスタ $T r 9$ のソース電極に接続される。トランジスタ $T r 3 4$ のソース電極には、ローレベル電位 $V S S$ が固定的に印加される。

10

【0103】

トランジスタ $T r 3 5$ のドレイン電極は、抵抗 $R 1$ 、トランジスタ $T r 7$ のドレイン電極、トランジスタ $T r 4$ のゲート電極、トランジスタ $T r 5$ のドレイン電極、トランジスタ $T r 8$ のドレイン電極、およびトランジスタ $T r 2$ のゲート電極に接続される。トランジスタ $T r 3 5$ のゲート電極は、入力端子 $A O N$ およびトランジスタ $T r 3 4$ のゲート電極に接続される。トランジスタ $T r 3 5$ のソース電極には、ローレベル電位 $V S S$ が固定的に印加される。

【0104】

トランジスタ $T r 3 6$ のゲート電極は、トランジスタ $T r 3 6$ のドレイン電極および入力端子 $A O N$ に接続される。トランジスタ $T r 3 6$ のソース電極は、トランジスタ $T r 3 6$ のゲート電極および入力端子 $A O N$ に接続される。トランジスタ $T r 3 6$ のドレイン電極は、トランジスタ $T r 8$ のゲート電極、トランジスタ $T r 2$ のドレイン電極、トランジスタ $T r 1$ のソース電極、容量 $C 1$ 、および出力端子 $O U T$ に接続される。

20

【0105】

本実施形態においては、トランジスタ $T r 3$ 、入力端子 $I N$ 、および入力端子 $A O N B$ とによって第 1 ノードターンオン部が実現され、トランジスタ $T r 3 4 \sim T r 3 6$ および入力端子 $A O N$ によって全オン制御部が実現されている。全オン制御部は、すべての段の単位回路 11 に共通的に与えられる信号 $A O N$ および $A O N B$ に基づいて出力端子 $O N$ のレベルをオンレベルに向けて変化させるための役割を有する。

【0106】

30

図 24 に示す単位回路 11 において、ハイレベル電位の制御信号 $A O N$ が入力端子 $A O N$ に入力され、ローレベル電位の制御信号 $A O N B$ が入力端子 $A O N B$ に入力される。これにより、トランジスタ $T r 3 4$ がオンすることによって、ノード $n 1$ の電位はローレベル電位 $V S S$ となる。さらに、トランジスタ $T r 3 5$ がオンすることによって、ノード $n 2$ の電位もローレベル電位 $V S S$ となる。これらの結果、トランジスタ $T r 1$ および $T r 2$ がいずれもオフする。また、トランジスタ $T r 3 6$ がオンすることによって、シフトレジスタ 10 に含まれる全段の単位回路 11 から、ハイレベル電位の出力信号 $O U T$ が外部に出力される。このように、単位回路 11 が $A O N$ 機能を有することによって、シフトレジスタ 10 は、全段の単位回路 11 から一斉に出力信号 $O U T$ を外部に出力することができる。

40

【0107】

本実施形態では、トランジスタ $T r 1 \sim T r 3$ 、 $T r 5 \sim T r 8$ 、 $T r 3 4 \sim T r 3 6$ は、遮光膜 12 a および 12 b を備えていない。一方、トランジスタ $T r 4$ および $T r 9$ は、図 5 に示すトランジスタ $T r$ と同一の構成を有する。言い換えれば、トランジスタ $T r 4$ および $T r 9$ のみが、遮光膜 12 a および 12 b を備えている。

【0108】

本実施形態では、トランジスタ $T r 4$ が半オン状態にならず、かつ、トランジスタ $T r 9$ において光シフトによる閾値電圧シフトを抑制することができるので、シフトレジスタ 10 の誤動作を防ぐことができる。さらに、トランジスタ $T r 4$ および $T r 9$ に補助容量を追加する必要がないので、トランジスタ $T r 4$ および $T r 9$ のサイズを縮小することが

50

でき、その結果として、単位回路 11 およびシフトレジスタ 10 のサイズをも縮小することができる。

【0109】

〔実施形態 8〕

図 25 は、実施形態 8 に係るトランジスタ Tr の構成例を示す図である。図 25 に示すトランジスタ Tr は、遮光膜 12 およびゲート電極 13 がいずれも 3 分割された構成を有する。トランジスタ Tr は、3 つの遮光膜 12 a ~ 12 c、3 つのゲート電極 13 a ~ および 13 c、ソース電極 14、ドレイン電極 15、ならびに半導体部 16 を備えている。遮光膜 12 a ~ 12 c は、遮光膜層に形成され、ゲート電極 13 a ~ 13 c は、ゲート層に形成される。

10

【0110】

ゲート電極 13 a ~ 13 c は、ソース電極 14 とドレイン電極 15 との間に半導体部 16 と平面視で重なるように形成される。半導体部 16 のうちゲート電極 13 a ~ 13 c のいずれかと平面視で重なる部分が、トランジスタ Tr のチャンネル部となる。遮光膜 12 a ~ 12 c は、所定の距離を空けて形成される。ゲート電極 13 a ~ ゲート電極 13 c は、所定の距離を空けて形成される。遮光膜 12 a とゲート電極 13 a とは平面視で重畳し、遮光膜 12 b とゲート電極 13 b とは平面視で重畳し、遮光膜 12 c とゲート電極 13 c とは平面視で重畳する。

【0111】

図 26 は、実施形態 8 に係るトランジスタ Tr の他の構成例を示す図である。図 26 に示すトランジスタ Tr は、遮光膜 12 およびゲート電極 13 がいずれも 4 分割された構成を有する。トランジスタ Tr は、4 つの遮光膜 12 a ~ 12 d、4 つのゲート電極 13 a ~ および 13 d、ソース電極 14、ドレイン電極 15、ならびに半導体部 16 を備えている。遮光膜 12 a ~ 12 d は、遮光膜層に形成され、ゲート電極 13 a ~ 13 d は、ゲート層に形成される。

20

【0112】

ゲート電極 13 a ~ 13 d は、ソース電極 14 とドレイン電極 15 との間に半導体部 16 と平面視で重なるように形成される。半導体部 16 のうちゲート電極 13 a ~ 13 d のいずれかと平面視で重なる部分が、トランジスタ Tr のチャンネル部となる。遮光膜 12 a ~ 12 d は、所定の距離を空けて形成される。ゲート電極 13 a ~ ゲート電極 13 d は、所定の距離を空けて形成される。遮光膜 12 a とゲート電極 13 a とは平面視で重畳し、遮光膜 12 b とゲート電極 13 b とは平面視で重畳し、遮光膜 12 c とゲート電極 13 c とは平面視で重畳し、遮光膜 12 d とゲート電極 13 d とは平面視で重畳する。

30

【0113】

図 25 に示すトランジスタ Tr および図 26 に示すトランジスタ Tr も、図 5 に示すトランジスタ Tr と同様の効果を奏する。さらには、トランジスタ Tr は、遮光膜 12 およびゲート電極 13 が 5 つ以上に分割された構成を有することもできる。言い換えれば、トランジスタ Tr は、複数のゲート電極 13 と、複数の遮光膜 12 とを備えており、複数の遮光膜 12 のそれぞれが、複数のゲート電極 13 のそれぞれと平面視で個別に重畳し、かつ、電氣的に孤立している構成であればよい。

40

【0114】

〔実施形態 9〕

図 27 は、実施形態 9 に係る単位回路 11 の構成例を示す図である。図 27 に示す単位回路 11 は、トランジスタ Tr 1 ~ Tr 9 および Tr 34 ~ Tr 36、容量 C 1、ならびに抵抗 R 1 を含んでいる。トランジスタ Tr 1 ~ Tr 9 および Tr 34 ~ Tr 36 は、いずれも p チャンネル型のトランジスタである。

【0115】

本実施形態に係る単位回路 11 において、トランジスタ Tr 1 ~ Tr 9 および Tr 34 ~ Tr 36、容量 C 1、ならびに抵抗 R 1 の配置および接続は、実施形態 7 に係る単位回路 11 と基本的に同一である。本実施形態に係る単位回路 11 は、トランジスタ Tr 1 ~

50

Tr 9およびTr 34～Tr 36がpチャネル型のトランジスタである点において、実施形態7に係る単位回路11と異なる。この違いに応じて、本実施形態に係る単位回路11では、各トランジスタTr 1～Tr 9およびTr 34～Tr 36が接続される端子の種類および各トランジスタTr 1～Tr 9およびTr 34～Tr 36に印加される電圧の種類が、実施形態7に係る単位回路11と異なる。

【0116】

詳細には以下の通りである。トランジスタTr 1のドレイン電極は、クロック端子CKABに接続される。トランジスタTr 2、Tr 4、Tr 5、Tr 8、トランジスタTr 34、およびTr 35のソース電極には、ハイレベル電位VDDが固定的に印加される。トランジスタTr 3のゲート電極は、入力端子INBに接続される。トランジスタTr 3のドレイン電極は、入力端子AONに接続される。トランジスタTr 5のゲート電極は、入力端子INBに接続される。トランジスタTr 6のゲート電極は、クロック端子CKBBに接続される。トランジスタTr 6のドレイン電極には、ローレベル電位VSSが固定的に印加される。トランジスタTr 7のゲート電極は、初期化端子INITBに接続される。トランジスタTr 7のドレイン電極には、ローレベル電位VSSが固定的に印加される。トランジスタTr 9のゲート電極には、ローレベル電位VSSが固定的に印加される。トランジスタTr 34のゲート電極およびトランジスタTr 35のゲート電極は、いずれも入力端子AONBに接続される。トランジスタTr 36のゲート電極は、トランジスタTr 36のソース電極および入力端子AONBに接続される。トランジスタTr 36のソース電極は、トランジスタTr 36のゲート電極および入力端子AONBに接続される。トランジスタTr 36のドレイン電極は、トランジスタTr 8のゲート電極、トランジスタTr 2のドレイン電極、トランジスタTr 1のソース電極、容量C1、および出力端子OUTBに接続される。

【0117】

本実施形態では、トランジスタTr 1～Tr 3、Tr 5～Tr 8、Tr 34～Tr 36は、遮光膜12aおよび12bを備えていない。一方、トランジスタTr 4およびTr 9は、図5に示すトランジスタTrと同一の構成を有する。言い換えれば、トランジスタTr 4およびTr 9は、遮光膜12aおよび12bならびにゲート電極13aおよび13bを備えている。したがって、本実施形態に係る単位回路11は、実施形態7に係る単位回路11と同様の効果を奏する。

【0118】

〔まとめ〕

態様1：チャネル部と、第1導通電極と、第2導通電極と、複数の制御電極と、前記複数の制御電極よりも下層に形成され、前記複数の制御電極のそれぞれと平面視で個別に重畳し、かつ前記チャネル部を遮光し、さらに電氣的に孤立した複数の遮光膜とを備えていることを特徴とするトランジスタ。

【0119】

態様2：表示装置の表示部に配置された複数の走査線を駆動するための複数の段からなるシフトレジスタであって、前記複数の段の各段を構成する単位回路は、比較的高いオンデューティでオン・オフ状態が制御される第1グループと比較的低いオンデューティでオン・オフ状態が制御される第2グループとに分類され得る複数のトランジスタを含み、前記第1グループおよび前記第2グループの一方に含まれるトランジスタのみが、態様1のトランジスタであることを特徴とするシフトレジスタ。

【0120】

態様3：前記複数のトランジスタに関し、50パーセント以上のオンデューティでオン・オフ状態が制御されるトランジスタは前記第1グループに分類され、50パーセント未満のオンデューティでオン・オフ状態が制御されるトランジスタは前記第2グループに分類されることを特徴とする態様2のシフトレジスタ。

【0121】

態様4：前記第1グループおよび前記第2グループの一方に含まれるトランジスタのう

ちの一部のトランジスタのみが、態様1のトランジスタであることを特徴とする態様2のシフトレジスタ。

【0122】

態様5：前記第1グループに含まれるトランジスタであって、制御電極に常に正のバイアスが印加されるnチャネル型のトランジスタが、態様1のトランジスタであることを特徴とする態様1のシフトレジスタ。

【0123】

態様6：

前記単位回路は、前記複数の走査線の1つに接続された出力ノードと、制御電極、第1導通電極、および第2導通電極を有し、クロック信号が第1導通電極に与えられ、前記出力ノードに第2導通電極が接続された、前記第2グループに含まれる出力制御トランジスタと、前記出力制御トランジスタの制御電極に接続された第1ノードと、前記第2グループに含まれるトランジスタを有し、他の段の出力ノードから出力される出力信号に基づいて前記第1ノードのレベルをオンレベルに向けて変化させるための第1ノードターンオン部と、制御電極、第1導通電極、および第2導通電極を有し、オンレベル電位が制御電極に与えられ、前記第1ノードターンオン部に第1導通電極が接続され、前記第1ノードに第2導通電極が接続された、前記第1グループに含まれる分圧トランジスタと、制御電極、第1導通電極、および第2導通電極を有し、前記出力ノードに第1導通電極が接続され、オフレベル電位が第2導通電極に与えられる、前記第1グループに含まれる出力ノードターンオフトランジスタと、前記出力ノードターンオフトランジスタの制御電極に接続された第2ノードと、制御電極、第1導通電極、および第2導通電極を有し、前記第2ノードに制御電極が接続され、前記分圧トランジスタを介して前記第1ノードに第1導通電極が接続され、オフレベル電位が第2導通電極に与えられる、前記第1グループに含まれる第1ノードターンオフトランジスタとを含み、前記分圧トランジスタのみが、態様1のトランジスタであることを特徴とする態様5のシフトレジスタ。

【0124】

態様7：前記第1グループに含まれるトランジスタであって、長期間制御電極に正のバイアスが印加されるnチャネル型のトランジスタが、態様1のトランジスタであることを特徴とする態様2のシフトレジスタ。

【0125】

態様8：前記単位回路は、前記複数の走査線の1つに接続された出力ノードと、制御電極、第1導通電極、および第2導通電極を有し、クロック信号が第1導通電極に与えられ、前記出力ノードに第2導通電極が接続された、前記第2グループに含まれる出力制御トランジスタと、前記出力制御トランジスタの制御電極に接続された第1ノードと、前記第2グループに含まれるトランジスタを有し、他の段の出力ノードから出力される出力信号に基づいて前記第1ノードのレベルをオンレベルに向けて変化させるための第1ノードターンオン部と、制御電極、第1導通電極、および第2導通電極を有し、前記出力ノードに第1導通電極が接続され、オフレベル電位が第2導通電極に与えられる、前記第1グループに含まれる出力ノードターンオフトランジスタと、前記出力ノードターンオフトランジスタの制御電極に接続された第2ノードと、制御電極、第1導通電極、および第2導通電極を有し、前記第2ノードに制御電極が接続され、前記第1ノードに第1導通電極が接続され、オフレベル電位が第2導通電極に与えられる、前記第1グループに含まれる第1ノードターンオフトランジスタとを含み、前記出力ノードターンオフトランジスタおよび前記第1ノードターンオフトランジスタのみが、態様1のトランジスタであることを特徴とする態様7のシフトレジスタ。

【0126】

態様9：前記第2グループに含まれるトランジスタであって、長期間制御電極に負のバイアスが印加されるpチャネル型のトランジスタが、態様1のトランジスタであることを特徴とする態様2のシフトレジスタ。

【0127】

態様 10：前記単位回路は、前記複数の走査線の 1 つに接続された出力ノードと、自段よりも前の段の出力ノードから出力される出力信号と自段よりも後の段の出力ノードから出力される出力信号とに基づいて、第 1 出力信号と第 2 出力信号とを出力するセットリセットフリップフロップと、制御電極、第 1 導通電極、および第 2 導通電極を有し、前記第 1 出力信号が制御電極に与えられ、クロック信号が第 1 導通電極に与えられ、前記出力ノードに第 2 導通電極が接続された、前記第 2 グループに含まれる第 1 出力制御トランジスタと、制御電極、第 1 導通電極、および第 2 導通電極を有し、前記第 2 出力信号が制御電極に与えられ、前記クロック信号が第 1 導通電極に与えられ、前記出力ノードに第 2 導通電極が接続された、前記第 2 グループに含まれる第 2 出力制御トランジスタと、制御電極、第 1 導通電極、および第 2 導通電極を有し、前記第 2 出力信号が制御電極に与えられ、前記出力ノードに第 1 導通電極が接続され、オフレベル電位が第 2 導通電極に与えられる、前記第 1 グループに含まれる出力ノードターンオフトランジスタとを含み、前記第 2 出力制御トランジスタのみが、態様 1 のトランジスタであることを特徴とする態様 9 のシフトレジスタ。

10

【0128】

態様 11：前記遮光膜が設けられているトランジスタは、前記第 2 グループに含まれるトランジスタであって、長期間制御電極に負のバイアスが印加される n チャネル型のトランジスタであることを特徴とする態様 2 のシフトレジスタ。

【0129】

態様 12：前記単位回路は、前記複数の走査線の 1 つに接続された出力ノードと、制御電極、第 1 導通電極、および第 2 導通電極を有し、クロック信号が第 1 導通電極に与えられ、前記出力ノードに第 2 導通電極が接続された、前記第 2 グループに含まれる出力制御トランジスタと、前記出力制御トランジスタの制御電極に接続された第 1 ノードと、前記第 2 グループに含まれるトランジスタを有し、他の段の出力ノードから出力される出力信号に基づいて前記第 1 ノードのレベルをオンレベルに向けて変化させるための第 1 ノードターンオン部と、制御電極、第 1 導通電極、および第 2 導通電極を有し、前記出力ノードに第 1 導通電極が接続され、オフレベル電位が第 2 導通電極に与えられる、前記第 1 グループに含まれる出力ノードターンオフトランジスタと、前記出力ノードターンオフトランジスタの制御電極に接続された第 2 ノードと、制御電極、第 1 導通電極、および第 2 導通電極を有し、前記第 2 ノードに制御電極が接続され、前記第 1 ノードに第 1 導通電極が接続され、オフレベル電位が第 2 導通電極に与えられる、前記第 1 グループに含まれる第 1 ノードターンオフトランジスタとを含み、前記出力制御トランジスタのみが、態様 1 のトランジスタであることを特徴とする態様 11 のシフトレジスタ。

20

30

【0130】

態様 13：前記単位回路は、前記複数の走査線の 1 つに接続された出力ノードと、制御電極、第 1 導通電極、および第 2 導通電極を有し、クロック信号が第 1 導通電極に与えられ、前記出力ノードに第 2 導通電極が接続された、前記第 2 グループに含まれる出力制御トランジスタと、前記出力制御トランジスタの制御電極に接続された第 1 ノードと、前記第 2 グループに含まれるトランジスタを有し、他の段の出力ノードから出力される出力信号に基づいて前記第 1 ノードのレベルをオンレベルに向けて変化させるための第 1 ノードターンオン部と、制御電極、第 1 導通電極、および第 2 導通電極を有し、オンレベル電位が制御電極に与えられ、前記第 1 ノードターンオン部に第 1 導通電極が接続され、前記第 1 ノードに第 2 導通電極が接続された、前記第 1 グループに含まれる分圧トランジスタと、制御電極、第 1 導通電極、および第 2 導通電極を有し、前記出力ノードに第 1 導通電極が接続され、オフレベル電位が第 2 導通電極に与えられる、前記第 1 グループに含まれる出力ノードターンオフトランジスタと、前記出力ノードターンオフトランジスタの制御電極に接続された第 2 ノードと、制御電極、第 1 導通電極、および第 2 導通電極を有し、前記第 2 ノードに制御電極が接続され、前記分圧トランジスタを介して前記第 1 ノードに第 1 導通電極が接続され、オフレベル電位が第 2 導通電極に与えられる、前記第 1 グループに含まれる第 1 ノードターンオフトランジスタと、全ての段の単位回路に共通的に与えら

40

50

れる制御信号に基づいて前記出力ノードのレベルをオンレベルに向けて変化させる全オン制御部とを含み、前記第1ノードターンオフトランジスタおよび前記分圧トランジスタのみが、態様1のトランジスタであることを特徴とする態様2のシフトレジスタ。

【0131】

態様14：表示装置の表示部に配置された複数の走査線を駆動するための複数の段からなるシフトレジスタであって、前記複数の段の各段を構成する単位回路は、第1導電型のトランジスタと第2導電型のトランジスタとを含む複数のトランジスタを含み、前記複数のトランジスタのうちの一部のトランジスタのみが、態様1のトランジスタであり、比較的低いオンデューティでオン・オフ状態が制御される前記第1導電型のトランジスタおよび比較的高いオンデューティでオン・オフ状態が制御される前記第2導電型のトランジスタが、態様1のトランジスタであることを特徴とするシフトレジスタ。

10

【0132】

態様15：前記第1導電型のトランジスタは、nチャネル型のトランジスタであって、前記第2導電型のトランジスタは、pチャネル型のトランジスタであって、長期間制御電極に負のバイアスが印加されるnチャネル型のトランジスタおよび長期間制御電極に正のバイアスが印加されるpチャネル型のトランジスタが、態様1のトランジスタであることを特徴とする態様14のシフトレジスタ。

【0133】

本発明は前述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能である。異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態も、本発明の技術的範囲に含まれる。各実施形態にそれぞれ開示された技術的手段を組み合わせることによって、新しい技術的特徴を形成することもできる。

20

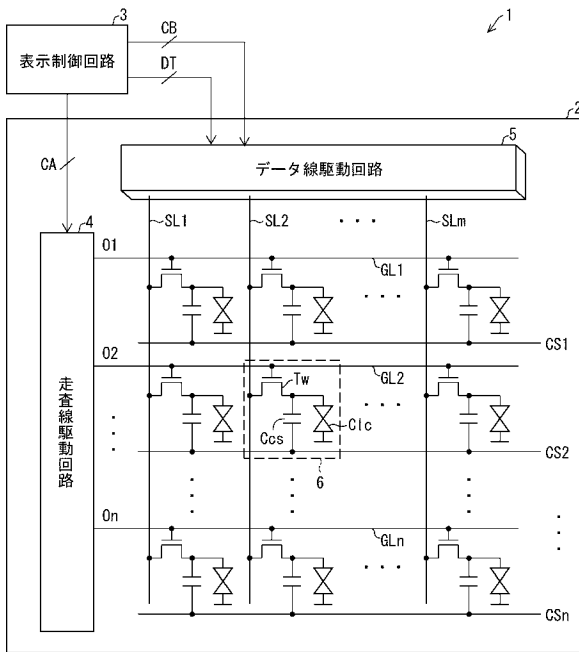
【符号の説明】

【0134】

1 液晶表示装置、10 シフトレジスタ、11 単位回路、12、12a、12b、12c、12d 遮光膜、13、13a、13b、13c、13d ゲート電極、14 ソース電極、15 ドレイン電極、16 半導体部、Tr トランジスタ

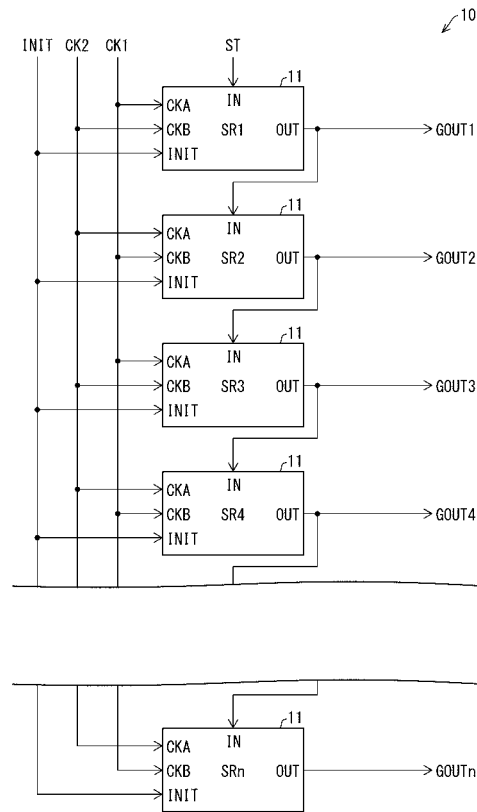
【図 1】

図 1



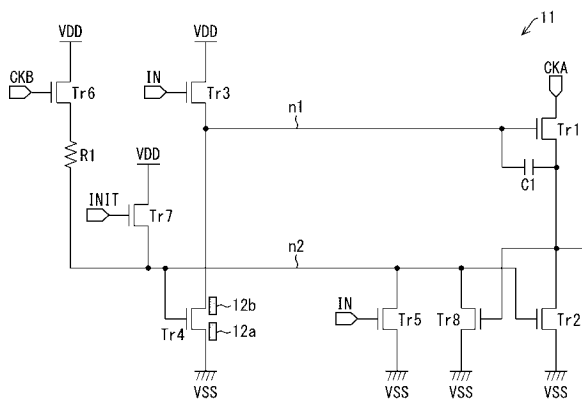
【図 2】

図 2



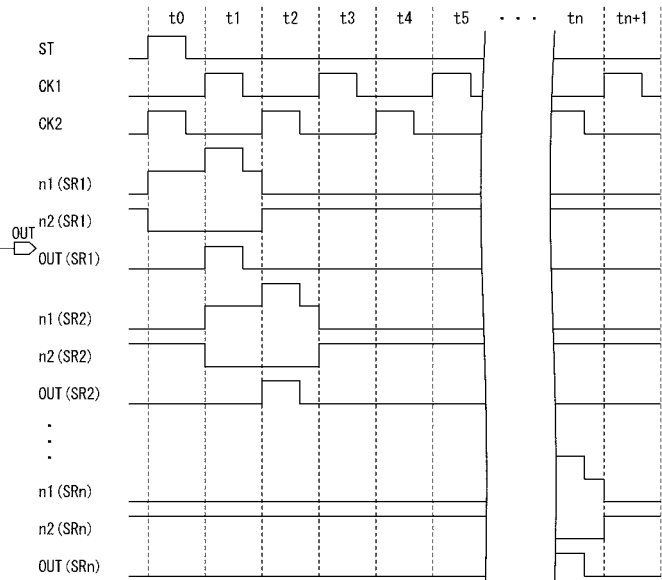
【図 3】

図 3



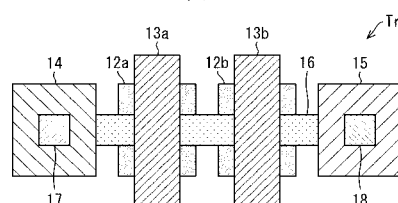
【図 4】

図 4

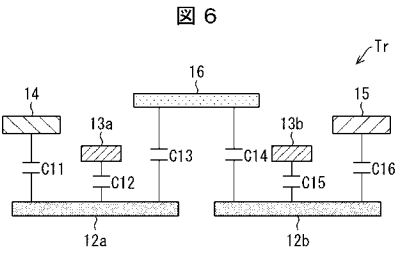


【図 5】

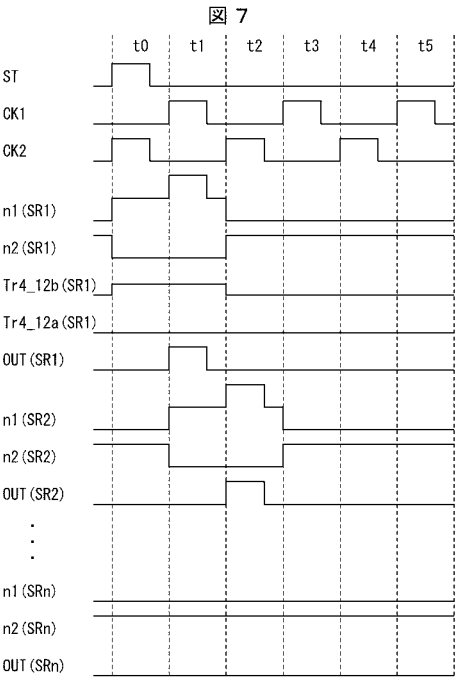
図 5



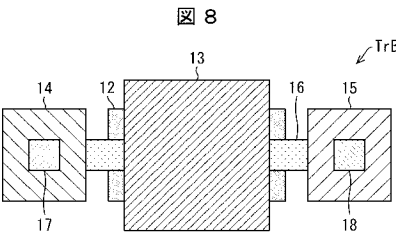
【図 6】



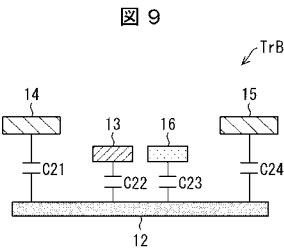
【図 7】



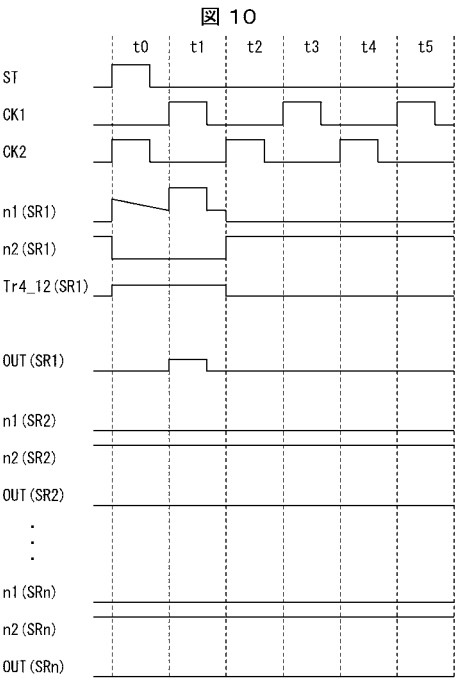
【図 8】



【図 9】

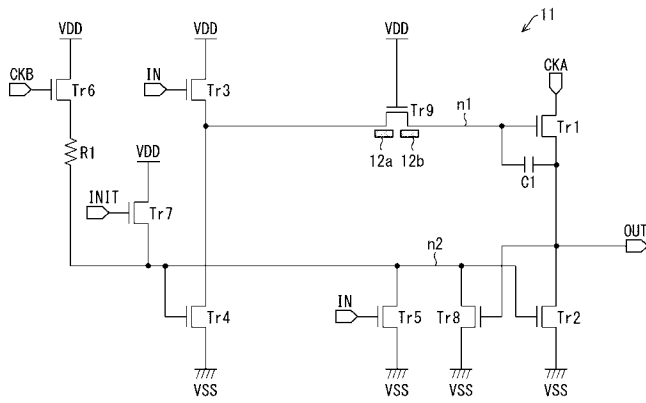


【図 10】



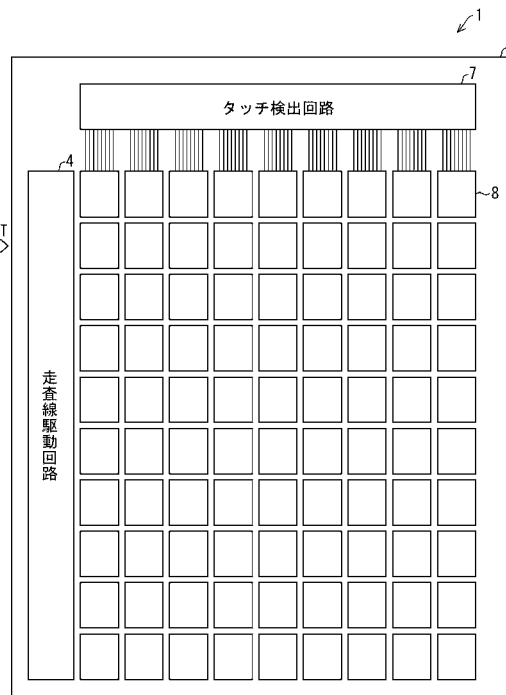
【図 1 1】

図 11

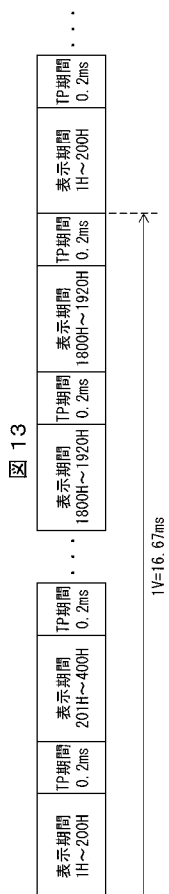


【図 1 2】

図 12

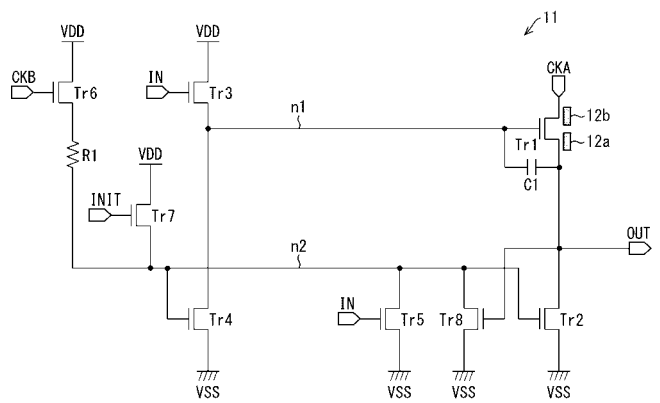


【図 1 3】

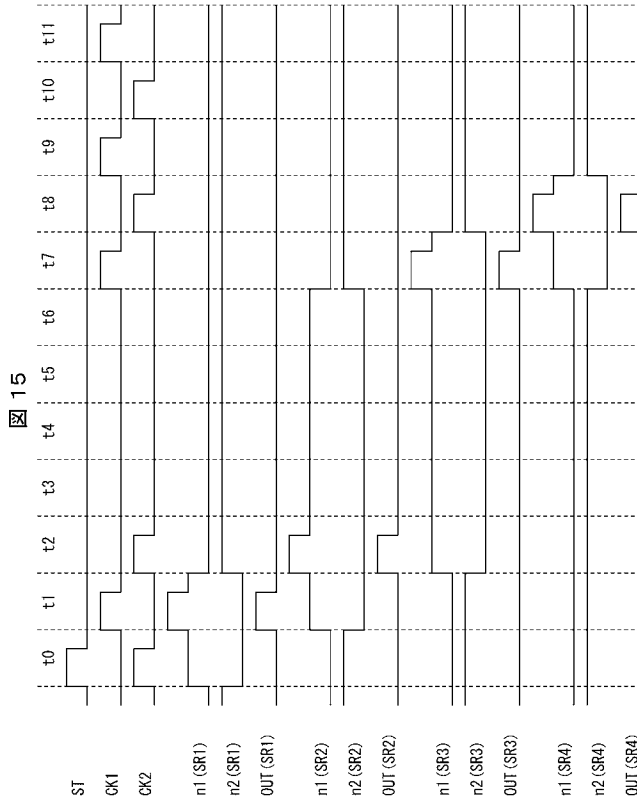


【図 1 4】

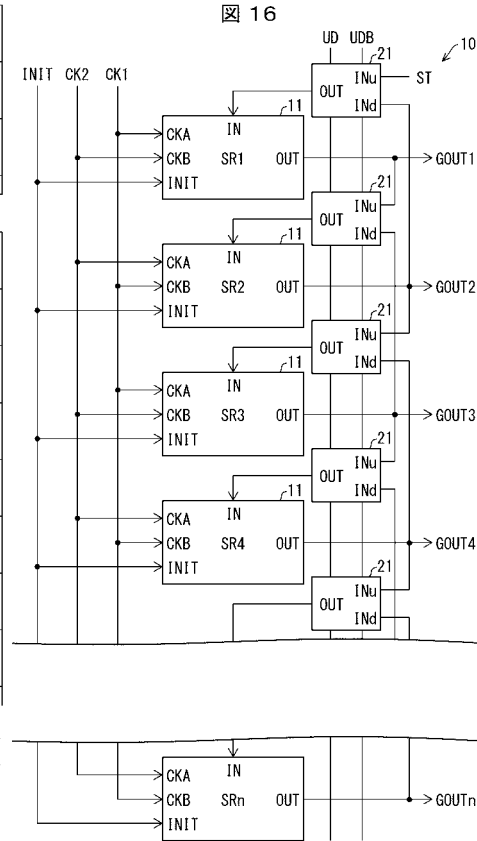
図 14



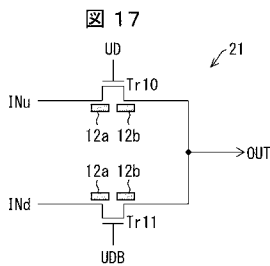
【図 15】



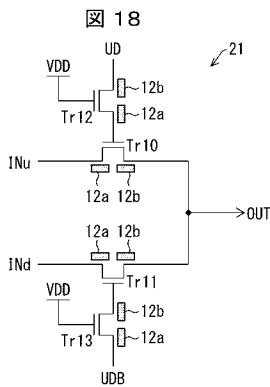
【図 16】



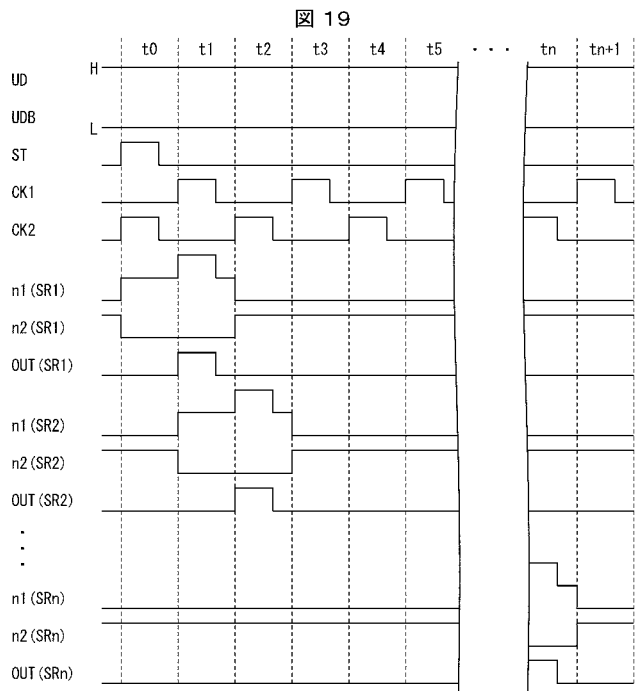
【図 17】



【図 18】

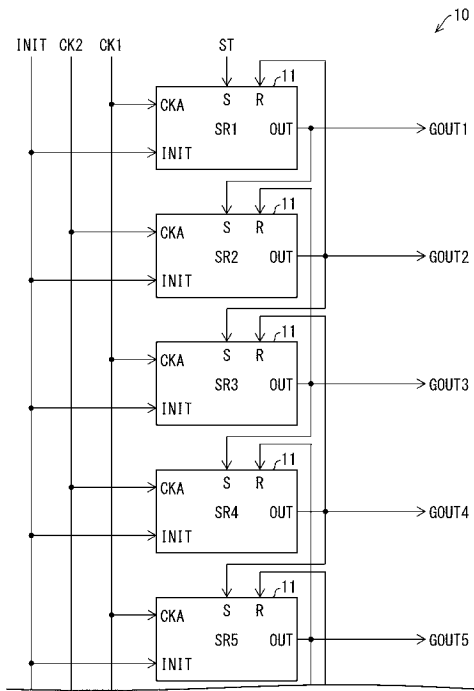


【図 19】



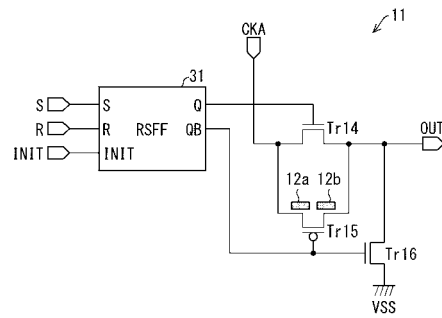
【図 20】

図 20



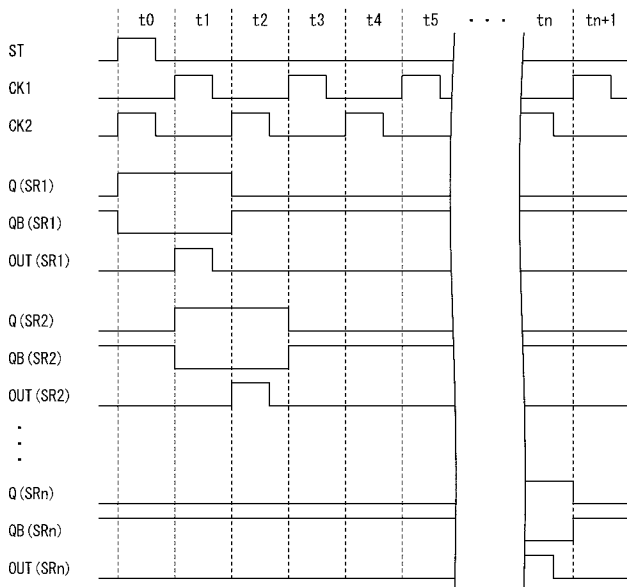
【図 21】

図 21



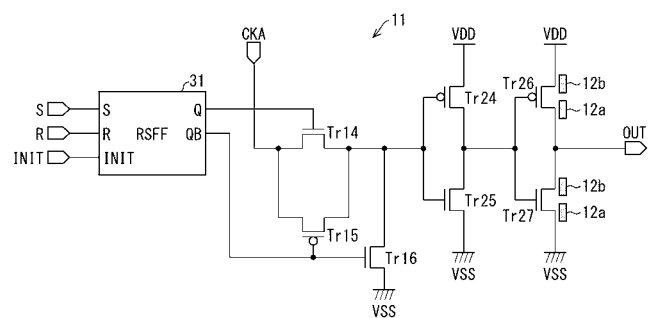
【図 22】

図 22



【図 23】

図 23



【図 24】

図 24

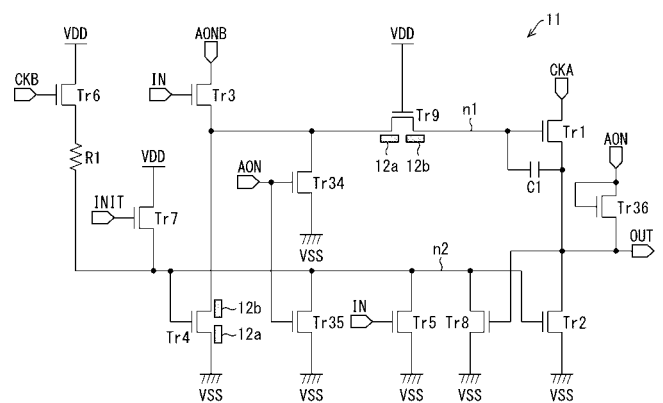


图 25

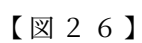


图 26

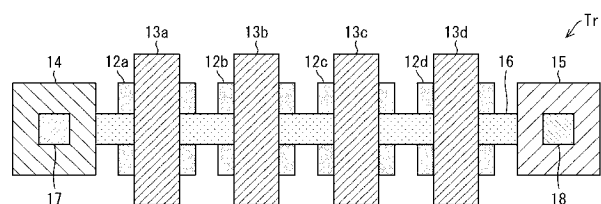
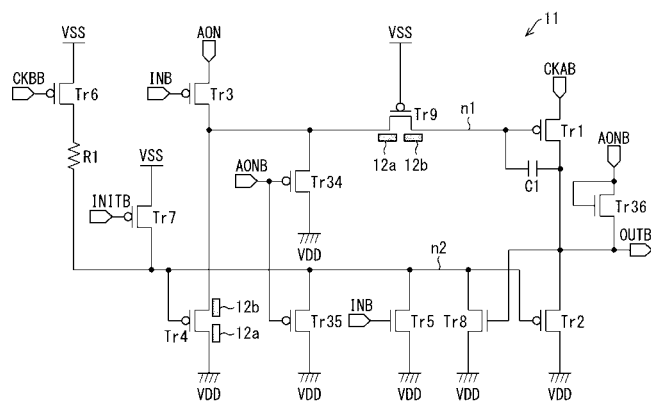


图 27



フロントページの続き

(51)Int.Cl. F I テーマコード (参考)
G 0 2 F 1/1368 (2006.01) G 0 9 G 3/20 6 7 0 E
G 0 2 F 1/1368

(72)発明者 古田 成
大阪府堺市堺区匠町 1 番地 シャープ株式会社内

(72)発明者 山口 尚宏
大阪府堺市堺区匠町 1 番地 シャープ株式会社内

F ターム (参考) 2H192 AA24 CB02 EA03 EA15 FB03 FB27 GB32 GB42 GB43 GD61
5B074 AA02 CA01 DA02 DB01
5C006 AF72 BB16 BC03 BC20 BF03 BF34 EC05 FA36 FA41
5C080 AA10 BB05 DD09 FF01 FF11 FF12 GG01 JJ02 JJ03 JJ04
JJ06
5F110 AA21 BB02 CC01 EE28 NN41 NN72