



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0076192
(43) 공개일자 2025년05월29일

(51) 국제특허분류(Int. Cl.)

G06N 3/065 (2023.01) G06N 3/04 (2023.01)
G11C 11/16 (2006.01) G11C 14/00 (2006.01)

(52) CPC특허분류

G06N 3/065 (2023.01)
G06N 3/049 (2023.01)

(21) 출원번호 10-2023-0163605

(22) 출원일자 2023년11월22일

심사청구일자 2023년11월22일

(71) 출원인

인하대학교 산학협력단

인천광역시 미추홀구 인하로 100(용현동, 인하대학교)

(72) 발명자

서영교

경기도 부천시 길주로77번길 19-45, 920호(상동, 디아프갤러리4오피스텔)

최찬영

광주광역시 북구 설죽로320번길 25, 202동 1602호(오치동, 삼익아파트)

최수림

인천광역시 연수구 선학로 100, 5동 1204호(선학동, 금호아파트)

(74) 대리인

양성보

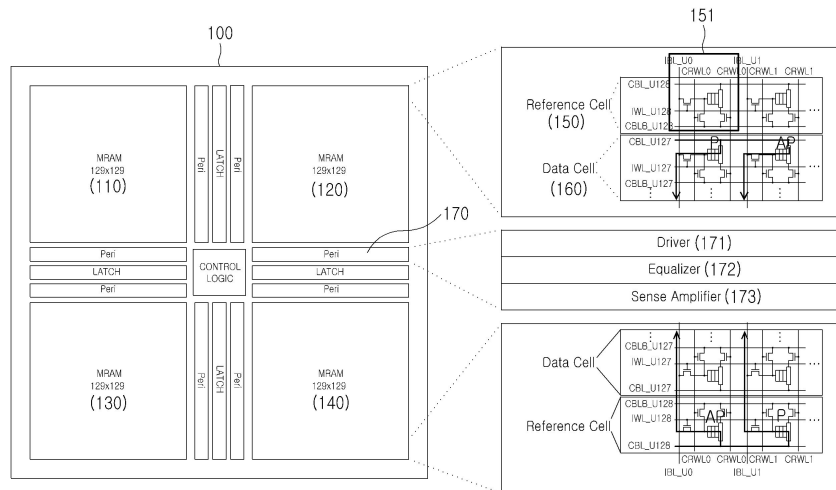
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 MRAM 기반 스파이킹 신경망 가속기 회로 및 그 동작 방법

(57) 요약

MRAM 기반 스파이킹 신경망 가속기 회로 및 그 동작 방법이 제시된다. 본 발명에서 제안하는 MRAM 기반 스파이킹 신경망 가속기 회로는 하나의 SOT-MRAM(Spin-Orbit Torque-Magnetic Random Access Memory) 디바이스 및 복수의 NMOS 트랜지스터를 포함하는 1 비트 시냅스 셀(bit synapse cell)에 기초하여 메모리 어레이의 동작을 구현한다.

대표도



(52) CPC특허분류

G11C 11/161 (2013.01)

G11C 14/0036 (2013.01)

G11C 14/0081 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711194127
과제번호	2021M3F3A2A01037531
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	신소자원천기술개발
연구과제명	[Ezbaro] Dynamic logic 기반 고성능 STMG 로직 회로 설계
기 여 율	4/10
과제수행기관명	인하대학교
연구기간	2023.01.01 ~ 2023.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1415186528
과제번호	20009972
부처명	산업통상자원부
과제관리(전문)기관명	한국산업기술기획평가원
연구사업명	차세대지능형반도체기술개발
연구과제명	고효율 초저전력 경량 엣지 디바이스용 소자회로 및 SoC 개발(4차년도)
기 여 율	3/10
과제수행기관명	한국전자기술연구원
연구기간	2023.01.01 ~ 2023.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711193592
과제번호	2021-0-02052-003
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	대학ITRC센터육성지원사업(교육운영수익)
연구과제명	[Ezbaro][정부] 스마트 모빌리티를 위한 인공지능 시스템반도체 핵심 기술 개발 및
인력 양성(3차년도)	
기 여 율	3/10
과제수행기관명	인하대학교 산학협력단
연구기간	2023.01.01 ~ 2023.12.31

명세서

청구범위

청구항 1

하나의 SOT-MRAM(Spin-Orbit Torque-Magnetic Random Access Memory) 디바이스 및 복수의 NMOS 트랜지스터를 포함하는 1 비트 시냅스 셀(bit synapse cell)에 기초하여 메모리 어레이의 동작을 구현하는
스파이킹 신경망 가속기 회로.

청구항 2

제1항에 있어서,
상기 메모리 어레이는,
상기 복수의 NMOS 트랜지스터의 온/오프 동작에 따라 제어되는 로우-와이즈 액세스(row-wise access)와 컬럼-와이즈 액세스(column-wise access) 동작으로 스파이킹 신경망(Spiking Neural Network; SNN)에서 사용되는 추론(inferencing) 및 학습(learning) 과정을 수행하는
스파이킹 신경망 가속기 회로.

청구항 3

제2항에 있어서,
상기 SOT-MRAM은,
복수의 뱅크(bank)를 포함하고,
각 뱅크에 레퍼런스 셀(reference cell)을 추가하여 데이터 셀(data cell)과 레퍼런스 셀(reference cell)의 비교를 통해 로우-와이즈 액세스와 컬럼-와이즈 액세스 동작을 수행하는
스파이킹 신경망 가속기 회로.

청구항 4

제3항에 있어서,
상기 SOT-MRAM은,
상기 로우-와이즈 액세스와 컬럼-와이즈 액세스 동작을 수행하기 위해 상기 복수의 뱅크 사이마다 등화기(Equalizer), 센스 앰플리파이어(Sense amplifier), 드라이버(driver)를 포함하는 페리 회로(Peri circuit)를 위치시키는
스파이킹 신경망 가속기 회로.

청구항 5

제4항에 있어서,
상기 등화기는,
상기 레퍼런스 셀에 흐르는 레퍼런스 전류를 생성하는
스파이킹 신경망 가속기 회로.

청구항 6

제5항에 있어서,
상기 센스 앰플리파이어는,

상기 레퍼런스 전류를 통해 읽고자 하는 데이터 셀의 전류와 레퍼런스 전류를 센싱하고, 센싱 결과 값을 래치에 저장하는

스파이킹 신경망 가속기 회로.

청구항 7

하나의 SOT-MRAM(Spin-Orbit Torque-Magnetic Random Access Memory) 디바이스 및 복수의 NMOS 트랜지스터를 포함하는 1 비트 시냅스 셀(bit synapse cell)에 기초하여 메모리 어레이의 동작을 구현하는 스파이킹 신경망 가속기 회로의 동작 방법에 있어서,

상기 복수의 NMOS 트랜지스터의 온/오프 동작에 따라 로우-와이즈 액세스(row-wise access)와 컬럼-와이즈 액세스(column-wise access) 동작을 제어하는 단계;

로우-와이즈 액세스와 컬럼-와이즈 액세스 동작에 따라 복수의 뱅크(bank)를 포함하는 SOT-MRAM의 각 뱅크에 위치하는 레퍼런스 셀(reference cell)과 데이터 셀(data cell)을 비교하는 단계;

상기 복수의 뱅크 사이에 위치하는 페리 회로의 등화기(Equalizer)를 통해 레퍼런스 셀에 레퍼런스 전류가 생성되는 단계; 및

상기 레퍼런스 전류를 통해 읽고자 하는 데이터 셀의 전류와 레퍼런스 전류를 페리 회로의 센스 앰플리파이어(Sense amplifier)로 센싱하고, 센싱 결과 값을 래치에 저장하는 단계

를 포함하는 스파이킹 신경망 가속기 회로의 동작 방법.

청구항 8

제7항에 있어서,

상기 로우-와이즈 액세스와 컬럼-와이즈 액세스 동작에 따라 복수의 뱅크를 포함하는 SOT-MRAM의 각 뱅크에 위치하는 레퍼런스 셀과 데이터 셀을 비교하는 단계는,

상기 복수의 NMOS 트랜지스터의 온/오프 동작에 따라 제어되는 로우-와이즈 액세스(row-wise access)와 컬럼-와이즈 액세스(column-wise access) 동작으로 스파이킹 신경망(Spiking Neural Network; SNN)에서 사용되는 추론(inferencing) 및 학습(learning) 과정을 수행하는

스파이킹 신경망 가속기 회로의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 MRAM 기반 스파이킹 신경망 가속기 회로 및 그 동작 방법에 관한 것이다.

배경 기술

[0002] 신경망(Neural Network; NN)는 뇌의 구조에 영감을 받은 컴퓨팅 시스템(Computing System) 중 하나이다. 특히 스파이킹 신경망(Spiking Neural Network; SNN)은 생물학적으로 뇌의 뉴런과 시냅스들을 모방해 비동기식 스파이크(spike) 기반 병렬 처리를 저전력으로 수행하는데 탁월하다. 하지만 기존 폰노인만 구조의 SNN 아키텍처는 메모리와 컴퓨팅 블록간 데이터 전송과정에서 발생하는 높은 전력, 메모리간의 데이터 전송 등의 문제를 지닌다. 이러한 문제는 CMOS(Complementary Metal-Oxide Semiconductor) 기반 컴퓨팅 블록과 메모리가 분리된 구조에서는 해결할 수가 없다. 따라서, 컴퓨팅 블록과 메모리가 통합된 구조인 PIM(Processing In Memory)를 통한 SNN 설계는 위 문제를 해결함과 동시에 병렬 뉴런 처리 방식을 사용하는 SNN의 이점을 극한으로 이룰 수 있게 된다.

[0003] 이와 같은 PIM을 통해 SNN을 설계할 때 MRAM(Magnetic Random Access Memory) 소자의 사용은 높은 유지성으로 각광받고 있다. 그 중에서 SOT-MRAM(Spin Orbit-Torque MRAM)은 읽기와 쓰기 경로의 분리와 중금속(Heavy Metal)을 활용한 스위칭 동작(Switching Operation)을 통해 STT-MRAM(Spin Transfer-Torque MRAM)에 비해 SNN 파라미터에 대한 읽기 및 쓰기 동작에서 파워와 딜레이를 모두 줄이는 장점을 지닌다.

선행기술문헌

비특허문헌

- [0004] (비특허문헌 0001) [1] Y. Jang et al., "Stochastic SOT Device Based SNN Architecture for On-Chip Unsupervised STDP Learning," in IEEE Transactions on Computers, vol. 71, no. 9, pp. 2022-2035, 1 Sept. 2022, doi: 10.1109/TC.2021.3119180.
- (비특허문헌 0002) [2] J. Kim et al., "Spin-Hall effect MRAM based cache memory: A feasibility study," 2015 73rd Annual Device Research Conference (DRC), 2015, pp. 117-118, doi: 10.1109/DRC.2015.7175583.

발명의 내용

해결하려는 과제

- [0005] 본 발명이 이루고자 하는 기술적 과제는 하나의 SOT-MRAM 디바이스와 NMOS 트랜지스터 3개를 기반으로 1 비트 스냅스 셀(bit synapse cell)을 구성하고, 상기 1 비트 스냅스 셀을 통해 MRAM 기반 스파이킹 신경망 가속기 회로의 메모리 어레이를 설계하고자 한다. 제안하는 회로는 로우-와이즈 액세스(row-wise access)와 컬럼-와이즈 액세스(column-wise access) 동작으로 SNN에서 사용되는 추론(inferencing)과 학습(learning) 동작을 지원한다.

과제의 해결 수단

- [0006] 일 측면에 있어서, 본 발명에서 제안하는 MRAM 기반 스파이킹 신경망 가속기 회로는 하나의 SOT-MRAM(Spin-Orbit Torque-Magnetic Random Access Memory) 디바이스 및 복수의 NMOS 트랜지스터를 포함하는 1 비트 시냅스 셀(bit synapse cell)에 기초하여 메모리 어레이의 동작을 구현한다.
- [0007] 상기 메모리 어레이는 상기 복수의 NMOS 트랜지스터의 온/오프 동작에 따라 제어되는 로우-와이즈 액세스(row-wise access)와 컬럼-와이즈 액세스(column-wise access) 동작으로 스파이킹 신경망(Spiking Neural Network; SNN)에서 사용되는 추론(inferencing) 및 학습(learning) 과정을 수행한다.
- [0008] 상기 SOT-MRAM은 복수의 बैं크(bank)를 포함하고, 각 बैं크에 레퍼런스 셀(reference cell)을 추가하여 데이터 셀(data cell)과 레퍼런스 셀(reference cell)의 비교를 통해 로우-와이즈 액세스와 컬럼-와이즈 액세스 동작을 수행한다.
- [0009] 상기 SOT-MRAM은 상기 로우-와이즈 액세스와 컬럼-와이즈 액세스 동작을 수행하기 위해 상기 복수의 बैं크 사이마다 등화기(Equalizer), 센스 앰플리파이어(Sense amplifier), 드라이버(driver)를 포함하는 페리 회로(Peri circuit)를 위치시킨다.
- [0010] 상기 등화기는 상기 레퍼런스 셀에 흐르는 레퍼런스 전류를 생성한다.
- [0011] 상기 센스 앰플리파이어는 상기 레퍼런스 전류를 통해 읽고자 하는 데이터 셀의 전류와 레퍼런스 전류를 센싱하고, 센싱 결과 값을 래치에 저장한다.
- [0012] 또 다른 일 측면에 있어서, 본 발명에서 제안하는 하나의 SOT-MRAM(Spin-Orbit Torque-Magnetic Random Access Memory) 디바이스 및 복수의 NMOS 트랜지스터를 포함하는 1 비트 시냅스 셀(bit synapse cell)에 기초하여 메모리 어레이의 동작을 구현하는 스파이킹 신경망 가속기 회로의 동작 방법은 상기 복수의 NMOS 트랜지스터의 온/오프 동작에 따라 로우-와이즈 액세스(row-wise access)와 컬럼-와이즈 액세스(column-wise access) 동작을 제어하는 단계, 로우-와이즈 액세스와 컬럼-와이즈 액세스 동작에 따라 복수의 बैं크(bank)를 포함하는 SOT-MRAM의 각 बैं크에 위치하는 레퍼런스 셀(reference cell)과 데이터 셀(data cell)을 비교하는 단계, 상기 복수의 बैं크 사이에 위치하는 페리 회로의 등화기(Equalizer)를 통해 레퍼런스 셀에 레퍼런스 전류가 생성되는 단계 및 상기 레퍼런스 전류를 통해 읽고자 하는 데이터 셀의 전류와 레퍼런스 전류를 페리 회로의 센스 앰플리파이어(Sense amplifier)로 센싱하고, 센싱 결과 값을 래치에 저장하는 단계를 포함한다.

발명의 효과

[0013] 본 발명의 실시예들에 따르면 하나의 SOT-MRAM 디바이스와 NMOS 트랜지스터 3개를 기반으로 1 비트 시냅스 셀(bit synapse cell)을 구성하고, 상기 1 비트 시냅스 셀을 통해 MRAM 기반 스파이킹 신경망 가속기 회로의 메모리 어레이를 설계할 수 있다. 제안하는 회로는 로우-와이즈 액세스(row-wise access)와 컬럼-와이즈 액세스(column-wise access) 동작으로 SNN에서 사용되는 추론(inferencing)과 학습(learning) 동작을 지원할 수 있다. 본 발명의 실시예들에 따르면 데이터 셀과 레퍼런스 셀의 비교를 통해 효율적인 로우-와이즈 액세스 및 컬럼-와이즈 액세스 동작을 수행할 수 있다.

도면의 간단한 설명

[0014] 도 1은 본 발명의 일 실시예에 따른 MRAM 기반 스파이킹 신경망 가속기 회로의 구조를 나타내는 도면이다.

도 2는 본 발명의 일 실시예에 따른 1 비트 시냅스 셀의 구조를 설명하기 위한 도면이다.

도 3은 본 발명의 일 실시예에 따른 MRAM 기반 스파이킹 신경망 가속기 회로의 동작 방법을 설명하기 위한 흐름도이다.

도 4는 본 발명의 일 실시예에 따른 로우-와이즈 액세스 시뮬레이션 결과를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0015] 스파이킹 신경망(Spiking Neural Network; SNN)은 DNN(Deep Neural Network)와 달리 에너지 효율측면에서 탁월해 현재 활발히 관련 연구가 진행되고 있다. 여기서 SNN을 PIM(Processing In Memory) 아키텍처로 설계하면 기존 폰노인만 구조의 SNN 아키텍처에 비해 컴퓨팅 블록과 메모리간의 데이터 전송과정에서 발생하는 높은 전력 등의 문제를 해결하고 SNN의 이점을 극한으로 이룰 수 있다. 이처럼 PIM 기반으로 SNN을 설계를 할 때 높은 유지성으로 인해 MRAM(Magnetic Random Access Memory) 소자의 기용이 각광받고 있다.

[0016] 특히 MRAM 소자 중에서 SOT-MRAM(Spin-Orbit Torque-Magnetic Random Access Memory)은 STT-MRAM(Spin Transfer Torque-Magnetic Random Access Memory)에 비해 읽기와 쓰기 경로의 분리와 중금속(Heavy Metal)을 활용한 스위칭 동작(Switching Operation)을 통해 읽기 및 쓰기 동작에서 발생하는 파워와 딜레이를 모두 줄일 수 있다.

[0017] 따라서, 본 발명에서는 하나의 SOT-MRAM 디바이스와 3개의 NMOS 트랜지스터로 1 비트 시냅스 셀(bit synapse cell)을 구성했고, 1 비트 시냅스 셀을 기반으로 256×256 의 SOT-MRAM 어레이를 설계했다. 특히 이 회로는 로우-와이즈 액세스(row-wise access)와 컬럼-와이즈 액세스(column-wise access) 동작으로 SNN에서 사용되는 추론(inferencing)과 학습(learning)을 지원한다. 이와 같은 동작을 효율적으로 구현하기 위해 SOT-MRAM 어레이를 4개의 뱅크(bank)로 나누어 스파이킹 신경망 가속기 회로를 구성했다. 이때 각 뱅크에 레퍼런스 셀(reference cell)을 추가하여 데이터 셀(data cell)과 레퍼런스 셀(reference cell)의 비교를 통해 로우-와이즈 액세스와 컬럼-와이즈 액세스 방법을 제안했으며, 이를 구현하기 위해 페리 회로(Peri circuit)로 등화기(Equalizer), 센스 앰플리파이어(Sense amplifier), 드라이버(driver)를 설계한다. 본 발명의 실시예에 따라 설계된 MRAM 기반 스파이킹 신경망 가속기 회로는 총면적이 0.0404mm^2 이고, 각 로우-와이즈 액세스와 컬럼-와이즈 액세스 과정에 대해 30ns 사이클 타임(cycle time) 동안 0.678mW/0.7618mW를 소비했다. 이하, 본 발명의 실시예를 첨부된 도면을 참조하여 상세하게 설명한다.

[0019] 도 1은 본 발명의 일 실시예에 따른 MRAM 기반 스파이킹 신경망 가속기 회로의 구조를 나타내는 도면이다.

[0020] 제안하는 MRAM 기반 스파이킹 신경망 가속기 회로는 하나의 SOT-MRAM(Spin-Orbit Torque-Magnetic Random Access Memory) 디바이스(100) 및 복수의 NMOS 트랜지스터를 포함하는 1 비트 시냅스 셀(bit synapse cell)(151)에 기초하여 메모리 어레이의 동작을 구현한다.

[0021] 본 발명의 실시예에 따른 메모리 어레이(100)는 상기 복수의 NMOS 트랜지스터의 온/오프 동작에 따라 제어되는 로우-와이즈 액세스(row-wise access)와 컬럼-와이즈 액세스(column-wise access) 동작으로 스파이킹 신경망(Spiking Neural Network; SNN)에서 사용되는 추론(inferencing) 및 학습(learning) 과정을 수행한다.

[0022] 본 발명의 실시예에 따른 SOT-MRAM(100)은 복수의 뱅크(bank)(110, 120, 130, 140)를 포함하고, 각 뱅크에 레퍼런스 셀(reference cell)(150)을 추가하여 데이터 셀(data cell)(160)과 레퍼런스 셀(reference cell)(150)

의 비교를 통해 로우-와이즈 액세스와 컬럼-와이즈 액세스 동작을 수행한다.

- [0023] 본 발명의 실시예에 따른 SOT-MRAM은, 상기 로우-와이즈 액세스와 컬럼-와이즈 액세스 동작을 수행하기 위해 상기 복수의 뱅크 사이마다 드라이버(driver)(171), 등화기(Equalizer)(172), 센스 앰플리파이어(Sense amplifier)(173)를 포함하는 페리 회로(Peri circuit)(170)를 위치시킨다.
- [0024] 본 발명의 실시예에 따른 등화기(172)는 상기 레퍼런스 셀에 흐르는 레퍼런스 전류를 생성한다.
- [0025] 본 발명의 실시예에 따른 센스 앰플리파이어(173)는 상기 레퍼런스 전류를 통해 읽고자 하는 데이터 셀의 전류와 레퍼런스 전류를 센싱하고, 센싱 결과 값을 래치에 저장한다.
- [0026] 더욱 상세하게는, 본 발명의 실시예에 따르면 1 비트 시냅스 셀(151)을 기반으로 256×256 MRAM 어레이(100)로 설계한다. 도 1을 참조하면, 이와 같은 MRAM 어레이(100)를 4개의 뱅크(110, 120, 130, 140)로 나눈 것을 확인할 수 있다. 이때 각 뱅크에 레퍼런스 셀(150)을 추가하고, 뱅크 사이마다 드라이버(171), 등화기(172), 센스 앰플리파이어(173)를 포함하는 페리 회로(170)를 위치시켜 데이터 셀(160)과 레퍼런스 셀(150)과의 비교를 통해 효율적인 로우-와이즈 액세스와 컬럼-와이즈 액세스를 구현했다.
- [0027] 도 1에서처럼 레퍼런스 셀(150)의 MTJ 상태(state)는 고정되어 있고, P 상태와 AP 상태의 MTJ가 번갈아 배치되어 있다. 이 두 상태는 등화기(172)를 통해 평균값의 레퍼런스 전류가 생성된다. 이를 통해 읽고자 하는 데이터 셀(160)의 전류와 레퍼런스 셀(150)의 전류를 센스 앰플리파이어(173)로 센싱하고 센싱 결과 값을 래치(LATCH)를 통해 저장한다.
- [0029] 도 2는 본 발명의 일 실시예에 따른 1 비트 시냅스 셀의 구조를 설명하기 위한 도면이다.
- [0030] 도 2(a)는 하나의 SOT-MRAM 디바이스와 NMOS 트랜지스터 세 개로 구성된 1비트 시냅스 셀을 나타낸다. 이 NMOS 트랜지스터들은 각 IWL, CRWL, CWWL을 게이트로 가지며, 이 게이트 전압을 VDD나 GND로 인가해 각 트랜지스터의 ON/OFF 상태를 바꿀 수 있다.
- [0031] 도 2(b)는 IWL에 VDD를 인가하고 CRWL, CWWL은 GND를 인가해 로우-와이즈 액세스 동작을 나타낸 것이다. 이때 CBL에 VDC(low voltage)를 인가해 SOT-MRAM의 AP/P 정보가 바뀌지 않고 IBL로 전류가 흐를 수 있게 한다. 따라서 IBL을 사전에 플로팅(floating)시킴으로써 로우-와이즈 액세스(row-wise access)를 진행시킬 수 있다.
- [0032] 도 2(c)는 CRWL에 VDD를 인가하고 IWL, CWWL은 GND를 인가해 컬럼-와이즈 액세스(column-wise access) 동작을 나타낸 것이다. 이때 로우-와이즈 액세스처럼 CBL에 VDC(low voltage)를 인가해 SOT-MRAM의 AP/P 정보가 바뀌지 않고 CBLB로 전류가 흐를 수 있게 했다. 따라서 CBLB를 플로팅시킴으로써 컬럼-와이즈 액세스를 진행시킬 수 있다.
- [0033] 본 발명의 실시예에 따르면 1 비트 시냅스 셀을 기반으로 256×256 MRAM 어레이로 설계한다. 이와 같은 MRAM 어레이를 4개의 뱅크로 나눈다. 이때 각 뱅크에 레퍼런스 셀을 추가하고, 뱅크 사이마다 드라이버, 등화기, 센스 앰플리파이어를 포함하는 페리 회로를 위치시켜 데이터 셀과 레퍼런스 셀과의 비교를 통해 효율적인 로우-와이즈 액세스와 컬럼-와이즈 액세스를 구현했다.
- [0034] 도 1에서처럼 레퍼런스 셀의 MTJ 상태는 고정되어 있고, P 상태와 AP 상태의 MTJ가 번갈아 배치되어 있다. 이 두 상태는 등화기를 통해 평균값의 레퍼런스 전류가 생성된다. 이를 통해 읽고자 하는 데이터 셀의 전류와 레퍼런스 셀의 전류를 센스 앰플리파이어로 센싱하고 센싱 결과 값을 래치(LATCH)를 통해 저장한다.
- [0036] 도 3은 본 발명의 일 실시예에 따른 MRAM 기반 스파이킹 신경망 가속기 회로의 동작 방법을 설명하기 위한 흐름도이다.
- [0037] 본 발명의 실시예에 따른 하나의 SOT-MRAM(Spin-Orbit Torque-Magnetic Random Access Memory) 디바이스 및 복수의 NMOS 트랜지스터를 포함하는 1 비트 시냅스 셀(bit synapse cell)에 기초하여 메모리 어레이의 동작을 구현하는 스파이킹 신경망 가속기 회로의 동작 방법은 상기 복수의 NMOS 트랜지스터의 온/오프 동작에 따라 로우-와이즈 액세스(row-wise access)와 컬럼-와이즈 액세스(column-wise access) 동작을 제어하는 단계(310), 로우-와이즈 액세스와 컬럼-와이즈 액세스 동작에 따라 복수의 뱅크(bank)를 포함하는 SOT-MRAM의 각 뱅크에 위치하는 레퍼런스 셀(reference cell)과 데이터 셀(data cell)을 비교하는 단계(320), 상기 복수의 뱅크 사이에 위치

하는 페리 회로의 등화기(Equalizer)를 통해 레퍼런스 셀에 레퍼런스 전류가 생성되는 단계(330) 및 상기 레퍼런스 전류를 통해 읽고자 하는 데이터 셀의 전류와 레퍼런스 전류를 페리 회로의 센스 앰플리파이어(Sense amplifier)로 센싱하고, 센싱 결과 값을 래치에 저장하는 단계(340)를 포함한다.

[0038] 단계(310)에서, 상기 복수의 NMOS 트랜지스터의 온/오프 동작에 따라 로우-와이즈 액세스(row-wise access)와 컬럼-와이즈 액세스(column-wise access) 동작을 제어한다.

[0039] 단계(320)에서, 상기 로우-와이즈 액세스와 컬럼-와이즈 액세스 동작에 따라 복수의 뱅크를 포함하는 SOT-MRAM의 각 뱅크에 위치하는 레퍼런스 셀과 데이터 셀을 비교한다.

[0040] 본 발명의 실시예에 따르면, 상기 복수의 NMOS 트랜지스터의 온/오프 동작에 따라 제어되는 로우-와이즈 액세스(row-wise access)와 컬럼-와이즈 액세스(column-wise access) 동작으로 스파이킹 신경망(Spiking Neural Network; SNN)에서 사용되는 추론(inferencing) 및 학습(learning) 과정을 수행한다.

[0042] 도 4는 본 발명의 일 실시예에 따른 로우-와이즈 액세스 시뮬레이션 결과를 나타내는 도면이다.

[0043] 본 발명의 실시예에 따르면, MRAM 어레이를 4개의 뱅크로 나누어 뱅크 사이에 페리 회로를 위치시켜 설계했다. 이와 같은 MRAM 기반 스파이킹 신경망 가속기 회로의 드라이버에 전압을 인가해 와이즈 액세스(wise access) 동작에 대해 시뮬레이션을 수행했다.

[0044] 도 4는 본 발명의 실시예에 따른 로우-와이즈 액세스에 대한 시뮬레이션 결과를 도시한다. 이때, U127은 데이터 셀을 D128은 레퍼런스 셀을 나타낸다. 또한, RSEL_DB 및 SP, SE_B는 각 등화기와 센스 앰플리파이어의 컨트롤 신호를 의미하며, 센스 앰플리파이어의 출력을 Read_current 노드의 전압으로 표시했다. 또한, 도 1에 도시된 바와 같이, MTJ 상태(state)는 P 상태로, 1번째 데이터 셀의 MTJ 상태는 AP 상태로 배치했다. 이때, 로우-와이즈 액세스이므로 도 2(b)와 같이 IWL에는 VDD를, CBL에는 VDC(low voltage)를 인가를 했다. 그 결과 0번째 Read_current 전압은 5.65 uV로 P 상태를 센싱했고, 1번째 Read_current 전압은 1 V로 AP 상태를 센싱하는 것을 확인할 수 있다.

[0045] 이와 같이, 본 발명의 실시예에 따른 로우-와이즈 액세스 및 컬럼-와이즈 액세스는 30ns 사이클 타임으로 동작했으며, 이때 각 로우-와이즈 액세스 및 컬럼-와이즈 액세스의 소비전력은 0.678mW/0.7618mW로 측정했다. 또한, MRAM 기반 스파이킹 신경망 가속기 레이아웃(Layout)에 대한 가로 길이 및 세로 길이를 209.96um/189.629um로 측정했으며 이때 총면적은 0.0404mm²였다.

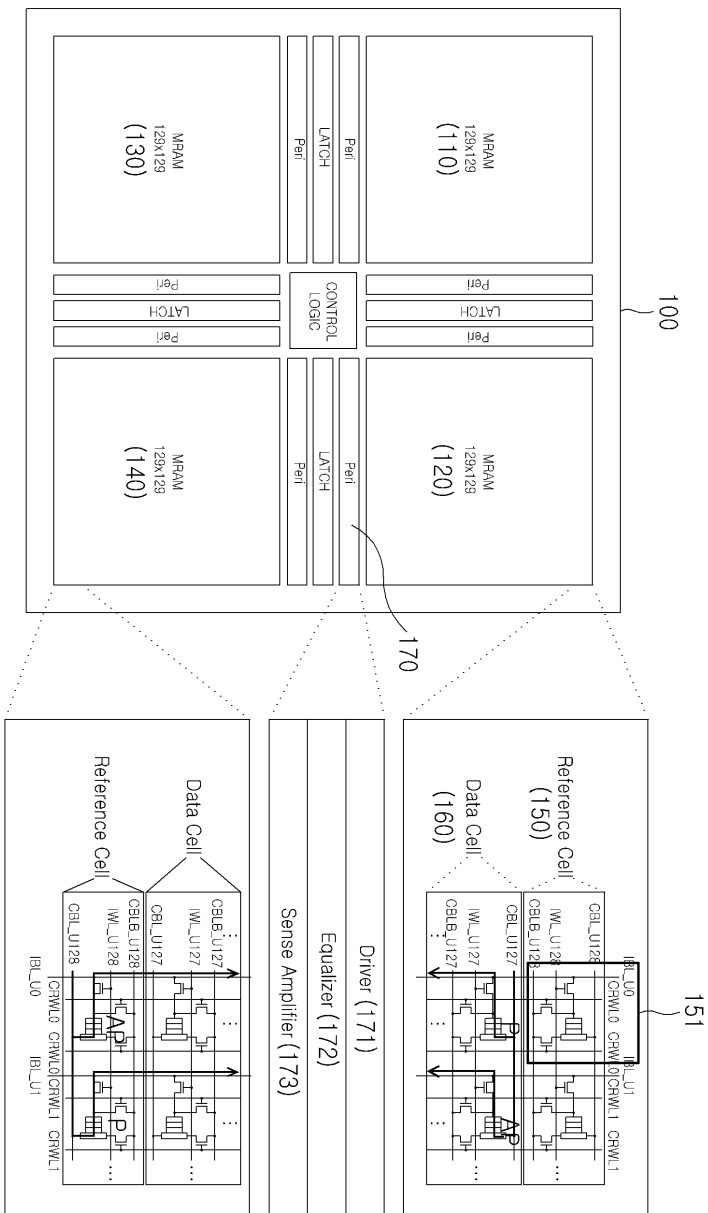
[0047] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPGA(field programmable gate array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.

[0048] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상 장치(virtual equipment), 컴퓨터 저장 매체 또는 장치에 구체화(embodiment)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

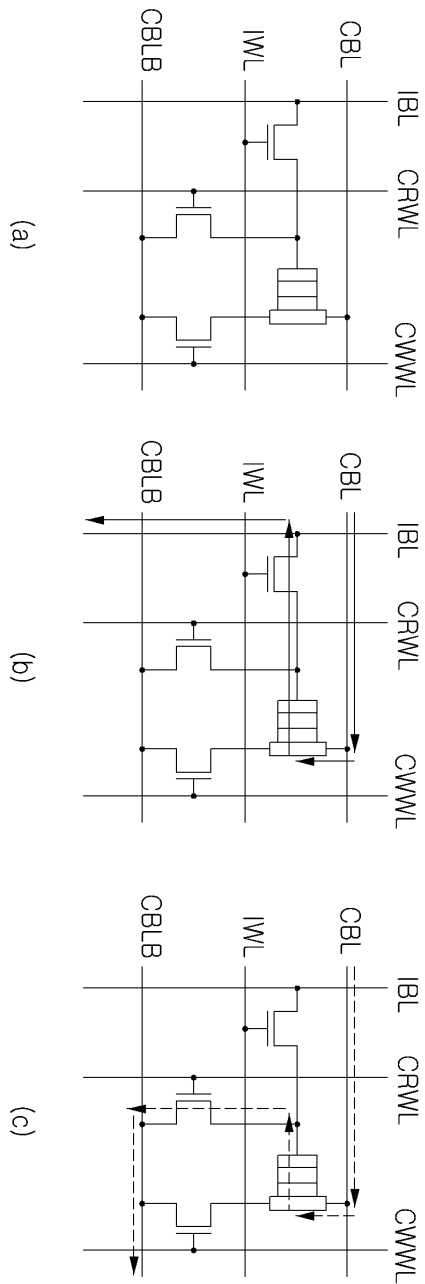
- [0049] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다.
- [0050] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.
- [0051] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

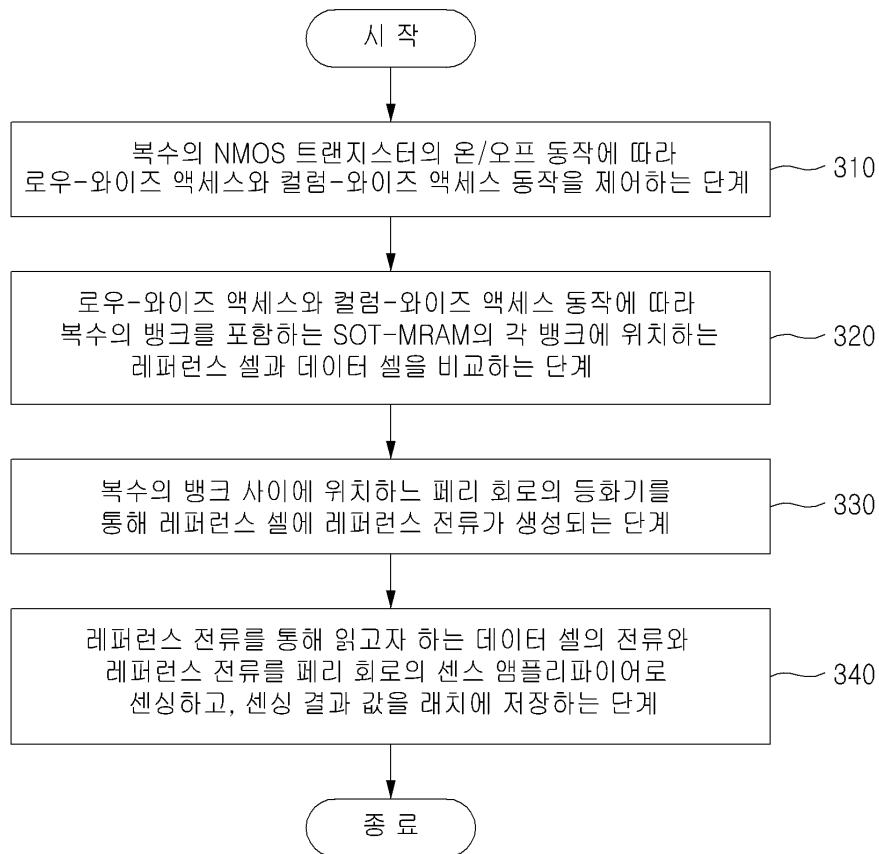
도면1



도면2



도면3



도면4

