



(12) 发明专利

(10) 授权公告号 CN 1977342 B

(45) 授权公告日 2010.05.05

(21) 申请号 200580021009. X

(22) 申请日 2005.06.23

(30) 优先权数据

04/51340 2004.06.25 FR

(85) PCT申请进入国家阶段日

2006.12.25

(86) PCT申请的申请数据

PCT/EP2005/052932 2005.06.23

(87) PCT申请的公布数据

W02006/003106 EN 2006.01.12

(73) 专利权人 国立科学研究中心

地址 法国巴黎

专利权人 法国原子能委员会

(72) 发明人 多米尼克·布雷顿 埃里克·德拉涅

(74) 专利代理机构 北京康信知识产权代理有限公司
11240

代理人 余刚 尚志峰

(51) Int. Cl.

G11C 27/02 (2006.01)

(56) 对比文件

US 2004114409 A1, 2004.06.17, 全文.

US 4429305 A, 1984.01.31, 全文.

EP 0350027 A2, 1990.01.10, 全文.

审查员 刘欢

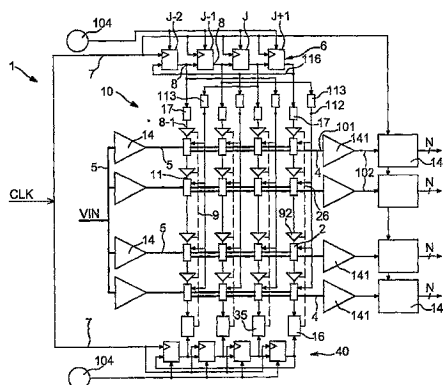
权利要求书 3 页 说明书 13 页 附图 8 页

(54) 发明名称

用于连续记录和读取的快速模拟采样器以及
数字转换系统

(57) 摘要

一种模拟采样器 (1), 用于连续记录和读取由总线 (5) 承载的模拟数据, 其包括记录单元 (2) 的阵列 (10), 呈 L 行 (13) 以及 C 列 (12) 布置。每个单元 (2) 均具有通过分别具有控制数字输入 (23、26) 的交换装置 (21、25) 连接到写入总线 (5) 的模拟输入 (3) 和连接到读取总线 (4) 的模拟输出 (103)。顺序地记录列的单元, 同时读取已经记录的另一列的单元。将固定数量的列从读取列中划分出来, 作为写入列。循环该系统, 使得以连续方式无限地写入和读取。



1. 一种模拟采样器 (1), 用于连续记录和读取相对于信号的模拟数据, 包括:

至少一条写入模拟总线 (5、5a、5b), 用于承载将记录的所述信号;

至少一条读取模拟总线 (4、4a、4b), 用于承载所记录的信号并将其引向读取输出 (101);

矩阵阵列 (10), 用于获取、记录和读取以 L 行以及 C 列 (12) 布置或 L 线对以及 C 列 (12) 布置的单元 (2), L 和 C 为正整数, 所述单元 (2) 的每一个均具有与所述至少一条写入模拟总线 (5、5a、5b) 连接的至少一个模拟输入 (3、3a、3b)、至少一个写入控制数字输入 (23、23a、23b)、至少一个读取控制数字输入、以及连接到所述读取模拟总线 (4、4a、4b) 的至少一个模拟输出 (103、103a、103b), 所述列 (12) 的每一个均具有与所述列 (12) 的每个单元 (2) 的至少一个写入数字输入 (11-1) 连接的一个列输入;

移位寄存器 (6), 具有用于接收时钟信号的一个输入 (7)、用于将所述移位寄存器初始化的一个输入 (104)、以及连接到所述矩阵阵列 (10) 的所述列输入的多个移位输出 (8);

所述采样器包括用于每个列 (12) 的相关的延迟线 (9), 所述延迟线具有一个输入以及数量等于或大于矩阵阵列行的数量 L 的连续移位输出, 所述延迟线 (9) 的所述输入组成所述列输入, 所述列输入通过所述延迟线 (9) 的中间元件与列单元 (2) 的每一个所述写入数字输入 (11-1) 连接, 所述延迟线的每个输出分别连接到所述列 (12) 的列单元 (2) 的所述至少一个写入数字输入 (11-1) 之一;

模拟采样器 (1) 的特征在于, 包括装置 (116、113), 其允许将施加到读取列的单元的所有读取数字输入的读取指令同时施加到列 (12) 的写入, 所述读取列为在所述读取列的读取期间不包括在写入期间的任何单元 (2) 的列 (12), 所述装置 (116、113) 包括使在列输入上的写入列指针信号的到达和读取列 (12) 的单元 (2) 读取数字输入的读取命令的应用之间同步的装置。

2. 根据权利要求 1 所述的模拟采样器 (1), 其特征在于, 将读取命令施加到读取列 (12) 的所述单元 (2) 的所有读取数字输入 (26) 的所述装置 (116、113) 包括在所述移位寄存器 (6) 的每个输出 (8) 和认为与写入列不同的一个且仅一个读取列 (12) 的所述单元 (2) 的每个所述读取数字输入之间的连接链路 (116、113)。

3. 根据权利要求 1 所述的模拟采样器 (1), 其特征在于, 将所述读取列以 C 为模相对于接收所述写入列指针的所述列移位整数 k 的列。

4. 根据权利要求 3 所述的模拟采样器 (1), 其特征在于, 所述整数 k 等于 2。

5. 根据权利要求 1 所述的模拟采样器 (1), 其特征在于, 列 (12) 的所述整数 C 等于 4。

6. 根据权利要求 1 所述的模拟采样器 (1), 其特征在于, 所述使在列输入上的写入列指针信号的到达和读取列 (12) 的单元 (2) 读取数字输入的读取命令的应用之间同步的装置包括在写入列指针信号的输出和每个所述读取数字输入之间具有同时移位效果的可调延迟部 (113)。

7. 根据权利要求 1 所述的模拟采样器 (1), 其特征在于, 记录和读取单元 (2) 的矩阵阵列在其自身上折叠, 所述移位寄存器 (6) 包括弯曲部, 从而所述移位寄存器 (6) 的伸出部 (61) 面对所述移位寄存器 (6) 的返回部 (62), 位于所述返回部 (62) 上的列 (12) 和连接到所述移位寄存器 (6) 输出 (8) 的与该列相关的延迟线 (9) 被插入到位于所述伸出部 (61) 上的列 (12) 和连接到所述写入移位寄存器 (6) 输出 (8) 的与该列相关的延迟线 (9) 之间。

8. 根据权利要求1所述的模拟采样器(1),其特征在于,所述移位寄存器(6)的每个输出(8)通过脉冲成形块(17)连接到所述延迟线(9)的所述输入。

9. 根据权利要求1所述的模拟采样器(1),其特征在于,划分所述写入模拟总线(5)以提供区域(5-1、...、5-L),每个区域对应于所述矩阵阵列(10)的行,并且每个所述区域(5-1、...、5-L)均用于容纳跟踪放大器(14)。

10. 根据权利要求1所述的模拟采样器(1),其特征在于,以每个矩阵阵列行的一个基本延迟部的比率,由连续的基本延迟部(92)形成每条延迟线(9),每个基本延迟部(92)的至少一个数字输出连接到单元(2)的写入数字输入。

11. 根据权利要求10所述的模拟采样器(1),其特征在于,由串联的两个基本半延迟部(93、94)形成每个基本延迟部(92),每个基本半延迟部(93、94)的第一部分(93)和第二部分(94)具有连接到单元(2)的写入数字输入(11-1a、11-1b)的输出。

12. 根据权利要求10所述的模拟采样器(1),其特征在于,其包括:辅助延迟线(91)或与列(12)相关的至少一条延迟线(9);相位比较器(30),在第一输入(18)上接收来自所述辅助延迟线(91)或来自与列(12)相关的至少一条延迟线(9)的信号,以及在第二输入(19)上接收参考信号,所述相位比较器(30)的一个输出连接到电荷泵(32),其中,所述电荷泵(32)的至少一个输出(33)连接到用于控制所述基本延迟部(92)的调整电压的装置。

13. 根据权利要求10所述的模拟采样器(1),其特征在于,其包括:每一条均与列(12)相关的延迟线(9);相位比较器(30),在第一输入(18)上接收来自所述延迟线(9)的信号,以及在第二输入(19)上接收参考信号,所述相位比较器(30)的输出连接到电荷泵(32),其中,所述电荷泵(32)的至少一个输出(33)连接到用于控制所述延迟线(9)的所述基本延迟部(92)的调整电压的装置。

14. 根据权利要求9所述的模拟采样器(1),其特征在于,所述阵列的每个单元(2)均包括电容器(22),具有两个端子,第一端子(22a)和第二端子(22b),所述第一端子(22a)通过属于写入交换装置(21)的第一写入可控开关(21a)连接到所述写入模拟总线(5)的区域(5-1、5-2、...、5-L)以及通过属于读取交换装置(25)的第一读取可控开关(25a)连接到所述读取模拟总线(4)的区域(4-1、4-2、...、4-L),所述第二端子(22b)通过属于所述写入交换装置(21)的第二写入可控开关(21b)连接到具有恒定电压的所述写入模拟总线(5)的返回部(5b),所述第一写入可控开关和所述第二写入可控开关(21a、21b)的每一个的命令(23a、23b)连接到每个所述单元(2)的写入数字输入,并且通过属于所述读取交换装置(25)的第二读取可控开关(25b)连接到具有恒定电压的所述读取模拟总线(4)的返回部(4b),所述第一读取可控开关和所述第二读取可控开关(25a、25b)的每一个的命令(26a、26b)连接到每个所述单元(2)的读取数字输入。

15. 根据权利要求14所述的模拟采样器(1),其特征在于,属于每个单元(2)的所述写入交换装置(21)的所述第二写入可控开关(21b)具有控制输入,连接到所述延迟线(9)的基本延迟部或基本半延迟部,所述控制输入位于基本延迟部(92)或基本半延迟部(93、94)的输出的上游,所述控制输入连接到属于所述写入交换装置(21)的所述第一写入可控开关(21a)的写入控制输入端。

16. 根据权利要求14所述的模拟采样器(1),其特征在于,属于所述写入交换装置(21)的所述第一写入可控开关(21a)包括并联连接的两个晶体管,一个晶体管是NMOS的,一个

晶体管是 PMOS 的。

17. 根据权利要求 1 所述的模拟采样器 (1), 其特征在于, 其包括两条模拟输入总线, 第一模拟输入总线连接到将以第一极性采样的信号的第一源, 第二模拟输入总线连接到用于接收将以第一极性采样的信号以及传送将以与所述第一极性相反的第二极性采样的信号的极性反相器, 划分两个模拟输入总线以提供区域, 每个区域均对应于所述矩阵阵列的行, 并且这些区域中的每一个均容纳跟踪放大器 (14), 所述行以线对配置, 每个线对均包括所述矩阵阵列的奇数秩线和所述矩阵阵列的偶数秩线, 所述线对具有连续秩, 每条奇数秩线具有连接到承载所述第一级性的信号的总线区域的单元, 以及每条偶数秩线具有连接到承载所述第二极性的信号的总线区域的单元。

18. 根据权利要求 1 所述的模拟采样器 (1), 其特征在于, 其包括在所述矩阵阵列 (10) 的每行或线对上的读取模拟总线 (4), L 条读取模拟总线 (4-1、...、4-L) 的每一条均容纳有读取放大器 (141)。

19. 包括根据权利要求 18 所述的模拟采样器 (1) 的数字获取系统, 其特征在于, 一个读取放大器 (141) 连接到一个模 / 数转换器 (142)。

20. 根据权利要求 19 所述的数字获取系统, 其特征在于, 所述模 / 数转换器 (142) 的每一个均具有连接至公共端的时钟输入, 所述公共端连接到所述移位寄存器 (6) 的时钟输入。

21. 用于通过根据权利要求 1 所述的模拟采样器 (1) 连续记录和读取相对于信号的模拟数据的处理方法, 其特征在于, 在对应于写入列的 L 个单元连续采样的时钟周期期间, 同时读取先前记录的读取列的所述 L 个单元, 所述读取与在写入列中的采样同步。

22. 用于通过根据权利要求 1 所述的模拟采样器 (1) 连续记录和读取相对于信号的模拟数据的处理方法, 其特征在于, 通过具有上升沿和下降沿的单元写入指针信号来控制每个单元的写入触点, 所述上升沿和下降沿由存在于移位寄存器 (6) 中的列指针信号构建, 并且所述单元写入指针信号的所述上升沿和下降沿之一控制采样获取的开始, 另一个控制所述采样获取的结束, 其中, 分离所述单元写入指针信号的所述上升沿和所述下降沿的持续时间小于控制所述移位寄存器 (6) 的时钟周期。

23. 根据权利要求 21 所述的处理方法, 其特征在于, 用于控制单元的采样获取结束的脉冲边沿首先控制打开记录单元和返回总线间触点的数字输入, 然后在时间延迟之后, 控制打开记录单元和承载信号的总线间触点的数字输入。

24. 根据权利要求 21 所述的处理方法, 其特征在于, 对所述信号连续进行模数转换, 所述对所述信号连续进行模数转换包括: 顺序地采样并记录在矩阵阵列的列 j 的单元中的模拟信号, 所述矩阵阵列包括单元的 C 列, 当所述 j 列的所有单元记录结束时, 在模 / 数转换器中, 同步地并且在与列写入的持续时间相对应的时间内, 将每个采样记录在相同 j 列的单元中, 同时顺序记录与所述 j 列不同的列的单元中的所述模拟信号。

用于连续记录和读取的快速模拟采样器以及数字转换系统

技术领域

[0001] 本发明涉及快速模拟采样器领域。本发明还涉及一种用于使用模拟采样器数字获取模拟信号的系统和方法。

[0002] 技术状态

[0003] 在 2005 年 2 月 22 日授权的美国专利申请第 US 6,859,375 公开了一种具有大存储深度 (memory depth) 的快速模拟采样器。

[0004] 这是一种具有变化采样率 (能够达到或超过 GHz) 的大深度 FIFO (快入慢出) 装置。在这种装置中,快速写入以可靠地采样宽带信号,并且在放大的时标上进行读取。因此,读取时间远大于写入时间。

背景技术

[0005] 在已知的装置中,首先,以高频在存储单元的矩阵阵列中采样信号。在采样停止之后,该记录单元被更缓慢地读取,并被一个或多个模/数转换器 (ADC) 转换。这种方法在功耗方面非常经济,并且可以获得大于 12 比特的动态范围。这种方法只允许获取记录在时间窗中的信号,其中,时间窗的持续时间取决于记录矩阵阵列中单元的数量以及驱动移位寄存器 6 的时钟频率。该寄存器传送用于确定写入列的写入列指针信号。此外,在记录单元被读取期间,至少存在无效记录次数。

[0006] 本发明是对该已知装置及其实施例修改的改进。本发明涉及一种允许读取刚记录的单元,同时将其记录到新单元中的改进。在读取单元之后,该单元再次被用于记录。因此,可以在独立于记录频率和单元数量的周期期间以连续方式同时进行记录和读取。通过短语“连续记录”,表示在与期望的周期一样长或甚至不变的周期期间,采样获取的实例以相等的时间间隔彼此相接。

[0007] 在记录之后,读取经过预定的延迟。此外,利用具有数/模转换器 (ADC) 的本发明 (例如,以与矩阵阵列的行数相等的数量) 允许以与记录相等的速度执行所记录模拟信号的数字转换,每一个从模拟采样到数字采样的转换都将在与移位寄存器的时钟周期拟相等的期间实现。因此,其受益于用于获得 GHz 级记录频率的大于 60dB 信噪比的信号的充分转换时间。此外,可能由 ADC 完善的根据本发明的采样电路能够以 CMOS 技术方便地实现,其成本低且容易使用。

[0008] 更具体地,US 6,859,375 公开了一种用于记录关于信号的模拟数据的采样器,其包括:

[0009] 至少一个模拟总线,承载将被记录的信号;

[0010] 获取和记录单元的矩阵阵列,其被配置为 L 行或线对以及 C 列,每个单元均具有连接到至少一条模拟总线的至少一个模拟输入以及至少一个数字输入,每列均具有连接到所述列的每个单元的数字输入的一个列输入,写入移位寄存器具有用于接收时钟信号的入口以及连接到矩阵阵列列输入的多个移位输出。

[0011] 对于每一列,已知采样器包括相关的延迟线,其具有延迟线的输入和其数量等于

或大于矩阵阵列行数的连续移位输出,延迟线的输入构成了列输入,列输入通过所述延迟线连接到列单元的数字输入之一,通过连续的基本延迟部 (elementary delay) 形成每条延迟线,第一延迟部连接到第一行单元的数字输入,后续基本延迟部的每一个一一对应地连接到后续行之一的单元的数字输入,以及最后一个基本延迟部连接到最后一行单元的数字输入。

[0012] 因此,在延迟线的输出端与获取和记录单元的数字输入端之间存在一一对应的关系。

[0013] 根据本发明,改进了现有技术的所述采样器,这是因为其包括一种装置,该装置允许同时应用以读取列单元的所有读取数字输入的读取指令写入列,所述读取列为在读取周期期间不包含在写入期间内的任一单元的列。

[0014] 应当注意,当写入列信号到达写入列输入时被写入的单元及其所属的列被确定。与将在读取周期期间写入的单元相同,稍后的周期期间写入的列将被确定。因此,如果控制列单元读取开始的信号以预定方式与到达写入列的输入的写入列指针信号同步,则它可以影响到列单元的读取开始指令信号,其中,列单元知道在读取期间其将不被写入。因此,读取列将与写入列指针信号到达其上的列不同,更一般地,其还与以写入指令与其相邻的两个列不同。因此,其将包括通过参照接收列写入指针的 k 列移位的列单元。因此,根据一个实施例,将读取列移位参照接收列写入指针的所述列的 k 列,以 C 为模。根据一个实施例,整数 k 等于 2。应当注意,关于到达写入列输入的列写入指针与读取开始信号之间的同步不必意味着同步性。这两个信号之间可以存在预定算法时间移位。

[0015] 对于本领域技术人员来说,熟悉用于以同步方式将信号移动到连续输入的同步装置。

[0016] 写入列的选择确定第一写入单元的选择,例如,在所述选取的列和第一行中出现的单元。通过源自与写入列相关的延迟线的单元写入指针信号的输出来确定写入列中的写入单元。可能进行在所述列的第一单元中的写入,这是因为承载用于记录的信号的写入总线通过控制其导通和断开的开关连接到这个单元。该第一开关的控制源自单元写入指针信号。将该写入指针信号沿着紧接于下一写入行等的写入开关的延迟线传播,直至达到矩阵阵列记录行的最后一行。因此,存储矩阵阵列列的每一列均配备有延迟线,该延迟线包括至少与矩阵阵列行一样多的输出。在延迟线每个输出处的单元写入指针信号命令单个单元的选择,并且发起仅对于该单个单元的采样获取开始和结束的交换。通过相同的实现原则,我们假设仅在前一单元采样之后进行当前单元的采样,这是因为可在给定时间采样的单元是唯一的。

[0017] 在延迟线输入处的单元写入指针信号可以是写入列指针或稍后重定形的。通过来自所述延迟线的所述写入指针信号的上升沿和下降沿分别确定采样获取的开始和结束。因此,对于每个采样获取,只转换通过接收来自延迟线的单元写入指针信号沿来确定写入列的单元。这意味着,仅在前一单元的采样获取开始之后由下一单元开始采样获取。与采样获取的结束相同,采样获取开始仅在前一单元的采样获取结束之后发生。

[0018] 任何时候,采样获取指令的单个上升沿和单个下降沿在整个矩阵阵列延迟线中传播。

[0019] 该第一特性允许写入噪声最小化。具体地,消除了高重复频率交换噪声,因此,大

频谱噪声被散布到整个矩阵阵列中并干扰记录的信号。此外,因此确保了每个单元不变且基本相等的采样获取持续时间。对于全部单元,该采样获取持续时间等于单元写入指针信号的上升沿和下降沿的分隔时间。这也就是为什么在开始周期之后采样获取阶段中的单元数量保持不变的原因。因此,系统的带宽恒定,并且大幅减小了采样信号的失真。

[0020] 根据本发明改善读取的采样器与在提交的专利申请 US6, 859, 375 中描述的所有实施例兼容,并且特别地:

[0021] 根据第一实施例的重要可选特征,采样器包括:与列关联的延迟线或辅助延迟线中的至少一条;相位比较器,通过第一输入接收来自所述延迟线的信号,并通过第二输入接收参考信号,相位比较器的至少一个输出连接到电荷泵(charge pump),电荷泵的一个输入连接到用于控制基本延迟部调节电压的装置。因此,尽管温度变化或者对于额定控制电压的延迟部长期电势扭曲,仍然获得了延迟线单独延迟的恒定时间。这一特性确保了列的最后单元的采样获取结束与下一列第一单元的采样获取结束以与相同列的单元的采样获取结束相同的形式连接。这意味着,将相同列的两个相连单元的采样获取结束分开的延迟与在列的最后单元的采样获取结束和相连列第一单元的采样获取结束之间的延迟相同。这对于采样获取开始的实例来说也是对的,这是因为通过作为拟恒等持续时间信号的单元写入指针信号的持续时间来确定采样获取的持续时间。

[0022] 根据一个实施例,记录单元的矩阵阵列在其自身上折叠,写入移位寄存器包括 180 度的弯曲部,因此形成位于弯曲部之前的伸出(outbound)部和位于弯曲部之后的返回部,列和连接到位于返回部的写入移位寄存器输出的与该列相关的延迟线插入到列和连接到位于伸出部的写入移位寄存器输出的与该列相关的延迟线之间。

[0023] 根据一个实施例,划分承载采样信号的模拟总线,用于提供区域,每个区域对应于矩阵阵列的行,并且每个区域容纳用于接收采样信号并缓冲该信号用于其获取的跟踪放大器。

[0024] 根据一个实施例,包括在采样器中的矩阵阵列的每个单元包括至少两个写入开关。单元的第一端通过第一可控开关连接到一个总线区域。该第一写入开关连接至写入总线的通电部(hot part)。单元的第二端通过第二可控开关连接至总线的返回部,该返回部具有恒定电压,例如,接地电压。在连接至写入总线的时候,开关激活的指令不是实际存在的。相反地,在单元从写入总线断开的时候,开关将单元连接到首先被激活的总线的未通电部(cold part)或返回部。为了实现这个条件,要充分满足在将所述单元连接至总线的通电部的第二开关接收其自身断开信号之前很短的时间内,该开关的命令输入接收断开信号。写入总线的未通电部处于恒定电压,不存在对采样时间内存储值的影响。因此,根据一个实施例,每个单元的第二开关都具有连接延迟装置上游的命令输出,其命令以总在第一开关打开之前打开第二开关的方式打开第一开关。

[0025] 最后,根据另一可选特征,采样器为差分采样器。其包括:第一总线,承载输入信号的正极 V_{in+} ,该输入信号用于连接至传送将以第一极性被采样的信号的第一源;以及第二总线,承载输入信号的负极 V_{in-} ,该输入信号用于连接至传送信号将以与第一极性相反的第二极性被采样的信号的第二源,两条总线被分开以提供区域。在连续的线对中组成矩阵阵列。第一线对连接至第一总线区域;第二线对连接至第二总线区域。线对是连续的,属于相同列的线对单元的采样时间可以拟同时。

[0026] 优选地,分开的总线的每个区域容纳有跟踪放大器。

附图说明

[0027] 当阅读实施例的示例性描述时,本发明的其他特征和优点将变得显而易见,并且下面将参照附图描述可选实施例,其中:

[0028] 图 1 是已知装置最普通实施例的示意图;

[0029] 图 2 是其中阵列被折叠的已知装置矩阵阵列的列的物理配置的示意图;

[0030] 图 3 是已知装置实施例的第一实例;

[0031] 图 4 是已知装置实施例的第二实例,具体地示出了行数是具有两条连续线的偶数,其中,一个记录将记录信号的极性,另一个记录相反极性的实施例;

[0032] 图 5 是已知装置记录单元示例性实施例的示意图;

[0033] 图 6 是存在于已知装置单元中的开关装置示例性实施例的示图,该开关装置用于使所述单元生效,并使所述单元接入到将记录的数据总线上或读取总线上;

[0034] 图 7 包括 A、B、和 C 部分,A 部分是已知装置延迟线的示意图,B 部分和 C 部分表示已知装置的信号形状;

[0035] 图 8 是用于控制已知装置延迟线延迟的电路的示意图;

[0036] 图 9 是包括关于允许以连续方式记录模拟信号并读取它的改进已知装置的装置的示意图;

[0037] 图 10 是差分信号的时序图,其目的在于解释根据本发明的改进装置的功能以及产生图 9 中所示实施例的主旨。

具体实施方式

[0038] 详细描述本发明实施例的实例。

[0039] 下面,将以更详细的方式再次描述已经在上面论述的在美国专利申请 6,859,375 中描述的已知装置的描述,因为本发明是已知装置的改进,其允许记录模拟信号并连续读取它。图 1 中示出的已知装置包括单元 2 的矩阵阵列 10,其优选地由偶数个 L 行(每一个参考标号为 13)和偶数个 C 列(每一个参考标号为 12)。行数 L 可为任一数,然而,实际上,只有在如图 3 所示行数大于 4 时,这种采样器的阵列才非常有利。因此,单元 2 的数量等于 $L \times C$ 。这些单元 2 的每一个均具有连接至模拟总线 5 的模拟输入 3。为了简化该图,图 1 中仅示出最后一行 13 的单元连接至总线 5。所谓的列写入移位寄存器 6 具有输入 7,该输入连接到用于以所谓的主频 F_p 提供信号的时钟信号的源(未示出)。该移位寄存器 6 具有连续的输出 8。写入寄存器 6 的每个输出 8 均连接到延迟线 9 的输入 8-1。延迟线 9 具有多个连续的输出 11,其数量至少等于单元 2 的矩阵阵列 10 的行数。在图 1 中,为了简化该图,示出一条单独的延迟线 9,但是应当理解,相似的延迟线 9 与单元 2 的矩阵阵列的每列相关联,使得总共存在至少 C 条延迟线 9。下面将会看到,在一个实施例中,可以具有附加延迟线,用于控制整组延迟线的转换时间。所有单元 2 均相似。由于应用于表述的简化,所以仅示出了位于单元 2 矩阵阵列左下角的单元 2,其具有连接至延迟线 9 的输出 11 的数字命令输入 11-1 以及连接至总线 5 的其模拟输入 3。然而,应当理解,所有单元 2 均相同。为了示出每个单元 2 的细节,以相对于其他单元的放大比例来表示位于单元 2 矩阵阵列左下角的

单元 2。

[0040] 每个单元 2 均包括第一开关装置,以第一可控开关 21 和存储电容器 22 的形式表示,该开关装置具有连接至开关 21 的一端。开关 21 的另一端连接至模拟总线 5。由箭头表示的开关 21 的控制输入 23 连接至单元 2 的数字输入 11-1。操作如下:

[0041] 通过寄存器 6 的输入 104 所引入的列写入指针信号(例如,持续时间等于 $1/F_p$)以通过时钟输入 7 引入所述移位寄存器 6 的 C 个输出 8 的频率 F_p 从所述寄存器 6 的一个输出传播到下一个输出。在该寄存器 6 的每个所述输出端 8 处输出的写入列指针信号连接到包含 L 个相同延迟的延迟线 9,每一个的持续时间为 $1/(L \times F_p)$ 。由延迟线 9 的每个连续延迟产生的单元写入指针信号构成在矩阵阵列的一个电容器 22 中的写入开关 21 的控制输入 23。因此,从列 j 的延迟 i 发出的单元写入指针信号将允许将模拟信号的采样值记录到存储单元 $2i, j$ 中,该存储单元位于行 i 和列 j 的交叉处, i 和 j 分别是在 1 和 L 以及 1 和 C 之间的整数。

[0042] 因此,装置 1 可以 $1/(L \times F_p)$ 的虚拟周期执行模拟信号的采样,该周期对应于最大采样频率比 $F_{ech} = L \times F_p$ 。例如,如果在延迟线 9 的连续输出 11 之间的每个单独延迟为对应于 1GHz 采样之间频率的一毫微秒数量级,则具有 20 行的一条延迟线可使用 50MHz F_p 的时钟信号。

[0043] 上面参照图 1 描述的装置示出了下列优点:

[0044] - 所有单元均具有拟相等的采样获取持续时间,

[0045] - 即使当采样频率大于 F_p 时,电路中也不存在频率大于 F_p 的信号。

[0046] - 这些特征允许:

[0047] - 通过数字控制信号来限制模拟信号的干扰,

[0048] - 减小耗散功率。

[0049] - 现在,将参照每个均表示矩阵阵列 10 的图 2、图 3、和图 4 描述矩阵阵列 10 的一些特征。

[0050] 根据在图 2 中概略示出的一个实施例,旨在防止由于边缘效应所产生的中断,特别是与传送时间相关的那些中断,记录单元 2 的矩阵阵列 10 在其自身上折叠。移位寄存器 6 包括 180 度的弯曲部 63,因此形成了位于弯曲部之前的伸出部 61 和位于弯曲部之后的返回部 62。连接到位于返回部 62 上写入移位寄存器 6 的输出端 8 的列 12 和与列相关的延迟线 9 插入到连接到位于伸出部 61 上的写入移位寄存器 6 的输出端 8 的列 12 和与列相关的延迟线 9 之间。

[0051] 最初在列写入寄存器 6 的第一部分 61 中的列写入指针从左向右,直至 180 度的弯曲部 63。该第一部分 61 的输出 8 连接到列 12 的第一部分,例如,物理连接到奇数秩的列 12。在这一实例中,在入口处,在具有物理上对应于矩阵阵列的倒数第二列的寄存器的秩 C-1 的列中,指针将物理地转到偶数秩的下一列 12。因此,写入列指针将通过经由偶数秩的所有物理列返回到左侧来折回其步骤。在图 2 中,通过从左到右然后从右到左的水平线来表示移位寄存器 6。由延迟线 9 和 L 个单元 2 组成的每个列 12 均通过具有偶数秩或奇数秩的垂直线来表示。奇数秩 (1、3、5、...、C-1) 的第一物理列和偶数秩 C 的物理列在移位寄存器 6 从左到右的路径 61 上。偶数秩 (C-2、C-4、...、4、2) 的最后物理列 12 在移位寄存器 6 从右到左的路径 62 上。在图 2 中,以罗马数字表示列秩,以将它们与由阿拉伯数字表示的

其它参考标号区分开来。因此,可能除第一和最后一个之外的每个奇数秩的物理列 12 都位于两个偶数秩的列之间。用于记录处理的列 12 的路径方向在奇数秩增加的方向然后在偶数秩减少的方向上进行列的这种物理配置。

[0052] 现在将参照图 3 和图 4 描述矩阵阵列 10 的几个特点,其中,每一个均表示可能折叠的矩阵阵列 10,如上所述但在图 3 和图 4 中表示的,为了简化示图,示出不折叠的阵列 10。

[0053] 在图 3 和图 4 中示出的实施例中,将模拟输入总线 5 分成与矩阵阵列 10 的行 13 一样多的区域 51、52、...、5L。总线 5 及其区域包括写入总线 5a 和设置为参考电压的返回写入总线 5b。写入信号的返回总线 5b 直接与输入信号的参考输入 5c 相连。在这些实例中,模拟总线的每个区域 51、52、...、5L 均容纳有跟踪放大器 14(称为写入放大器),其中,以单元 2 接收出现在跟踪放大器 14 输出的信号的方式,跟踪放大器的输入端接收将采样的模拟信号且其输出端位于每个区域的上游。因此,从其进入电路的时间开始通过 L 或者图 4 情况下的 2L 缓冲模拟信号,宽带跟踪放大器的每一个均驱动连接至 C 存储单元 2 的上部写入总线 5a 的一个区域。这些放大器 14 在带宽和信号上升时间方面呈现出极好的配对。本实施例具有下列优点:

[0054] 允许通过放大器 14 使每个单元电容器 22 在单元连接时间内经由开关 21 对总线 5 放电和充电,例如,该连接时间可以等于或大于 $1/F_p$;

[0055] 以 F_p 的速度最大限度地对模拟总线 5 的每个 L 区域采样;

[0056] 可以缓解在每个区域处缓冲模拟输入的放大器的约束;

[0057] 由于写入总线上的采样而产生的干扰周期可能与以频率 F_p 传送信号的参考时钟的周期一样长;

[0058] 这使得可以获得高信噪比、低记录信号失真、以及高动态范围。

[0059] 因此,沿与列 12 相关的延迟线 9 的写入指针信号的路径时间总是等于列写入信号从写入移位寄存器 6 的输出 8 到直接相邻的输出的传送时间,根据它们的传播时间伺服控制延迟线 9。如图 4 所示,延迟控制装置可由阵列 10 的每个 C 列来表示。为了这一目的,每个行 9 均包括相位比较器和电荷泵的组件 16,使其可以调整与其一起构成一条延迟线 9 的基本延迟部的极化电压。

[0060] 传播时间控制装置也可由用作参考列的阵列的一个 C 列来表示。在这种情况下,其中,在作为参考列的一个单独列上实现控制,优选地,如图 3 所示,设置辅助延迟线 91。

[0061] 使用用于控制其它延迟线中每一条的单独延迟线的本实施例更适于单元数量少的矩阵阵列,尤其适于每列的单元数量少的矩阵阵列。

[0062] 下面,将解释沿延迟线 9 的传播时间调整装置的更详细的功能。

[0063] 在图 4 所示的优选实施例中,以已知根据本发明装置自身上游的方式处理将记录的信号,以获得包括两个极性 V_{in+} 和 V_{in-} 的双极信号。分别记录该信号的每个极性 V_{in+} 和 V_{in-} ,使得记录每个极性的 $L \times C$ 采样所需的线数等于 2L。

[0064] 可选地,如图 4 所示,写入移位寄存器可被复制到写入寄存器 6 和参考寄存器 40 中。两个寄存器 6 和 40 相同,并接收相同的时钟信号。在写入时间参考寄存器 40 被用于控制延迟线 9 上的传播时间。

[0065] 现在,将解释一起构成矩阵阵列 10 的元件的结构和功能。

[0066] 首先,将参考图 5 至图 7 解释存储单元 2 的结构和功能。

[0067] 参照图 5,每个单元 2 均包括表示模拟输入量的电压的存储电容器 22。电容器 22 具有两个端子 22a 和 22b。第一写入开关装置 21 包含作为两个开关 21a 和 21b 的两个部分。通过第一写入开关装置 21 的第一部分 21a 将端子 22a 连接到模拟总线 5 的上部 5a。固定连接到总线 5a 的第一开关装置 21 第一部分 21a 的一部分形成了单元 2 的第一模拟输入 3a。还通过读取开关 25a 将端子 22a 连接到模拟读取总线 4 的通电部 4a。通过写入开关装置 21 的第二部分 21b 将端子 22b 连接到模拟总线 5 的未通电部 5b。固定连接到总线 5b 的开关 21b 的一部分构成了单元 2 的第二模拟输入 3b。还通过第二读取开关 25b 将端子 22b 连接到模拟读取总线 4 的未通电部 4b。开关 21a、21b、和 25a、25b 一起分别构成了写入开关装置 21 和读取开关装置 25。分别通过控制装置 23、26 来控制每个开关装置 21、25 的打开和闭合。控制装置 23、26 分别包括控制装置 23a、23b、和 26a、26b,在这一阶段也通过箭头 23a、23b、和 26a、26b 表示,用于分别控制开关 21a、21b、和 25a、25b。

[0068] 现在,将参照图 6 解释写入开关装置在每个单元 2 处它们控制的示例性实施例。

[0069] 写入开关装置包括:

[0070] 上部写入开关 21a,基于 CMOS 晶体管,因此,其包括通过它们的漏极-源极通路并联连接的 PMOS 晶体管和 NMOS 晶体管;

[0071] 下部写入开关 21b,基于 NMOS 晶体管。

[0072] CMOS 开关 21a 包括:NMOS 晶体管 SEHBN,其通过第一极性反相器 28 使 w_i^* 信号反相所获得的写入信号 w_i 来控制,该写入信号施加到所述 SEHBN 晶体管的栅极;以及 PMOS SEHBP 晶体管,其通过第二极性反相器 28 使 w_p 信号的极性反相所获得的 w_p^* 信号来控制,该 w_p^* 信号施加到所述 SEHBP 晶体管的栅极。SEHBN 和 SEHBP 晶体管并联设置。

[0073] 每个开关 21b 都包括 NMOS 晶体管。第一开关装置 21 的第二开关 21b 通过施加到其栅极的写入信号 w_i 来控制。开关 21b 串联设置在下部总线 5b 与电容器 22 的第二端 22b 之间。

[0074] 信号 w_i^* 和 w_p 为来自延迟线 9 的写入信号。提及的所有信号都是施加到单元 2 的数字输入 11-1a 和 11-1b 的逻辑信号。

[0075] 在图 6 所示的实例中,单元 2 的写入数字输入用于生成施加到一起构成开关 21a 的两个晶体管的栅极以及晶体管 21b 的栅极的控制信号。

[0076] 现在,将参照图 7 论述在这一阶段仅用于写入的操作。

[0077] 图 7 的 A 部分中示出了理解写入时序 (chronology) 所需的元件。

[0078] 在该实例中,用于生成写入控制的系统包括:

[0079] 写入移位寄存器 6,其包括对应于每个列 12 的 C 个输入 8;

[0080] C 个成形块,在图 3 和图 4 中的标号为 17;

[0081] C 条延迟线 9,每一条均包括多个输出,其数量至少等于行数,即,至少有 L 个输出 (图 3) 和 2L 个输出 (图 4)。

[0082] 在图 7 的 A 部分中只示出了这些线 9 中的一条。行包括 L 或 2L 个基本延迟部 92。在优选实施例中,每个基本延迟部 92 均包括两个串联配置的基本半延迟部 93、94。在图 7 的 A 部分中仅示出了这种实施例的一个延迟部 92。

[0083] 在图 7 部分 A 所示的实例中,其中,每个延迟部 92 均包括两个半延迟部 93、94,延

迟线的输出数量为多个,例如,在示出的情况下,输出的数量等于基本延迟部 92 数量的两倍。在特定的示例性实施例中,每个半延迟部均包括反相器。因此,存在于半延迟部 92 输入的信号 w_p 在通过半延迟部 93 之后将转换为信号 w_i^* ,并且在通过半延迟部 94 之后将再次成为信号 w_p 。 w_i 和 w_p 信号是逻辑信号。通过主时钟以主时钟频率 F_p 驱动列写入移位寄存器 6。根据电路 1 的初始化,其第一单元被设置为 1(预置),所有其他单元均被设置为 0(复位)。因此,沿寄存器以每周期一个输出的 $1/F_p$ 速度持续在 $1/F_p$ 的情况下传播称作写入列指针的唯一脉冲。

[0084] 在 $(C-1)$ 时钟周期之后,该脉冲到达寄存器 6 的最后一个单元。在之后的时钟脉冲边沿,将在寄存器的第一输出生成新脉冲。由此,可以预见两种解决方法:

[0085] 通过将移位寄存器的输出回路到其输入;

[0086] 或者通过当在先前初始化的时候触发的计数器将完成 C 个时钟周期的计数时,使寄存器重新初始化。

[0087] 已知用于实现这种功能的装置及其连接,并且在这里不对其进行描述。

[0088] 然后,重新定形由寄存器的 C 个单元生成的每个脉冲,特别地,设置为用于获取持续时间 t_0 的期望持续时间,在此期间,电容器 22 同时连接到上部总线 5a 和下部总线 5b。例如,通过对离开寄存器 6 的信号以及上升沿和下降沿被延迟以获得期望持续时间的相同信号执行逻辑“与”或“或”,在每个成形块 17 中实现这种重新定形。通过成形块 17 从列指针信号重新定形的信号构成了单元写入指针信号的来源。

[0089] 在每个成形块 17 的输出,单元写入指针信号被发送到延迟线 9,该延迟线 9 分别由在图 3 和图 4 中示出实例中的 L 个基本延迟部 92 组成。

[0090] 存在来自一起组成延迟线 9 的每个基本延迟部 92 的单元写入指针信号,该信号构成了开关 21 和 22 的闭合和打开控制信号。

[0091] 由成形块 17 生成的信号具有在图 7 的 B 部分中示出的形状。存在具有持续时间为 t_0 的方波信号。该信号由前沿、随后的构成高逻辑状态的恒定部分、以及导至低逻辑状态的后沿组成。在延迟线 9 基本延迟部 92 的每个输出 95 处,信号具有相同的形状和相同的持续时间,但连续输出 95 的前沿和后沿通过一个基本延迟部 92 的持续时间相对于彼此移位,使得在第一和最后一行之间的这些信号的边沿相对于穿过移位寄存器 6 的信号边沿逐渐移位。在图 7 的 B 部分中示出了在连续输出 95 处出现的这些信号中的三个。在最简单的实施例中,可以假设由晶体管构成开关 21a 和 21b 中的每一个,通过在每个输出 95 处出现的信号的高逻辑状态来控制其导电状态。

[0092] 一个这种实施例具有简单的优点,但当读取优选实施例带有的描述时其缺点将变的显而易见。

[0093] 在位于两个延迟部 92 之间的中间输出 95 处出现的信号具有在图 7 的 B 部分中示出信号的形状和持续时间,但在一起形成基本延迟部 92 的两个中间半延迟部 93、94 之间的中间输出 96 处出现的信号具有相反的极性。通过奇数的半延迟部而不是通过整数的延迟部,相对于来自移位寄存器 6 的信号后沿移位这些信号。在图 7 的 C 部分中示出两个信号 w_i^* 和 w_p 的组。

[0094] 现在,将解释使用如图 6 所示的开关 21a 和 21b 的采样的写入时序。

[0095] 通过反相器 28 将输出 96 连接到单元 2 的数字输入 11-1a,该数字输入分别连接到

构成开关 21a 一部分的 NMOS 晶体管的栅极输入以及晶体管 21b 的栅极。当信号 w_i 转到高逻辑状态时,这两个晶体管导通,使得电容器 22 连接到总线 5a 和 5b 之间。在移位寄存器 6 生成信号前沿之后,当相对于该前沿的延迟为列写入移位寄存器 6 与单元 2 之间的基本延迟部 92 数量的函数时,立即使晶体管 22a 和 22b 截至。在半延迟部闭合时,延迟部的数量对应于行数。同时闭合这些开关 21a 和 21b,并在对应于信号 w_i 持续时间的周期 t_0 内同时保持闭合。因此,在该周期 t_0 内,电容器 22 的端子之间的电压跟随两条写入总线 5a 和 5b 之间的压差。这就是获取阶段,在此期间,在电容器 22 两端形成电压,并且该电压跟随将记录信号波动。应当注意,参照图 6,这足以使组成开关 21a 的一个晶体管(例如, NMOS 晶体管)导通,使得开关 21a 闭合。当信号 w_p 将变为反转高逻辑状态时,控制组成开关 21a 的第二晶体管(PMOS 晶体管)的导通。这意味着,在组成开关 21a 一部分的 NMOS 晶体管使其自身导通之后,该晶体管将使一个基本半延迟部导通。相似地,在包括开关 21a 一部分的 NMOS 晶体管使其自身不导通之后,该晶体管将使半延迟部不导通。因此,在分别打开组成开关 21a 和开关 21b 一部分的 NMOS 晶体管时,该晶体管仍导通。这意味着,在开关 21a 之前打开开关 21b。因此,开关 21b 用于控制在总线 5 上出现的信号的采样时刻,这是因为一旦断开其一个端子,电容器 22 的充电立即停止。因此,存储电容器 22 端子之间的电压记忆两条写入总线之间的压差。

[0096] 通过连接到总线 5b 的开关 21b 唯一地执行实际采样,该总线电压恒定,采样时刻以及由开关充入的电荷与记录的模拟信号的振幅无关。

[0097] 本发明的另一优点来自于并联设置 NMOS 晶体管和 PMOS 晶体管以实现开关 21a 的事实。因为这种组合,开关 21a 的阻抗与将记录的信号值很大程度上无关,这导致记录几乎不失真。

[0098] 因此,根据上述实施例,每个单元 2 的第二开关 21b 具有连接到延迟线 9 基本延迟部 92 的中间输出 96 的控制输入,其位于相同基本延迟部 92 输出 95 的上游,且连接到第一开关 21a 的控制输入。

[0099] 在图 4 上示出的具有以相反极性记录的实施例中,用于采样信号的两个解决方法可以是:根据第一解决方法,奇数和偶数秩线对从写入控制的观察点(the point of view)连接到延迟线的相同输出。根据另一解决方法,在奇数秩线对的半个延迟周期之后采样偶数秩线对。为了这样做,要满足将偶数线的采样控制数字输入连接到延迟线 9 的半延迟部 93 或 94 的输出,该输出直接位于连接到奇数秩线的采样数字输入的半延迟部输出的下游。

[0100] 在本来已知的方式中,需要用于反转采样操作的控制信号的极性反相器,该控制信号用于根据上文所示的时序来控制 PMOS 和 NMOS 晶体管。

[0101] 因此,根据读取上述操作的模式可以看出,所使用的处理是用于获取在单元 2 中的模拟总线上出现的模拟信号的模拟采样处理,其中,单元 2 一起形成了具有 C 列 12 和 L 行 13 或者线对的单元的矩阵阵列 10, C 和 L 为整数,其中:

[0102] 在单元的第一数字输入接收对于所述单元的采样获取开始信号;

[0103] 以及其中,在所述单元的第二数字输入接收采样获取结束信号。

[0104] 因此,例如,如上所述,在每一列的成形块 17 中连续生成特定的具有上升沿和下降沿的独特脉冲,使得由所述脉冲的上升沿和下降沿构成采样操作的开始和结束信号,在两个数字输入 11-1a 和 11-1b 上连续地接收这些沿。这两个连续的输入为采样获取的第一

开始控制输入和第二结束控制输入。

[0105] 因此,通过采样脉冲的持续时间来确定采样操作的持续时间,该采样脉冲包括构成采样操作开始和结束的控制信号的上升沿和下降沿。由于该脉冲通过连续的基本延迟部 92 从当前单元传播到下一单元而未失真的情况,因此采样操作的持续时间对于矩阵阵列的所有单元是相同的。其等于脉冲的持续时间 t_0 。

[0106] 如上所述,控制延迟线 9 各个 L 延迟部的持续时间的总和,使其保持与将写入移位寄存器 6 的两个连续输出分开的持续时间相等。

[0107] 可以通过控制电压 V_{com} ,以本来已知的方式将每个基本延迟部或基本半延迟部的作用调整到整个延迟部。现在将参照图 8 解释该调整。

[0108] 伺服控制系统使其可以固定控制电压 V_{com} ,使得一个单元的延迟等于 $1/(L \times F_p)$ 。每个列都具有其自身的反馈。

[0109] 每条延迟线 9 的每个最后一个基本延迟部均连接到属于所述线 9 的相位比较器 30 的第一输入 18。相位比较器 30 的第二输入 19 连接到源于移位寄存器 40 的参考信号发生器的输出。相位比较器 30 的输出 31、37 分别连接到本来已知的电荷泵 32 的正极输入和负极输入,该电荷泵包括正电流发生器和负电流发生器。电荷泵 32 的输出 33 连接到电容器 34 的端子 35,电容器 34 的另一端子连接到参考电压源。

[0110] 如图 8 所示,通过两个反相器 41、42,将提供列 12 的移位寄存器 40 的输出连接到相位比较器 30 的输入 19,其中,移位寄存器的输出用于控制路径时间。

[0111] 操作如下:

[0112] 在相位比较器 30 中,比较由列 12 延迟线 9 的最后一个基本延迟部 92 生成的信号的后沿相位与由寄存器 40 生成的参考信号的后沿相位。如果由延迟线 9 的最后一个基本延迟部 92 生成的信号相对于参考信号在其之前,则相位比较器 30 激活电荷泵 32,使电荷泵将与移位成比例的正电荷及时地注入电容器 34 中。在端子 35 上出现的电压 V_{com} 将增加,从而在一起构成延迟线 9 的每个基本延迟部的反相器 93、94 中的传播时间将更长,其将使得由延迟线 9 发出的信号和参考信号的相位后移。

[0113] 相反,如果由延迟线 9 的最后一个基本延迟部 92 生成的信号相对于参考信号延迟,则电荷泵必须将负电荷注入到电容器 32 中,以加速反相器 92、93 中的转换时间。

[0114] 在比较之前,具有通过源自源 43 的外部电压 (V_{dac}) 控制的上升沿的两个反相器 41、42 延迟引入到相位比较器 30 的输入 19 上的参考信号。设置由源 43 生成的电压,以使其补偿由格式化块 17 所引起的延迟。此外,允许调整线 9 的额定路径时间的延迟,例如,在这里论述实例中的精确 20ns,其中,20 行的基本延迟部 92 为 1ns,并且相当精确。

[0115] 由于在已描述的实施例中的情况,通过脉冲来控制每列 12 的路径时间,该脉冲的上升沿或下降沿构成模拟信号采样获取的开始和结束的控制信号,以使得路径时间等于控制从一个记录列移位到下一个记录列的时钟信号周期的持续时间,并且即使将在其额定功能电压 (functional voltage) 处延迟的持续时间与额定电压处延迟的持续时间不同 (例如,由于时间的慢漂移或温度变化),也确保在从一个记录列移位到下一个记录列时不存在采样的同时记录或不采样。

[0116] 上面参照图 1 至图 8 所描述的装置对应于已知装置,并且对应于其已知实施例的改变,如在上面已经引用的专利申请 US6,859,375 中所公开的。

[0117] 现在,将参照如 9 论述用于实现根据本发明的读取的矩阵阵列的实例。

[0118] 该图示出了记录和读取的矩阵阵列,其中,记录部分可对应于图 1、图 2、图 3、和图 4 中所示的部分。

[0119] 在该图中特别关注用于读取的元件。下面将以更详细的方式对其进行解释,其中,在另一列的写入期间同时读取所有列的单元。现在将解释写入列和读取列的意义。这里指定的列没有本质上的不同。随着提供持续与写入和读出本身所持续的时间一样长的循环,相同的列顺序作为写入列,然后是读取列,以及再次成为写入列。因此,当谈及写入列时,这意味着关注该列的单元 2 的写入功能。现在,当谈及读取列时,这意味着关注该列的单元 2 的读取功能。

[0120] 图 9 中示出的采样器包括装置 116、113,其允许将施加到读取列 12 的单元 2 的所有读取数字输入 26 的读取指令同时施加到写入列 12,其中,在读取期间读取列不包括任意写入单元 2。

[0121] 通过将施加到读取列单元的所有读取数字输入的读取指令同时施加到写入列 12,意味着读取列 L 单元的读取持续时间将等于 L 单元的采样持续时间。L 单元的采样持续时间为从当 L 单元的第一个采样信号到 L 单元的最后一个采样将记录的模拟信号的时间。

[0122] 在示出的实例中,通过优选地包括延迟部 113 的连接部 116 将单元 2 每列 12 的每个输入 8-1 连接到一个且仅是一个其它列的单元 2 的所有读取数字输入 26,这样确保了同步性。例如,如图 9 所示,通过连接部 116 将具有序号 j 的列的输入 8-1 连接到具有序号 (j-2) 的列的所有读取数字输入 26。一般对于具有 C 列的矩阵阵列来说,将读取数字输入 26 全部连接到列输出 8-1 的所述不同列移位关于所述认为的写入列的 k 列,该矩阵阵列以 c 为模。k 是大于 1 的整数,例如在图 9 中,阵列 10 包括 4 列,具有序号 j-2 模 4 的列(图中最左上部的列)的输入 8-1 连接到具有序号 j 的列的单元,后者为从图 9 上示出的阵列 10 的右侧开始的第二列。在该实例中,总将读取列移位关于写入列的序号 2($k=2$),读取列的矩阵阵列以 4 为模。优选地,列的每个读取数字输入 26 都通过具有输出 112 的可控延迟部 113 连接到另一列的输入 8-1,其中,输出 112 位于该列所有数字输入 26 的上游。因此,在移位寄存器 6 的输出上的列指针信号到达与读取列的所有单元 2 的读取开始之间应用移位。可控延迟部 113 具有未表示的控制输入端,其允许例如通过施加电压将延迟调整到期望值。

[0123] 在如图 5 所示的优选方式中,单元 2 的读取数字输入的数量为 2,第一读取数字输入 26a 控制到读取总线 4 通电部分 4a 的连接,第二读取数字输入 26b 控制到相同读取总线 4 未通电部分 4b 的连接。

[0124] 读取期间的功能如下:当在列输入和读取数字输入 26 之间的连接部 116 上不存在延迟部 113 时,在写入列的成形块 17 和读取列单元的每个数字输入 26 上同时接收相同的列指针信号。当写入列开始写入时,读取列的单元 2 同时开始读取。通过列指针信号的开始(例如,列指针信号的上升沿)来初始化读取,并通过列指针信号的结束(例如,相同信号的下降沿)来结束读取。因此,设置约等于控制移位寄存器 6 的时钟信号周期的持续时间以读取每个单元 2。清楚地,在记录第一单元的初始化周期内,由写入列通过连接部 116 设计的读取列的单元为空。当 k 个读取列被记录时,可以仅开始有效读取。因此,写入和读取可以彼此同时进行。在写入之后,读取发生 k 个时钟周期。这就是为什么为了实时使用,

模拟信号应最好选择尽可能小的 k 的原因。图 10 的时序示出了图 9 所示的实例,考虑到 $k = 2$ 的实时使用的需要,以及还重点关注延迟部 113。

[0125] 图 10 的时序包括线 a 至线 h。线 a 表示控制移位寄存器 6 的频率 f_p 的时钟信号。线 b 至线 f 表示在其沿秩 j 的列的单元 2 传播的不同时刻的单元写入指针信号。线 b、c、d 分别表示线 1 至线 3 的单元 2 的记录持续时间。线 e 和 f 分别表示线 L-1 和线 L 的单元 2 的记录持续时间,也就是说,秩 j 的列的倒数第二个单元和最后一个单元。箭头表示模拟信号的采样时刻,即,模拟采样获取结束的时刻。线 g 表示施加到与列 j 相邻的列 $j+1$ 的第一线单元 2 的单元写入指针信号。线 h 表示列 j 的读取时序。

[0126] 如图 10 所示,当列 $j+1$ 的单元 2 记录开始时,列 j 的单元 2 的记录并未结束。因此,在列 $j+1$ 的记录期间不能同时读取列 j 的所有单元 2。另一方面,当列 $j+2$ 的记录开始时,列 j 的记录结束。然而,从时序中看出,在列 $j+2$ 的记录开始之前,仅对列 j 的最后一个单元记录结束的时序干扰非常短的时间。因此,满足在单元的记录时间内微小的时间变化,使得开始进行与列 $j+2$ 的记录开始一致的列 j 的读取,而列 j 的最后一个单元的记录并没有结束。在图 10 的线 h 上以黑色菱形的形式表示的可控延迟部 113 目的在于在列 $j+2$ 的记录开始之后使列 j 的单元的读取开始轻微移位。因此,确保了当列 j 的读取开始时该列 j 的所有单元的记录结束。

[0127] 意味着列 j 的采样获取开始的记录与列 $j-2$ 的读取几乎同时开始。第一单元的采样在成形块 17 的输出处的信号持续时间结束时发生,因此几乎精确地晚一个时钟周期。因此,其几乎精确地比发生列 j 最后一个单元采样时晚两个时钟周期结束,同时列 $j-1$ 的读取结束。结果,从列的第一行单元的记录开始到相同列的最后一行单元的记录结束的运行期间几乎精确地读取两列。

[0128] 为了使读取列的读取不干扰写入列的写入,优选地,在该实施例中,采样的获取时间明显与移位寄存器的时钟周期相等,以添加与 3 个列的构造相关的辅助列,从理论观点看来,在这种情况下辅助列是完全有必要的。

[0129] 因此,在优选实施例中,改善读取的采样器包括 4 列。列的这一数量被认为是最小的,因此造价最便宜且故障最少,能够提供连续记录和读取的能力,同时呈现出减小的交换噪声和宽频带。

[0130] 参照上述图 5 可以看出,优选地,以下述形式来实现每个读取单元 2 的开关 25,该形式为开关 25a 和 25b 将单元 2 的端子 22a 和 22b 分别连接到一起构建所述单元的读取模拟输出 103 的端子 103a 和 103b,所述端子 103a 和 103b 自身分别连接到读取通电总线 4a 和读取未通电总线 4b。

[0131] 以上可以看出,本发明不仅非常适于连续读取,而且非常适于模 / 数的连续转换。现在,将参照图 9 解释本发明的这一方面。

[0132] 图 9 所示的用于连续记录和读取的模拟采样器 1 包括模拟读取总线 4,用于矩阵阵列 10 的每条线 13。L 条总线 4-1、...、4-L 的每一条均容纳有读取放大器 141。放大器 141 具有连接到读取总线 4 的每个区域 4-1、...、4-L 的末端的输入,以这种方式,在总线区域每个单元 2 的输出处的模拟数据通过位于该线上的放大器来缓冲。

[0133] 当采样器与 ADC 一起使用时,本发明相对于模拟信号的数字获取系统,其包括根据上述一个实施例的用于连续记录和读取的模拟采样器 1,其特征在于,模 / 数转换器 142

唯一地连接到放大器 141 的输出。通过相同的时钟或者通过使排序列移位寄存器 6 同步的时钟来驱动这些 ADC。延迟部 113 还可用于调整在放大器 141 输出处的信号以及 ADC 142 的时钟的相对相位。如图 9 所示,没有强制将 ADC 142 连接到每个读取放大器 141 的输出。根据用于特定目的所要求的采样频率,例如可以每条奇数秩的线仅设置一个 ADC,因此,将采样频率除以因数 2。

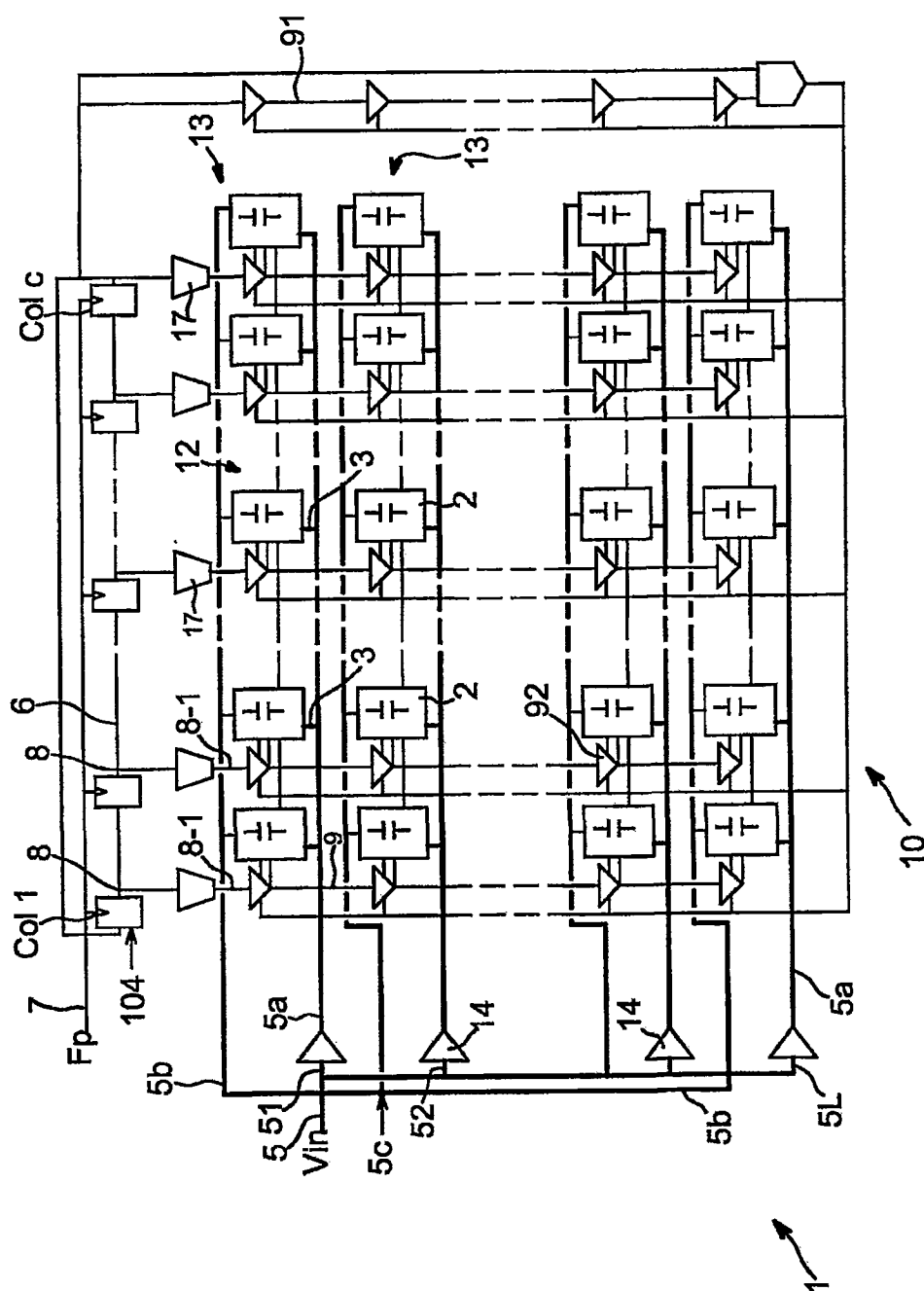


图 3

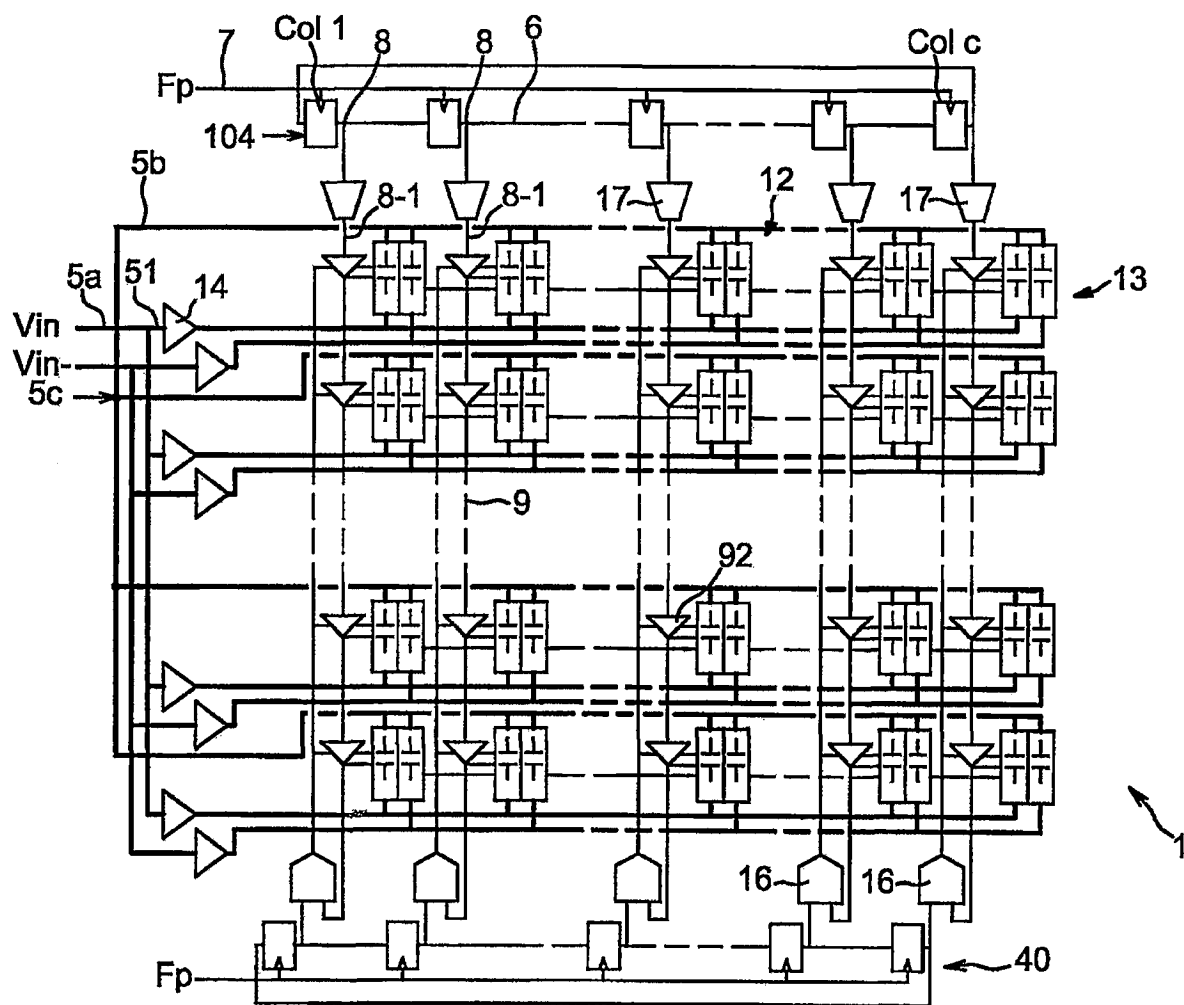


图 4

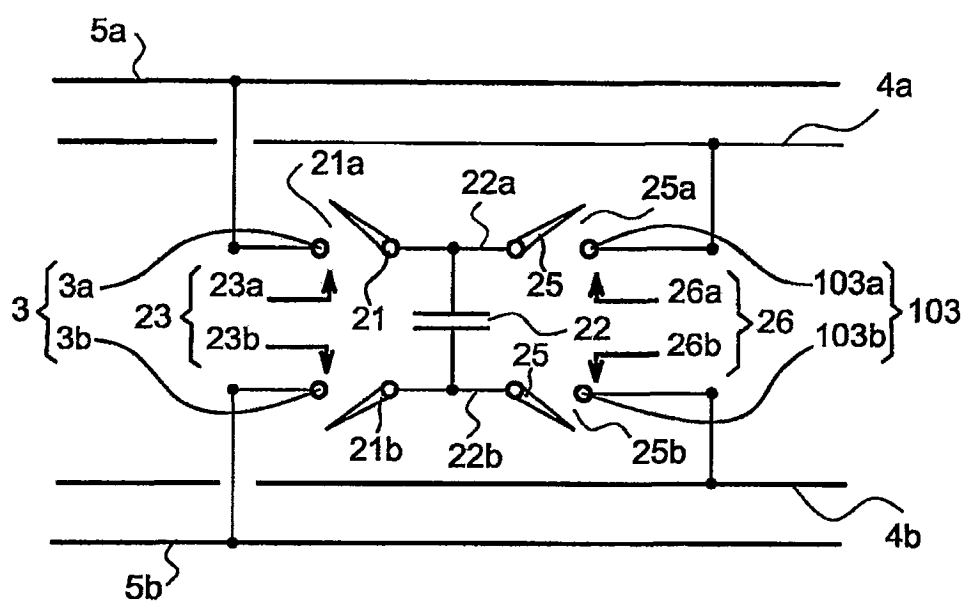


图 5

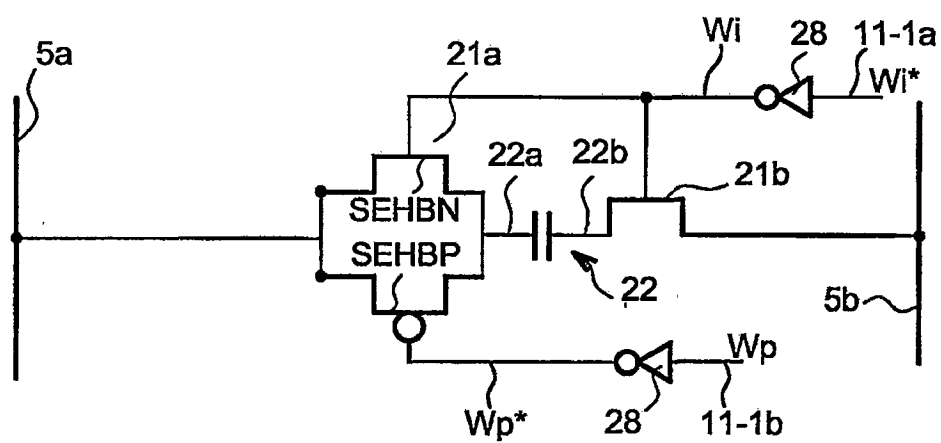


图 6

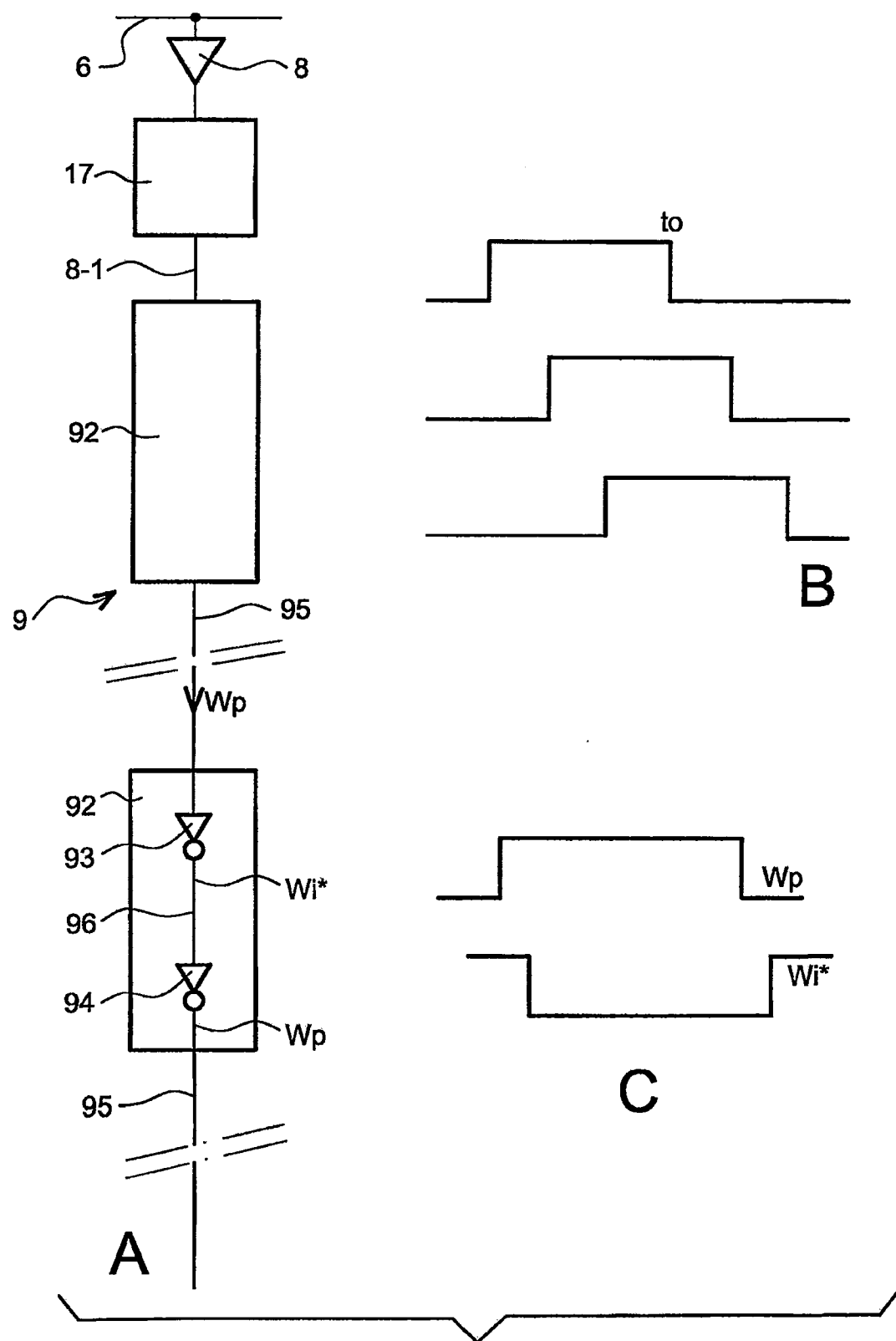


图 7

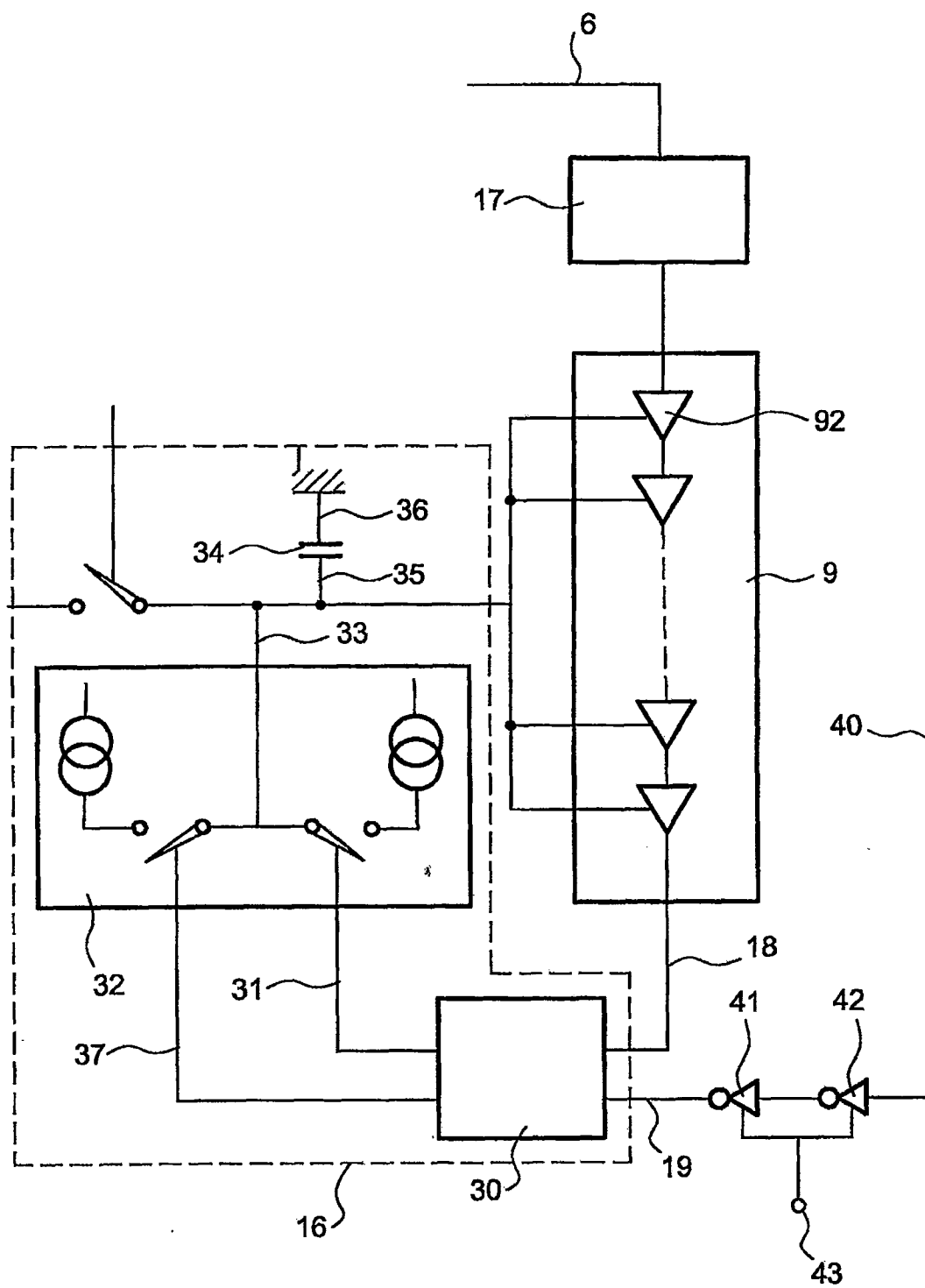


图 8

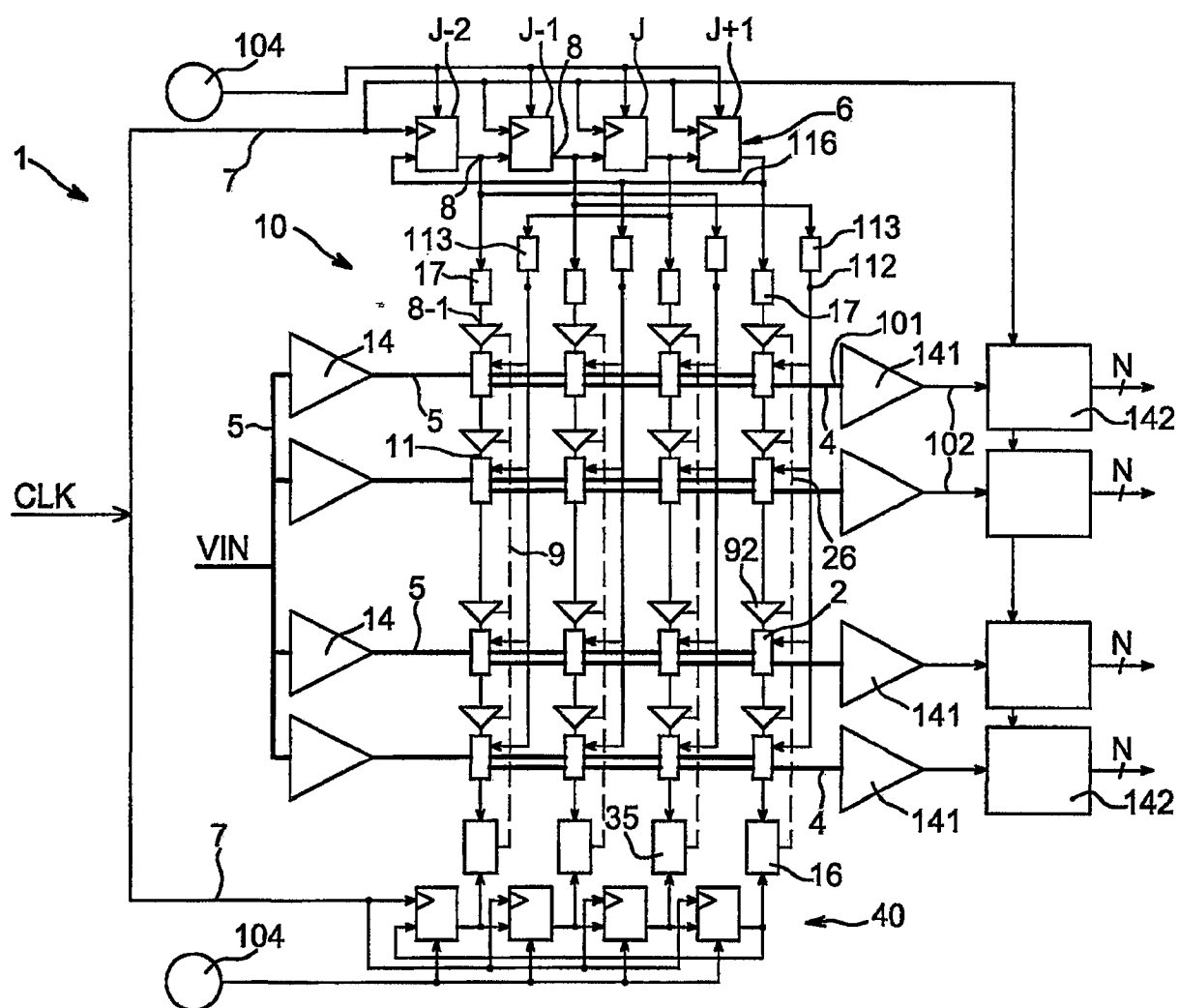


图 9

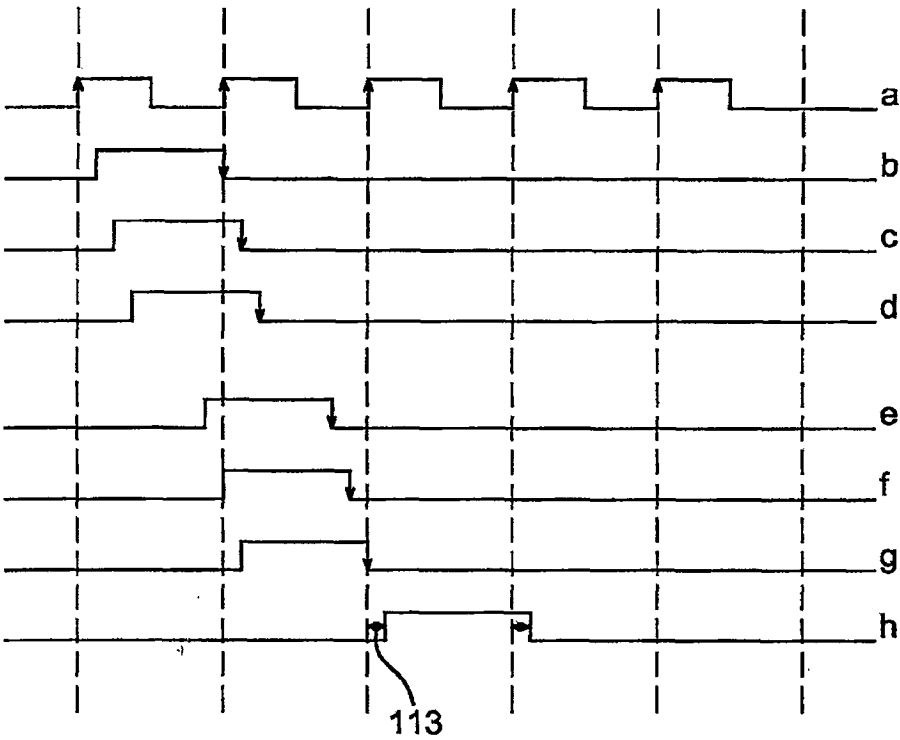


图 10