

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年9月17日(17.09.2020)



(10) 国際公開番号

WO 2020/183843 A1

(51) 国際特許分類:

G01J 1/42 (2006.01) *H01L 31/10* (2006.01)
G01S 17/10 (2020.01) *G01S 7/486* (2020.01)
H01L 31/107 (2006.01) *H04N 5/369* (2011.01)

ヤリング株式会社内 Kumamoto (JP). 廣野 大輔
(HIRONO, Daisuke); 〒2430014 神奈川県厚木
市旭町四丁目14番1号 ソニーセミコンダクタ
ソリューションズ株式会社内 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2019/049482

(22) 国際出願日: 2019年12月17日(17.12.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2019-044809 2019年3月12日(12.03.2019) JP

(71) 出願人: ソニーセミコンダクタソリュー
ションズ株式会社(SONY SEMICONDUCTOR SO-
LUTIONS CORPORATION) [JP/JP]; 〒2430014
神奈川県厚木市旭町四丁目14番
1号 Kanagawa (JP).

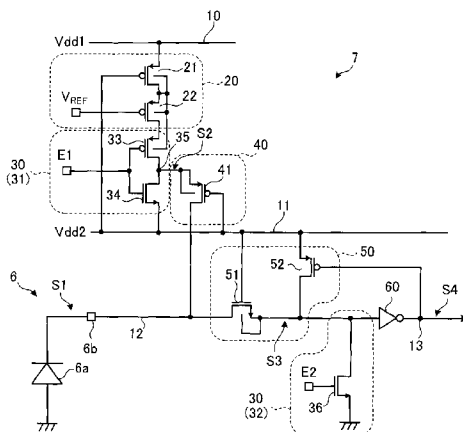
(72) 発明者: 上水流 隼人 (KAMIZURU, Hayato);
〒8691102 熊本県菊池郡菊陽町大字原水400
0番地1 ソニーセミコンダクタマニュファク

(74) 代理人: 特許業務法人 酒井国際特許
事務所 (SAKAI INTERNATIONAL PATENT
OFFICE); 〒1000013 東京都千代田区霞が
関3丁目8番1号 虎の門三井ビル
ディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: CONTROL CIRCUIT AND RANGING SYSTEM

(54) 発明の名称: 制御回路および測距システム



(57) Abstract: A control circuit according to the present disclosure comprises: a first network line (10) to which a first source voltage (Vdd1) is applied; a second network line (11) to which a second source voltage (Vdd2) lower than the first source voltage (Vdd1) is applied; a current supply unit (20) for supplying a predetermined current to an SPAD element (6a) from the first network line (10); a first breakdown-voltage unit (40) for maintaining the voltage on the low-potential side of the current supply unit (20) at or above the second source voltage (Vdd2); an inverter (60) connected to the cathode of the SPAD element (6a); and a second breakdown-voltage unit (50) for maintaining the voltage of the inverter (60) at or below the second source voltage (Vdd2), and including an *n*-type first transistor which is provided between the cathode of the SPAD element (6a) and the input terminal of the inverter (60) and the gate of which is connected to the second network line (11), and a *p*-type second transistor which is provided between the second network line (11) and the source of the first transistor and the gate of which is connected to the output terminal of the inverter (60).

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 本開示に係る制御回路は、第1の電源電圧 (V_{dd1}) が印加される第1の配線 (10) と、第1の電源電圧 (V_{dd1}) より低い第2の電源電圧 (V_{dd2}) が印加される第2の配線 (20) と、第1の配線 (10) からSPAD素子 (6a) に所定の電流を供給する電流供給部 (20) と、電流供給部 (20) の低圧側を第2の電源電圧 (V_{dd2}) 以上の電圧に保持する第1の耐圧部 (40) と、SPAD素子 (6a) のカソードに接続されるインバータ (60) と、インバータ (60) を第2の電源電圧 (V_{dd2}) 以下の電圧に保持しSPAD素子 (6a) のカソードとインバータ (60) の入力端子との間に設けられゲートが第2の配線 (11) に接続されるN型の第1トランジスタと第2の配線 (11) と第1トランジスタのソースとの間に設けられゲートがインバータ (60) の出力端子に接続されるP型の第2トランジスタとを有する第2の耐圧部 (50) とを備える。

明 細 書

発明の名称： 制御回路および測距システム

技術分野

[0001] 本開示は、制御回路および測距システムに関する。

背景技術

[0002] 光を用いて被測定物までの距離を測定する測距方式の一つとして、直接T o F (Time of Flight)方式と呼ばれる測距手法が知られている。かかる直接T o F方式では、光源から射出された光が被測定物により反射された反射光を受光素子により受光し、光が射出されてから反射光として受光されるまでの時間に基づき対象までの距離を計測する（たとえば、特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2014-081254号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、上記の従来技術では、受光素子として用いられるSPAD (Single Photon Avalanche Diode) 素子の感度特性を向上させることは困難である。

[0005] そこで、本開示では、SPAD素子の感度特性を向上させることができる制御回路および測距システムを提案する。

課題を解決するための手段

[0006] 本開示によれば、制御回路が提供される。制御回路は、第1の配線と、第2の配線と、電流供給部と、第1の耐圧部と、インバータと、第2の耐圧部とを備える。第1の配線には、第1の電源電圧が印加される。第2の配線には、前記第1の電源電圧よりも低い第2の電源電圧が印加される。電流供給部は、前記第1の配線からSPAD (Single Photon Avalanche Diode)

素子に所定の電流を供給する。第1の耐圧部は、前記電流供給部の低圧側を前記第2の電源電圧以上の電圧に保持する。インバータは、前記SPAD素子のカソードに接続される。第2の耐圧部は、前記インバータを前記第2の電源電圧以下の電圧に保持する。また、前記第2の耐圧部は、N型の第1トランジスタと、P型の第2トランジスタとを有する。N型の第1トランジスタは、前記SPAD素子のカソードと前記インバータの入力端子との間に設けられ、ゲートが前記第2の配線に接続される。P型の第2トランジスタは、前記第2の配線と前記第1トランジスタのソースとの間に設けられ、ゲートが前記インバータの出力端子に接続される。

発明の効果

[0007] 本開示によれば、SPAD素子の感度特性を向上させることができる。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0008] [図1]本開示の実施形態に適用可能である直接ToF方式による測距を模式的に示す図である。

[図2]本開示の実施形態に適用可能である受光部が受光した時刻に基づく一例のヒストグラムを示す図である。

[図3]本開示の実施形態に係る測距装置の構成例を示すブロック図である。

[図4]本開示の実施形態に係る受光部に適用可能であるデバイスの構成の例を示す模式図である。

[図5]本開示の実施形態に係るパルス出力部の構成例を示す回路図である。

[図6]本開示の実施形態においてSPAD素子を動作させている場合のパルス出力部の動作をタイミングチャートで示す説明図である。

[図7]本開示の実施形態においてSPAD素子の動作を停止させた場合のパルス出力部の動作をタイミングチャートで示す説明図である。

発明を実施するための形態

[0009] 以下に、本開示の各実施形態について図面に基づいて詳細に説明する。な

お、以下の各実施形態において、同一の部位には同一の符号を付することにより重複する説明を省略する。

[0010] 光を用いて被測定物までの距離を測定する測距方式の一つとして、直接T o F方式と呼ばれる測距手法が知られている。かかる直接T o F方式では、光源から射出された光が被測定物により反射された反射光を受光素子により受光し、光が射出されてから反射光として受光されるまでの時間に基づき対象までの距離を計測する。

[0011] しかしながら、上記の従来技術では、受光素子として用いられるS P A D素子の感度特性を向上させることは困難である。

[0012] なぜなら、S P A D素子の感度特性は、かかるS P A D素子のカソードに印加される電圧の値が高いほど向上する一方、印加回路を構成する各種トランジスタの耐電圧よりもS P A D素子のカソードに印加される電圧の値を高くすることは困難であるからである。

[0013] そこで、上述の問題点を克服し、S P A D素子の感度特性を向上させることができる制御回路および測距システムの実現が期待されている。

[0014] [測距方法]

本開示は、光を用いて測距を行う技術に関するものである。そこで、本開示の実施形態の理解を容易とするために、図1および図2を参照しながら、実施形態に適用可能な測距方法について説明する。

[0015] 図1は、本開示の実施形態に適用可能である直接T o F方式による測距を模式的に示す図である。実施形態では、測距方式として直接T o F方式を適用する。

[0016] かかる直接T o F方式は、光源部2からの射出光L 1が被測定物1 0 0により反射した反射光L 2を受光部3により受光し、光の射出タイミングと受光タイミングとの差分の時間に基づき測距を行う方式である。

[0017] 測距装置1は、光源部2と、受光部3とを備える。測距装置1は、測距システムの一例である。光源部2は、たとえばレーザダイオードである光源4（図3参照）を有し、レーザ光をパルス状に発光するように駆動される。

[0018] 光源部2からの射出光L1は、被測定物100により反射され、反射光L2として受光部3に受光される。受光部3は、光電変換によって光を電気信号に変換する画素アレイ部6（図3参照）を含み、受光した光に応じた信号を出力する。

[0019] ここで、光源部2が発光した時刻（発光タイミング）を時間 t_0 、光源部2からの射出光L1が被測定物100により反射された反射光L2を受光部3が受光した時刻（受光タイミング）を時間 t_1 とする。

[0020] 定数 c を光速度（ 2.9979×10^8 [m/sec]）とすると、測距装置1と被測定物100との間の距離 D は、次式（1）により計算される。

$$D = (c / 2) \times (t_1 - t_0) \quad \cdots (1)$$

[0021] なお、測距装置1は、上述の処理を、複数回繰り返して実行するとよい。また、受光部3は、複数のSPAD素子6a（図4参照）を有し、各SPAD素子6aに反射光L2が受光された各受光タイミングに基づき距離 D をそれぞれ算出してもよい。

[0022] 測距装置1は、発光タイミングの時間 t_0 から受光部3に光が受光された受光タイミングまでの時間 t_m （以下、「受光時間 t_m 」とも呼称する。）を階級（ビン(bins)）に基づき分類し、ヒストグラムを生成する。

[0023] 図2は、本開示の実施形態に適用可能である受光部3が受光した時刻に基づく一例のヒストグラムを示す図である。図2において、横軸はビン、縦軸はビン毎の頻度を示す。ピンは、受光時間 t_m を所定の単位時間 d 毎に分類したものである。

[0024] 具体的には、ビン#0が $0 \leq t_m < d$ 、ビン#1が $d \leq t_m < 2 \times d$ 、ビン#2が $2 \times d \leq t_m < 3 \times d$ 、…、ビン#(N-2)が $(N-2) \times d \leq t_m < (N-1) \times d$ となる。受光部3の露光時間を時間 t_{ep} とした場合、 $t_{ep} = N \times d$ となる。

[0025] 測距装置1は、受光時間 t_m を取得した回数をビンに基づき計数してビン毎の頻度200を求め、ヒストグラムを生成する。ここで、受光部3は、光源部2からの射出光L1が反射された反射光L2以外の光も受光する。

[0026] たとえば、対象となる反射光 L_2 以外の光の例として、測距装置1の周囲の環境光がある。かかる環境光は、受光部3にランダムに入射する光であって、ヒストグラムにおける環境光による環境光成分201は、対象となる反射光 L_2 に対するノイズとなる。

[0027] 一方、対象となる反射光 L_2 は、特定の距離に応じて受光される光であって、ヒストグラムにおいてアクティブ光成分202として現れる。このアクティブ光成分202内のピークの頻度に対応するビンが、被測定物100の距離Dに対応するビンとなる。

[0028] 測距装置1は、そのビンの代表時間（たとえばビンの中央の時間）を上述した時間 t_1 として取得することで、上述した式(1)に従い、被測定物100までの距離Dを算出することができる。このように、複数の受光結果を用いることで、ランダムなノイズに対して適切な測距が実行可能となる。

[0029] [測距装置の構成]

つづいて、実施形態に係る測距装置1の構成について、図3および図4を参照しながら説明する。図3は、本開示の実施形態に係る測距装置1の構成例を示すブロック図である。上述のように、測距装置1は、光源部2と、受光部3とを備える。

[0030] 光源部2は、光源4と、光源駆動部5とを有する。光源4は、たとえば、垂直共振器面発光レーザ（VCSEL: Vertical Cavity Surface Emitting LASER）などのレーザダイオードで構成される。なお、光源4は、VCSELに限られず、レーザダイオードがライン上に配列されたレーザダイオードアレイなどを用いてもよい。

[0031] 光源駆動部5は、光源4を駆動する。光源駆動部5は、たとえば、受光部3の制御部8からの発光制御信号に基づき、光源4から所定のタイミングおよびパルス幅を有する射出光 L_1 が出射されるように光源4を駆動する。

[0032] 光源駆動部5は、たとえば、ライン上に配列されるレーザダイオードを有する光源4から、レーザ光がラインに垂直の方向にスキャンされるように光源4を駆動することができる。

[0033] 受光部 3 は、画素アレイ部 6 と、パルス出力部 7 と、制御部 8 とを有する。

[0034] 画素アレイ部 6 は、2 次元格子状に配列される複数の S P A D 素子 6 a (図 4 参照) を有する。かかる S P A D 素子 6 a は、アバランシ増倍が発生する大きな逆バイアス電圧をカソードに印加することにより、1 光子の入射に応じて発生した電子に起因して、内部でアバランシ増倍が生じる。

[0035] すなわち、S P A D 素子 6 a は、1 光子の入射に応じて大電流が流れる特性を有する。そして、S P A D 素子 6 a では、かかる特性を利用することで、反射光 L 2 に含まれる 1 光子の入射を高感度で検知することができる。

[0036] 画素アレイ部 6 における複数の S P A D 素子 6 a の動作は、制御部 8 によって制御される。たとえば、制御部 8 は、各 S P A D 素子 6 a からの信号の読み出しを、行方向に n 画素、列方向に m 画素の、(n × m) 個の S P A D 素子 6 a を含むブロック毎に制御することができる。

[0037] また、制御部 8 は、当該ブロックを単位として、各 S P A D 素子 6 a を行方向にスキャンし、さらに行毎に列方向にスキャンして、各 S P A D 素子 6 a から信号を読み出すことができる。

[0038] なお、実施形態において、制御部 8 は、各 S P A D 素子 6 a からそれぞれ単独に信号を読み出してもよい。画素アレイ部 6 の S P A D 素子 6 a で発生する信号は、パルス出力部 7 に供給される。

[0039] パルス出力部 7 は、S P A D 素子 6 a で発生する信号に応じて、所定のパルス信号をデジタル信号として制御部 8 に出力する。かかるパルス出力部 7 の詳細については後述する。

[0040] 制御部 8 は、たとえば予め組み込まれるプログラムに従い、測距装置 1 の全体の動作を制御する。たとえば、制御部 8 は、光源駆動部 5 を制御することにより、光源 4 の発光タイミングを制御する。

[0041] また、制御部 8 は、パルス出力部 7 から出力されるパルス信号に基づいて、図 2 に示したヒストグラムを生成する。また、制御部 8 は、生成されたヒストグラムのデータに基づいて所定の演算処理を行い、被測定物 1 0 0 まで

の距離Dを算出する。

[0042] 図4は、本開示の実施形態に係る受光部3に適用可能であるデバイスの構成の例を示す模式図である。図4において、受光部3は、それぞれ半導体チップからなる受光チップ3aとロジックチップ3bとが積層されて構成される。なお、図4では、理解の容易のため、受光チップ3aとロジックチップ3bとが分離された状態で示している。

[0043] 受光チップ3aには、画素アレイ部6の領域にSPAD素子6aが2次元格子状に配列される。ロジックチップ3bには、パルス出力部7と、制御部8とが設けられる。なお、受光チップ3aおよびロジックチップ3bの構成は、図4の例に限定されない。

[0044] [パルス出力部の構成および動作]

つづいて、実施形態に係るパルス出力部7の構成および動作について、図5～図7を参照しながら説明する。図5は、本開示の実施形態に係るパルス出力部7の構成例を示す回路図である。

[0045] 図5に示すように、パルス出力部7は、第1の配線10と、第2の配線11と、電流供給部20と、イネーブル部30と、第1の耐圧部40と、第2の耐圧部50と、インバータ60とを備える。また、イネーブル部30は、第1のイネーブル部31と、第2のイネーブル部32とを有する。

[0046] 第1の配線10には、第1の電源電圧Vdd1が印加される。かかる第1の電源電圧Vdd1は、パルス出力部7を構成する各種トランジスタの耐電圧（たとえば、3.3V）よりも高い電圧（たとえば、5V）である。

[0047] 第2の配線11には、第2の電源電圧Vdd2が印加される。かかる第2の電源電圧Vdd2は、第1の電源電圧Vdd1およびパルス出力部7を構成する各種トランジスタの耐電圧よりも低い電圧（たとえば、2.5V）である。

[0048] なお、第1の電源電圧Vdd1および第2の電源電圧Vdd2は、上述の例に限られず、第1の電源電圧Vdd1が各種トランジスタの耐電圧よりも高い値であり、第2の電源電圧Vdd2が各種トランジスタの耐電圧よりも

低い値であれば、適宜調整可能である。

[0049] さらに、第1の電源電圧 V_{dd1} および第2の電源電圧 V_{dd2} は、第1の電源電圧 V_{dd1} と第2の電源電圧 V_{dd2} との電位差が各種トランジスタの耐電圧よりも低い値であれば、適宜調整可能である。

[0050] 電流供給部20は、第1の配線10からSPAD素子6aに所定の電流を供給する。電流供給部20は、直列に接続されるP型トランジスタ21およびP型トランジスタ22を有する。P型トランジスタ21は、第3のトランジスタの一例である。

[0051] P型トランジスタ21のソースは第1の配線10に接続され、P型トランジスタ21のドレインはP型トランジスタ22のソースに接続され、P型トランジスタ21のゲートは第2の配線11に接続される。また、P型トランジスタ21の基板電位は、P型トランジスタ21のドレインと同電位である。

[0052] P型トランジスタ22のソースはP型トランジスタ21のドレインに接続される。P型トランジスタ22のドレインは、イネーブル部30の第1のイネーブル部31に含まれるP型トランジスタ33のソースに接続される。P型トランジスタ22の基板電位は、P型トランジスタ22のソースと同電位である。

[0053] また、制御部8は、P型トランジスタ22のゲートに所定のリファレンス電圧 V_{REF} を入力する。これにより、電流供給部20は、イネーブル部30の第1のイネーブル部31と、第1の耐压部40と、信号線12とを介して、リファレンス電圧 V_{REF} で制御された所定の電流をSPAD素子6aのカソードに供給する。

[0054] なお、信号線12は、画素アレイ部6の接続部6bおよび第2の耐压部50のN型トランジスタ51を介して、SPAD素子6aのカソードとインバータ60の入力端子との間を接続する。また、SPAD素子6aのアノードは接地され、インバータ60の出力端子はノード13を介して制御部8（図3参照）に接続される。

- [0055] イネーブル部30は、外部（たとえば、制御部8）から送られるイネーブル信号に基づいて、SPAD素子6aの動作の実施および停止を行う。イネーブル部30の第1のイネーブル部31は、上チャネルのP型トランジスタ33と、下チャネルのN型トランジスタ34とがCMOS回路となって構成される。
- [0056] そして、第1のイネーブル部31は、かかるCMOS回路にイネーブル信号の一部である第1のイネーブル信号E1が入力されることにより、SPAD素子6aの動作の実施および停止を行う。
- [0057] たとえば、第2の電源電圧Vdd2と同じ電圧の第1のイネーブル信号E1が入力されることにより、P型トランジスタ33が導通状態となることから、CMOS回路の出力部であるノード35が電流供給部20に接続される。
- [0058] これにより、電流供給部20からSPAD素子6aに所定の電流を供給することができることから、第1のイネーブル部31は、SPAD素子6aを動作させることができる。そしてこの場合、P型トランジスタ33は、電流供給部20の一部として機能する。
- [0059] 一方で、第1の電源電圧Vdd1と同じ電圧の第1のイネーブル信号E1が入力されることにより、N型トランジスタ34が導通状態となることから、CMOS回路の出力部であるノード35が第2の配線11に接続される。すなわち、ノード35は、第2の電源電圧Vdd2で保持される。
- [0060] これにより、電流供給部20からSPAD素子6aへの電流の供給を停止することができることから、第1のイネーブル部31は、SPAD素子6aの動作を停止させることができる。なお、第2のイネーブル部32の詳細については後述する。
- [0061] 第1の耐圧部40は、電流供給部20の低圧側（すなわち、ノード35）を第2の電源電圧Vdd2以上の電圧に保持する。第1の耐圧部40は、P型トランジスタ41を有する。
- [0062] P型トランジスタ41のソースは、ノード35に接続される。P型トラン

ジスタ41のドレインは、信号線12においてN型トランジスタ51よりもSPAD素子6a側に接続される。P型トランジスタ41の基板電位は、P型トランジスタ41のソースと同電位である。

[0063] また、P型トランジスタ41のゲートは第2の配線11に接続されることから、P型トランジスタ41は、ノード35の電圧を第2の電源電圧 V_{dd2} 以上の電圧に保持することができる。すなわち、第1の耐圧部40は、ノード35を第2の電源電圧 V_{dd2} 以上の電圧に保持することができる。

[0064] 第2の耐圧部50は、インバータ60を第2の電源電圧 V_{dd2} 以下の電圧に保持する。第2の耐圧部50は、N型トランジスタ51と、P型トランジスタ52とを有する。N型トランジスタ51は、第1のトランジスタの一例であり、P型トランジスタ52は、第2のトランジスタの一例である。

[0065] N型トランジスタ51のドレインは、画素アレイ部6の接続部6bを介してSPAD素子6aのカソードに接続される。N型トランジスタ51のソースは、インバータ60の入力端子に接続される。N型トランジスタ51の基板電位は、N型トランジスタ51のソースと同電位である。

[0066] また、N型トランジスタ51のゲートは第2の配線11に接続されることから、インバータ60の電圧が第2の電源電圧 V_{dd2} より大きくなる場合、N型トランジスタ51は切断状態となる。これにより、第2の耐圧部50は、インバータ60を第2の電源電圧 V_{dd2} 以下の電圧に保持することができる。

[0067] P型トランジスタ52のソースは、第2の配線11に接続される。P型トランジスタ52のソースは、信号線12を介してN型トランジスタ51のソースに接続される。P型トランジスタ52のゲートは、ノード13を介してインバータ60の出力端子に接続される。かかるP型トランジスタ52の機能については後述する。

[0068] イネーブル部30の第2のイネーブル部32は、N型トランジスタ36を有する。N型トランジスタ36のドレインは、信号線12においてN型トランジスタ51よりもインバータ60側に接続される。N型トランジスタ36

のソースは接地される。

[0069] そして、第2のイネーブル部32は、N型トランジスタ36のゲートにイネーブル信号の一部である第2のイネーブル信号E2が入力されることにより、SPAD素子6aの動作の実施および停止を行う。

[0070] たとえば、グランド電圧である第2のイネーブル信号E2が入力されることにより、N型トランジスタ36が切断状態となることから、SPAD素子6aからの信号をインバータ60に入力させることができる。これにより、第2のイネーブル部32は、SPAD素子6aの動作をパルス出力部7の出力に反映させることができる。

[0071] また、第2の電源電圧Vdd2と同じ電圧の第2のイネーブル信号E2が入力されることにより、N型トランジスタ36が導通状態となることから、SPAD素子6aのカソードを接地電位にクランプすることができる。これにより、SPAD素子6aのカソードに大きな逆バイアス電圧が印加されなくなることから、第2のイネーブル部32は、SPAD素子6aを動作させないことができる。

[0072] 次に、図5に加えて図6も参照しながら、パルス出力部7の動作について説明する。図6は、本開示の実施形態においてSPAD素子6aを動作させている場合のパルス出力部7の動作をタイミングチャートで示す説明図である。

[0073] SPAD素子6aを動作させる場合、上述のように、第1のイネーブル部31には、第2の電源電圧Vdd2と同じ電圧の第1のイネーブル信号E1が入力される。また、第2のイネーブル部32には、グランド電圧である第2のイネーブル信号E2が入力される。

[0074] パルス出力部7の初期状態において、SPAD素子6aには、ガイガーモードと呼ばれるなだれ増幅が起きる寸前の状態になるまで、逆バイアスの第1の電源電圧Vdd1が印加されている。すなわち、初期状態において、SPAD素子6aのカソードから出力される信号S1は、この第1の電源電圧Vdd1となる。

- [0075] また、パルス出力部 7 の初期状態において、電流供給部 20 からノード 35 を介して出力される信号 S 2 は、信号 S 1 と同じく第 1 の電源電圧 V_{dd1} となる。
- [0076] また、SPAD 素子 6a のカソードから出力される信号 S 1 が第 1 の電源電圧 V_{dd1} である場合、N 型トランジスタ 51 のドレイン電圧は第 1 の電源電圧 V_{dd1} であり、N 型トランジスタ 51 のゲート電圧は第 2 の電源電圧 V_{dd2} である。したがって、信号 S 1 が第 1 の電源電圧 V_{dd1} である場合、N 型トランジスタ 51 は切断状態となる。
- [0077] そして、パルス出力部 7 の初期状態では、インバータ 60 から出力される信号 S 4 がローレベル（たとえば、ゼロ（V））であることから、かかるローレベルの信号 S 4 が P 型トランジスタ 52 のゲートに入力され、P 型トランジスタ 52 は導通状態となる。
- [0078] これにより、N 型トランジスタ 51 のソースとインバータ 60 の入力端子との間の電圧（以下、信号 S 3 とも呼称する。）は、第 2 の電源電圧 V_{dd2} となる。なお、インバータ 60 にはしきい電圧 V_{th} 以上の第 2 の電源電圧 V_{dd2} が信号 S 3 として入力されることから、インバータ 60 から出力される信号 S 4 はローレベルのままである。
- [0079] このように、パルス出力部 7 の初期状態では、N 型トランジスタ 51 のドレインに第 1 の電源電圧 V_{dd1} が印加され、N 型トランジスタ 51 のソースに第 2 の電源電圧 V_{dd2} が印加される。
- [0080] すなわち、パルス出力部 7 は、インバータ 60 の出力を P 型トランジスタ 52 にフィードバックさせることにより、初期状態、即ち信号 S 1 が第 1 の電源電圧 V_{dd1} である場合に、N 型トランジスタ 51 のソースに第 2 の電源電圧 V_{dd2} を印加することができる。
- [0081] したがって、実施形態によれば、第 1 の電源電圧 V_{dd1} よりも耐電圧が低い N 型トランジスタ 51 であっても、かかる N 型トランジスタ 51 が破損することを抑制することができる。
- [0082] そして、第 1 の電源電圧 V_{dd1} が印加された SPAD 素子 6a に時間 T

1で1光子が入射すると、SPAD素子6aがブレイクダウンして電流供給部20から電流が供給される。これにより、信号S1は、第1の電源電圧V_{dd1}から急激に減少する。

[0083] 同様に、信号S2は、信号S1とともに第1の電源電圧V_{dd1}から急激に減少する。一方で、信号S2は、時間T2において、第2の電源電圧V_{dd2}よりも大きい電圧V_aで下げ止まる。これは、P型トランジスタ41のゲートに第2の電源電圧V_{dd2}が印加されているためである。

[0084] なお、この電圧V_aは、第2の電源電圧V_{dd2}にP型トランジスタ41のしきい値電圧を加えた値であり、各種トランジスタ（たとえば、P型トランジスタ41）の耐電圧よりも低い電圧である。

[0085] このように、信号S2が第2の電源電圧V_{dd2}より低くなることを防止することにより、電流供給部20を形成する各種トランジスタのソースドレイン間に、耐電圧よりも大きい電位差が生じることを抑制することができる。

[0086] したがって、実施形態によれば、第1の電源電圧V_{dd1}よりも耐電圧が低い各種トランジスタで電流供給部20を形成した場合でも、かかる各種トランジスタが破損することを抑制することができる。

[0087] そして、信号S1が第2の電源電圧V_{dd2}になると、N型トランジスタ51のドレインーゲート間電圧がゼロになることから、N型トランジスタ51が導通状態となる。これにより、信号S3は、第2の電源電圧V_{dd2}から信号S1とともに急激に減少する。

[0088] そして、時間T3で信号S3がしきい電圧V_{th}より小さくなると、インバータ60はハイレベル（たとえば、第2の電源電圧V_{dd2}）の信号S4を出力する。

[0089] そして、信号S1および信号S3は、時間T4でSPAD素子6a内のなだれ増幅が停止することから、ゼロ（V）で下げ止まる。さらに、信号S1および信号S3は、電流供給部20を介してSPAD素子6aが再充電されることにより上昇する（いわゆるクエンチング動作）。

- [0090] また、信号S 1 および信号S 3 がゼロ（V）で下げ止まった時間T 4 において、P型トランジスタ4 1 のソースには電圧V a が印加され、P型トランジスタ4 1 のドレインはゼロ（V）である。
- [0091] しかしながら、かかる電圧V a はP型トランジスタ4 1 の耐電圧よりも低い電圧であることから、実施形態では、信号S 1 などがゼロ（V）になった場合でも、P型トランジスタ4 1 が破損することを抑制することができる。
- [0092] また、インバータ6 0 からハイレベルの信号S 4 が出力された時間T 3 において、かかるハイレベルの信号S 4 がP型トランジスタ5 2 のゲートに入力されることから、P型トランジスタ5 2 は切断状態となる。
- [0093] これにより、第2の配線1 1 からP型トランジスタ5 2 およびN型トランジスタ5 1 を介してSPAD素子6 aが再充電されることを抑制することができる。したがって、実施形態によれば、電流供給部2 0 以外の供給路からSPAD素子6 aに電流が供給されることにより、SPAD素子6 aの動作が不安定になることを抑制することができる。
- [0094] そして、信号S 3 がしきい電圧V t h 以上になった時間T 5 で、インバータ6 0 はローレベルの信号S 4 を出力する。これにより、P型トランジスタ5 2 が導通状態となることから、かかるP型トランジスタ5 2 およびN型トランジスタ5 1 を介して電流がSPAD素子6 aに供給される。したがって、信号S 1 および信号S 3 は急激に上昇する。
- [0095] しかしながら、信号S 1 が第2の電源電圧V d d 2 より大きくなると、N型トランジスタ5 1 のドレインーゲート間電圧がゼロより大きくなることから、N型トランジスタ5 1 が切断状態となる。これにより、信号S 3 は、時間T 6 において第2の電源電圧V d d 2 で高止まり、時間T 6 以降は第2の電源電圧V d d 2 で保持される。
- [0096] これにより、P型トランジスタ5 2 やインバータ6 0 に対して、第2の電源電圧V d d 2 よりも大きい電圧が印加されることを抑制することができる。
- [0097] したがって、実施形態によれば、第1の電源電圧V d d 1 よりも耐電圧が

低い各種トランジスタでP型トランジスタ52やインバータ60を形成した場合でも、かかるP型トランジスタ52やインバータ60が破損することを抑制することができる。

[0098] そして、信号S1がさらに上昇し、ノード35が電圧V_a以上になった時間T₇以降は、信号S2が信号S1とともに上昇する。最後に、信号S1および信号S2（すなわち、SPAD素子6aのカソード）は、時間T₈で初期状態の第1の電源電圧V_{dd1}に復帰し、SPAD素子6aおよびパルス出力部7は初期状態に戻る。

[0099] ここまで説明したように、実施形態に係るパルス出力部7は、SPAD素子6aのカソードに各種トランジスタの耐電圧よりも高い電圧である第1の電源電圧V_{dd1}を印加することができる。したがって、実施形態によれば、SPAD素子6aの感度特性を向上させることができる。

[0100] また、実施形態では、上述のように、パルス出力部7を構成する各トランジスタに対して、SPAD素子6aのすべての動作段階で耐電圧よりも大きい電位差が生じることを抑制することができる。

[0101] したがって、実施形態によれば、耐電圧よりも高い第1の電源電圧V_{dd1}を用いた場合でも、パルス出力部7を構成する各トランジスタが破損することを抑制することができる。

[0102] なお、実施形態に係るパルス出力部7に電源を投入する際には、各種トランジスタの耐圧を確保するため、第1の配線10に第1の電源電圧V_{dd1}を供給するよりも先に、第2の配線11に第2の電源電圧V_{dd2}を供給する。

[0103] 一方で、第1の電源電圧V_{dd1}を供給するよりも先に第2の電源電圧V_{dd2}を供給した場合、電流供給部20内のP型トランジスタ22のドレインには、第2の電源電圧V_{dd2}が印加される。

[0104] これにより、かかるP型トランジスタ22のドレインと基板との間に形成される寄生ダイオードがオンすることから、P型トランジスタ22内に電流が流れる恐れがある。

- [0105] そこで、実施形態では、基板電位とドレインとが同電位であるP型トランジスタ21を、P型トランジスタ22と直列に電流供給部20内に設けることとした。かかるP型トランジスタ21は、ドレインと基板電位とが同電位であることから、ドレインに第2の電源電圧 V_{dd2} が印加されたとしても、内部の寄生ダイオードがオンすることはない。
- [0106] すなわち、実施形態によれば、基板電位とドレインとが同電位であるP型トランジスタ21を電流供給部20に設けることにより、パルス出力部7に電源を投入する際に、電流供給部20内に電流が流れることを抑制することができる。
- [0107] 図7は、本開示の実施形態においてSPAD素子6aの動作を停止させた場合のパルス出力部7の動作をタイミングチャートで示す説明図である。
- [0108] SPAD素子6aの動作を停止させる場合、第1のイネーブル部31には、第1の電源電圧 V_{dd1} と同じ電圧の第1のイネーブル信号E1が入力される。
- [0109] これにより、N型トランジスタ34が導通状態となることから、CMOS回路の出力部であるノード35が第2の配線11に接続される。したがって、P型トランジスタ41のソースとゲートとが同電位になることから、P型トランジスタ41は切断状態となる。これにより、電流供給部20からSPAD素子6aへの電流供給を停止することができる。
- [0110] また、SPAD素子6aの動作を停止させる場合、第2のイネーブル部32には、第2の電源電圧 V_{dd2} と同じ電圧の第2のイネーブル信号E2が入力される。
- [0111] これにより、N型トランジスタ51が接地電位にクランプされ、N型トランジスタ51が導通状態となることから、SPAD素子6aのカソードも接地電位にクランプされる。
- [0112] このように、SPAD素子6aの動作を停止させた場合、図7に示すように、初期状態において、信号S1および信号S3が接地電位にクランプされ、信号S2が第2の電源電圧 V_{dd2} で保持される。したがって、インバー

タ60からは、ハイレベル（たとえば、第2の電源電圧 V_{dd2} ）の信号 S_4 が出力される。

[0113] さらに、SPAD素子6aの動作を停止させた場合、時間 T_{10} でSPAD素子6aに1光子が入射した場合でも、大きな逆バイアス電圧がカソードに印加されていないことから、SPAD素子6aの内部ではアバランシ増倍が生じない。

[0114] このように、実施形態では、第1のイネーブル部31に所定の第1のイネーブル信号 E_1 を入力し、第2のイネーブル部32に所定の第2のイネーブル信号 E_2 を入力することにより、SPAD素子6aの動作を停止させることができる。

[0115] 一方で、実施形態では、図6に示したように、第1のイネーブル部31に別の第1のイネーブル信号 E_1 を入力し、第2のイネーブル部32に別の第2のイネーブル信号 E_2 を入力することにより、SPAD素子6aを動作させることができる。

[0116] すなわち、実施形態によれば、第1のイネーブル信号 E_1 および第2のイネーブル信号 E_2 を切り替えることにより、SPAD素子6aの動作の実施および停止を行うことができる。

[0117] なお、実施形態においてSPAD素子6aの動作を停止させた場合、パルス出力部7からはハイレベルの信号 S_4 が制御部8に送られるが、制御部8は、かかるハイレベルの信号 S_4 をオフ信号として処理するとよい。

[0118] [効果]

実施形態に係る制御回路は、第1の配線10と、第2の配線11と、電流供給部20と、第1の耐圧部40と、インバータ60と、第2の耐圧部50とを備える。第1の配線10には、第1の電源電圧 V_{dd1} が印加される。第2の配線11には、第1の電源電圧 V_{dd1} よりも低い第2の電源電圧 V_{dd2} が印加される。電流供給部20は、第1の配線10からSPAD素子6aに所定の電流を供給する。第1の耐圧部40は、電流供給部20の低圧側を第2の電源電圧 V_{dd2} 以上の電圧に保持する。インバータ60は、S

PAD素子6aのカソードに接続される。第2の耐圧部50は、インバータ60を第2の電源電圧Vdd2以下の電圧に保持する。また、第2の耐圧部50は、N型の第1トランジスタ（N型トランジスタ51）と、P型の第2トランジスタ（P型トランジスタ52）とを有する。N型の第1トランジスタ（N型トランジスタ51）は、SPAD素子6aのカソードとインバータ60の入力端子との間に設けられ、ゲートが第2の配線11に接続される。P型の第2トランジスタ（P型トランジスタ52）は、第2の配線11と第1トランジスタ（N型トランジスタ51）のソースとの間に設けられ、ゲートがインバータ60の出力端子に接続される。

[0119] これにより、SPAD素子6aの感度特性を向上させることができる。

[0120] また、実施形態に係る制御回路において、第1の電源電圧Vdd1は、第1トランジスタ（N型トランジスタ51）および第2トランジスタ（P型トランジスタ52）の耐電圧よりも高い。また、第2の電源電圧Vdd2は、第1トランジスタ（N型トランジスタ51）および第2トランジスタ（P型トランジスタ52）の耐電圧よりも低い。また、第1の電源電圧Vdd1と第2の電源電圧Vdd2との電位差は、第1トランジスタ（N型トランジスタ51）および第2トランジスタ（P型トランジスタ52）の耐電圧よりも低い。

[0121] これにより、耐電圧よりも高い第1の電源電圧Vdd1を用いた場合でも、パルス出力部7を構成する各トランジスタが破損することを抑制することができる。

[0122] また、実施形態に係る制御回路において、電流供給部20は、ソースが第1の配線10に接続され、ゲートが第2の配線11に接続され、ドレインが基板電位と同電位であるP型の第3トランジスタ（P型トランジスタ21）を有する。

[0123] これにより、パルス出力部7に電源を投入する際に、電流供給部20内に電流が流れることを抑制することができる。

[0124] また、実施形態に係る制御回路は、イネーブル信号に基づいてSPAD素

子6aの動作の実施および停止を行うイネーブル部30をさらに備える。イネーブル部30は、第1のイネーブル部31と第2のイネーブル部32とを有する。第1のイネーブル部31は、イネーブル信号（第1のイネーブル信号E1）に基づいて電流供給部20の低圧側を第2の電源電圧V_{dd2}に保持する。第2のイネーブル部32は、イネーブル信号（第2のイネーブル信号E2）に基づいてインバータ60の入力端子を接地する。

[0125] これにより、SPAD素子6aの動作を停止させることができる。

[0126] 以上、本開示の実施形態について説明したが、本開示の技術的範囲は、上述の実施形態そのままに限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。また、異なる実施形態及び変形例にわたる構成要素を適宜組み合わせてもよい。

[0127] たとえば、実施形態では、電流供給部20がP型トランジスタ21およびP型トランジスタ22で構成された例について示したが、電流供給部20はP型トランジスタ21およびP型トランジスタ22で構成される場合に限られない。

[0128] また、実施形態では、第1のイネーブル部31がCMOS回路で構成された例について示したが、第1のイネーブル部31はCMOS回路で構成される場合に限られない。

[0129] また、実施形態では、第2のイネーブル部32がN型トランジスタ36で構成された例について示したが、第2のイネーブル部32はN型トランジスタ36で構成される場合に限られない。

[0130] また、実施形態では、第1の耐圧部40がP型トランジスタ41で構成された例について示したが、第1の耐圧部40はP型トランジスタ41で構成される場合に限られない。

[0131] また、実施形態では、第2の耐圧部50がN型トランジスタ51およびP型トランジスタ52で構成された例について示したが、第2の耐圧部50はN型トランジスタ51およびP型トランジスタ52で構成される場合に限られない。

[0132] また、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0133] なお、本技術は以下のような構成も取ることができる。

(1)

第1の電源電圧が印加される第1の配線と、

前記第1の電源電圧よりも低い第2の電源電圧が印加される第2の配線と

、

前記第1の配線からSPAD (Single Photon Avalanche Diode) 素子に所定の電流を供給する電流供給部と、

前記電流供給部の低圧側を前記第2の電源電圧以上の電圧に保持する第1の耐圧部と、

前記SPAD素子のカソードに接続されるインバータと、

前記インバータを前記第2の電源電圧以下の電圧に保持する第2の耐圧部と、

を備え、

前記第2の耐圧部は、

前記SPAD素子のカソードと前記インバータの入力端子との間に設けられ、ゲートが前記第2の配線に接続されるN型の第1トランジスタと、

前記第2の配線と前記第1トランジスタのソースとの間に設けられ、ゲートが前記インバータの出力端子に接続されるP型の第2トランジスタと、

を有する制御回路。

(2)

前記第1の電源電圧は、前記第1トランジスタおよび前記第2トランジスタの耐電圧よりも高く、

前記第2の電源電圧は、前記第1トランジスタおよび前記第2トランジスタの耐電圧よりも低く、

前記第1の電源電圧と前記第2の電源電圧との電位差は、前記第1トランジスタおよび前記第2トランジスタの耐電圧よりも低い

前記（１）に記載の制御回路。

（３）

前記電流供給部は、

ソースが前記第１の配線に接続され、ゲートが前記第２の配線に接続され、ドレインが基板電位と同電位であるＰ型の第３トランジスタを有する

前記（１）または（２）に記載の制御回路。

（４）

イネーブル信号に基づいてＳＰＡＤ素子の動作の実施および停止を行うイネーブル部をさらに備え、

前記イネーブル部は、

前記イネーブル信号に基づいて前記電流供給部の低圧側を前記第２の電源電圧に保持する第１のイネーブル部と、

前記イネーブル信号に基づいて前記インバータの入力端子を接地する第２のイネーブル部と、

を有する前記（１）～（３）のいずれか一つに記載の制御回路。

（５）

被測定物に光を照射する光源と、

前記被測定物から反射される光を受光した際に信号を出力するＳＰＡＤ素子と、

第１の電源電圧が印加される第１の配線と、前記第１の電源電圧よりも低い第２の電源電圧が印加される第２の配線と、前記第１の配線から前記ＳＰＡＤ素子に所定の電流を供給する電流供給部と、前記電流供給部の低圧側を前記第２の電源電圧以上の電圧に保持する第１の耐压部と、前記ＳＰＡＤ素子のカソードに接続されるインバータと、前記インバータを前記第２の電源電圧以下の電圧に保持する第２の耐压部と、を備え、前記第２の耐压部は、前記ＳＰＡＤ素子のカソードと前記インバータの入力端子との間に設けられ、ゲートが前記第２の配線に接続されるＮ型の第１トランジスタと、前記第２の配線と前記第１トランジスタのソースとの間に設けられ、ゲートが前記

インバータの出力端子に接続されるP型の第2トランジスタと、を有する制御回路と、

を備える測距システム。

(6)

前記第1の電源電圧は、前記第1トランジスタおよび前記第2トランジスタの耐電圧よりも高く、

前記第2の電源電圧は、前記第1トランジスタおよび前記第2トランジスタの耐電圧よりも低く、

前記第1の電源電圧と前記第2の電源電圧との電位差は、前記第1トランジスタおよび前記第2トランジスタの耐電圧よりも低い

前記(5)に記載の測距システム。

(7)

前記電流供給部は、

ソースが前記第1の配線に接続され、ゲートが前記第2の配線に接続され、ドレインが基板電位と同電位であるP型の第3トランジスタを有する

前記(5)または(6)に記載の測距システム。

(8)

前記制御回路は、イネーブル信号に基づいてSPAD素子の動作の実施および停止を行うイネーブル部をさらに備え、

前記イネーブル部は、

前記イネーブル信号に基づいて前記電流供給部の低圧側を前記第2の電源電圧に保持する第1のイネーブル部と、

前記イネーブル信号に基づいて前記インバータの入力端子を接地する第2のイネーブル部と、

を有する前記(5)～(7)のいずれか一つに記載の測距システム。

符号の説明

- [0134] 1 測距装置（測距システムの一例）
2 光源部

- 3 受光部
- 6 a S P A D 素子
- 7 パルス出力部
- 8 制御部
- 1 0 第 1 の配線
- 1 1 第 2 の配線
- 2 0 電流供給部
- 2 1 P 型トランジスタ（第 3 のトランジスタの一例）
- 3 0 イネーブル部
- 3 1 第 1 のイネーブル部
- 3 2 第 2 のイネーブル部
- 4 0 第 1 の耐圧部
- 5 0 第 2 の耐圧部
- 5 1 N 型トランジスタ（第 1 のトランジスタの一例）
- 5 2 P 型トランジスタ（第 2 のトランジスタの一例）
- 6 0 インバータ

請求の範囲

[請求項1]

第1の電源電圧が印加される第1の配線と、
前記第1の電源電圧よりも低い第2の電源電圧が印加される第2の配線と、
前記第1の配線からSPAD (Single Photon Avalanche Diode) 素子に所定の電流を供給する電流供給部と、
前記電流供給部の低圧側を前記第2の電源電圧以上の電圧に保持する第1の耐圧部と、
前記SPAD素子のカソードに接続されるインバータと、
前記インバータを前記第2の電源電圧以下の電圧に保持する第2の耐圧部と、
を備え、
前記第2の耐圧部は、
前記SPAD素子のカソードと前記インバータの入力端子との間に設けられ、ゲートが前記第2の配線に接続されるN型の第1トランジスタと、
前記第2の配線と前記第1トランジスタのソースとの間に設けられ、ゲートが前記インバータの出力端子に接続されるP型の第2トランジスタと、
を有する制御回路。

[請求項2]

前記第1の電源電圧は、前記第1トランジスタおよび前記第2トランジスタの耐電圧よりも高く、
前記第2の電源電圧は、前記第1トランジスタおよび前記第2トランジスタの耐電圧よりも低く、
前記第1の電源電圧と前記第2の電源電圧との電位差は、前記第1トランジスタおよび前記第2トランジスタの耐電圧よりも低い
請求項1に記載の制御回路。

[請求項3]

前記電流供給部は、

ソースが前記第 1 の配線に接続され、ゲートが前記第 2 の配線に接続され、ドレインが基板電位と同電位である P 型の第 3 トランジスタを有する

請求項 1 に記載の制御回路。

[請求項 4]

イネーブル信号に基づいて S P A D 素子の動作の実施および停止を行うイネーブル部をさらに備え、

前記イネーブル部は、

前記イネーブル信号に基づいて前記電流供給部の低圧側を前記第 2 の電源電圧に保持する第 1 のイネーブル部と、

前記イネーブル信号に基づいて前記インバータの入力端子を接地する第 2 のイネーブル部と、

を有する請求項 1 に記載の制御回路。

[請求項 5]

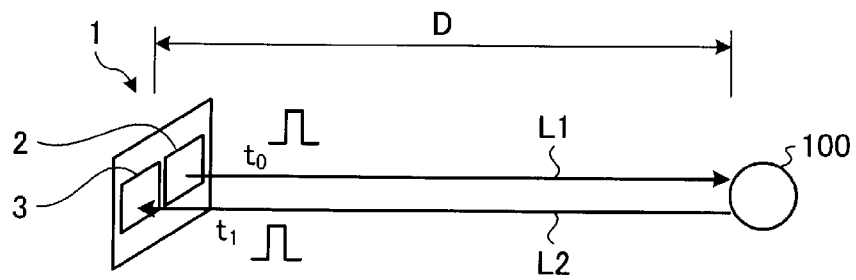
被測定物に光を照射する光源と、

前記被測定物から反射される光を受光した際に信号を出力する S P A D 素子と、

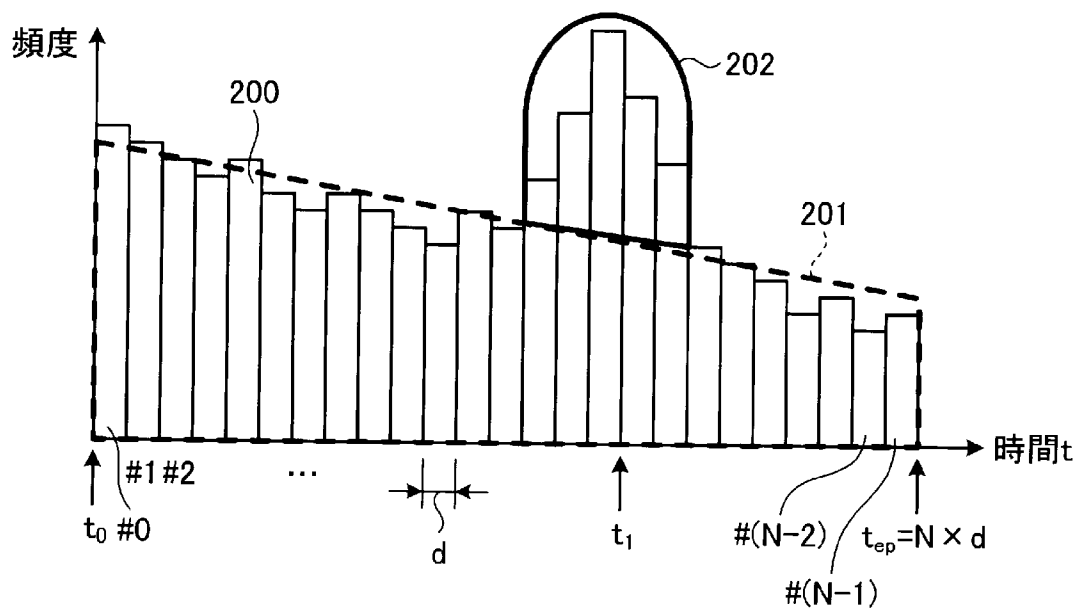
第 1 の電源電圧が印加される第 1 の配線と、前記第 1 の電源電圧よりも低い第 2 の電源電圧が印加される第 2 の配線と、前記第 1 の配線から前記 S P A D 素子に所定の電流を供給する電流供給部と、前記電流供給部の低圧側を前記第 2 の電源電圧以上の電圧に保持する第 1 の耐圧部と、前記 S P A D 素子のカソードに接続されるインバータと、前記インバータを前記第 2 の電源電圧以下の電圧に保持する第 2 の耐圧部と、を備え、前記第 2 の耐圧部は、前記 S P A D 素子のカソードと前記インバータの入力端子との間に設けられ、ゲートが前記第 2 の配線に接続される N 型の第 1 トランジスタと、前記第 2 の配線と前記第 1 トランジスタのソースとの間に設けられ、ゲートが前記インバータの出力端子に接続される P 型の第 2 トランジスタと、を有する制御回路と、

を備える測距システム。

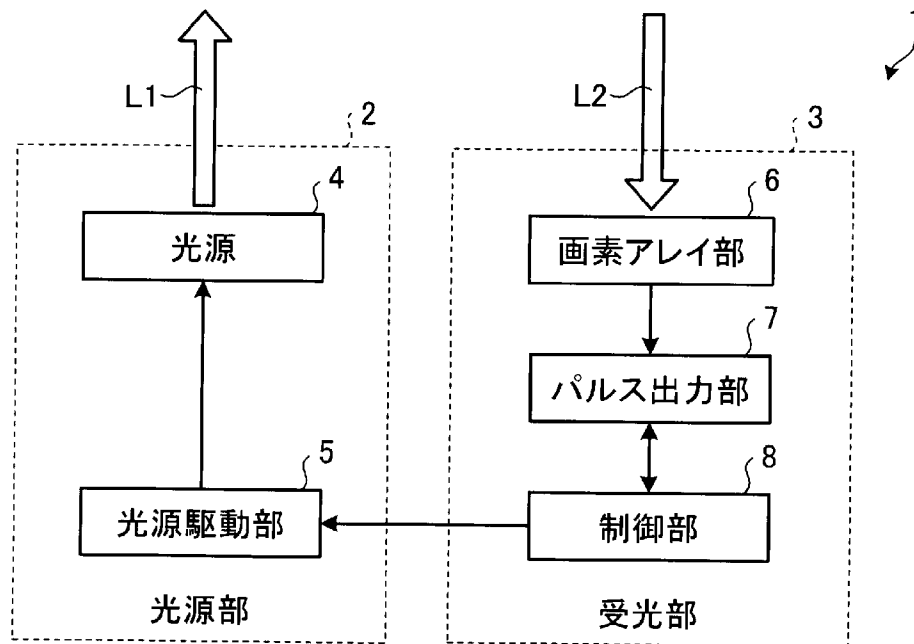
[図1]



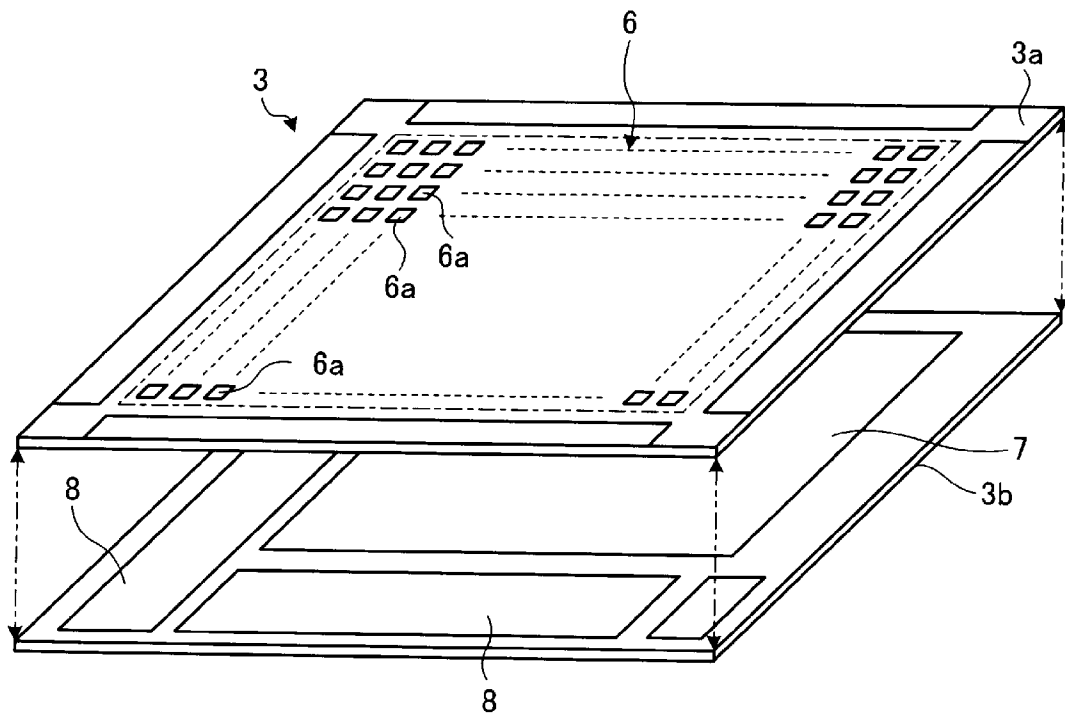
[図2]



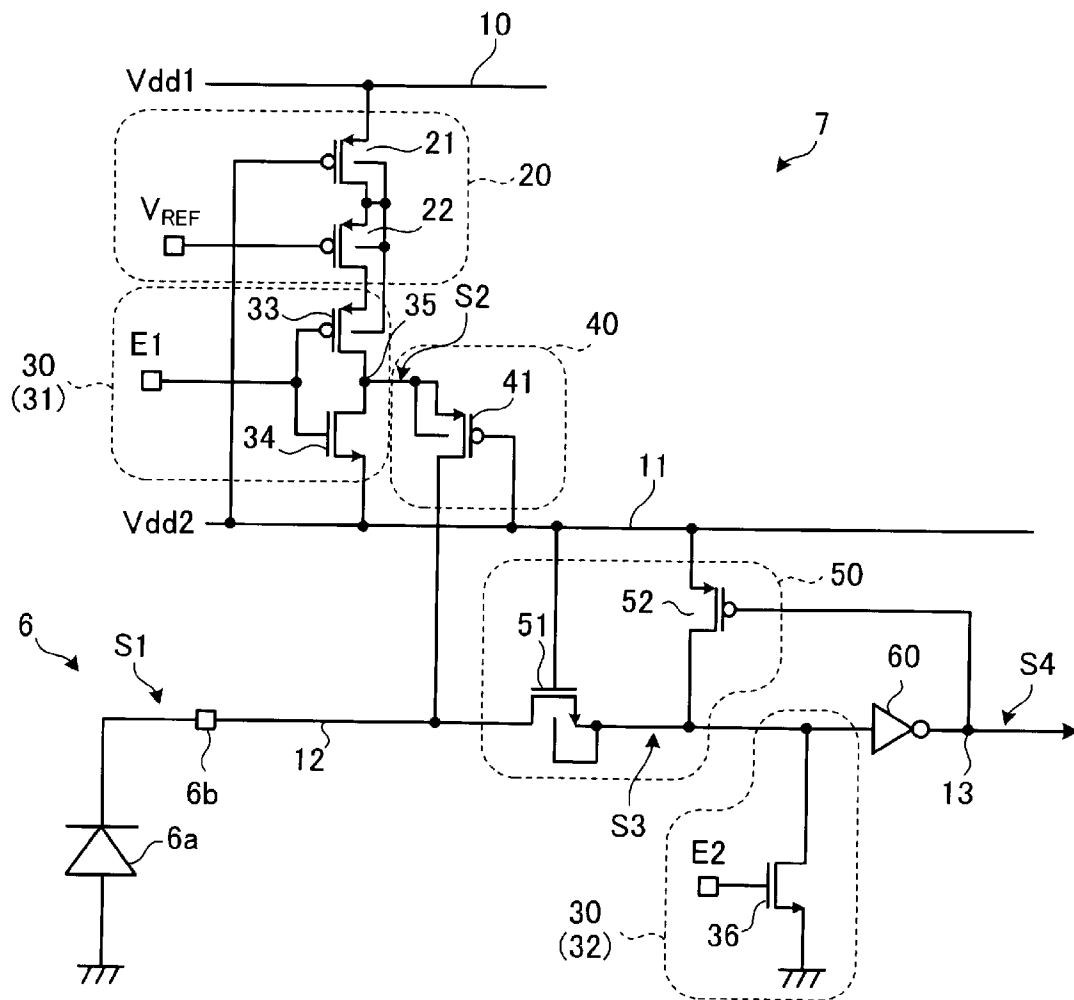
[図3]



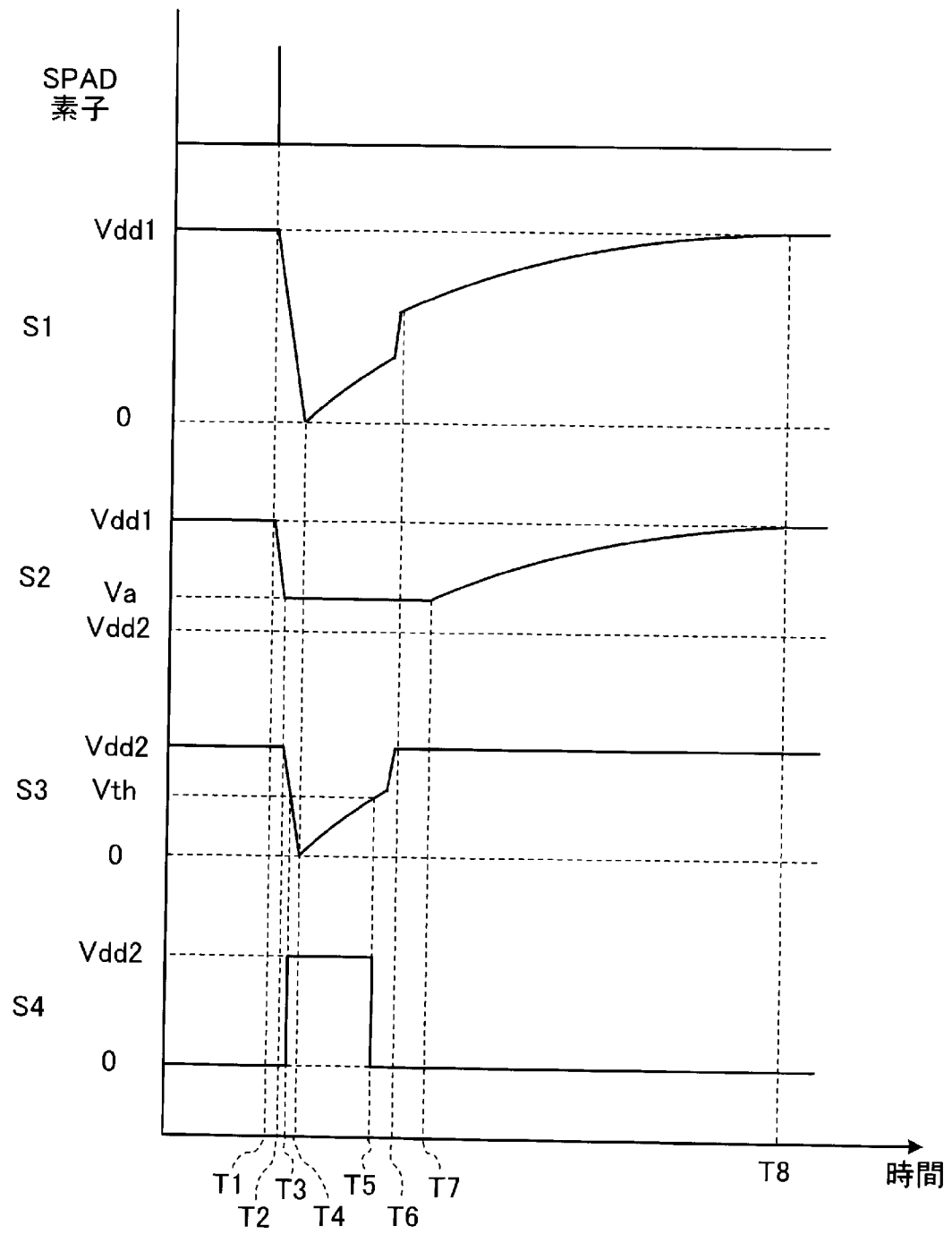
[図4]



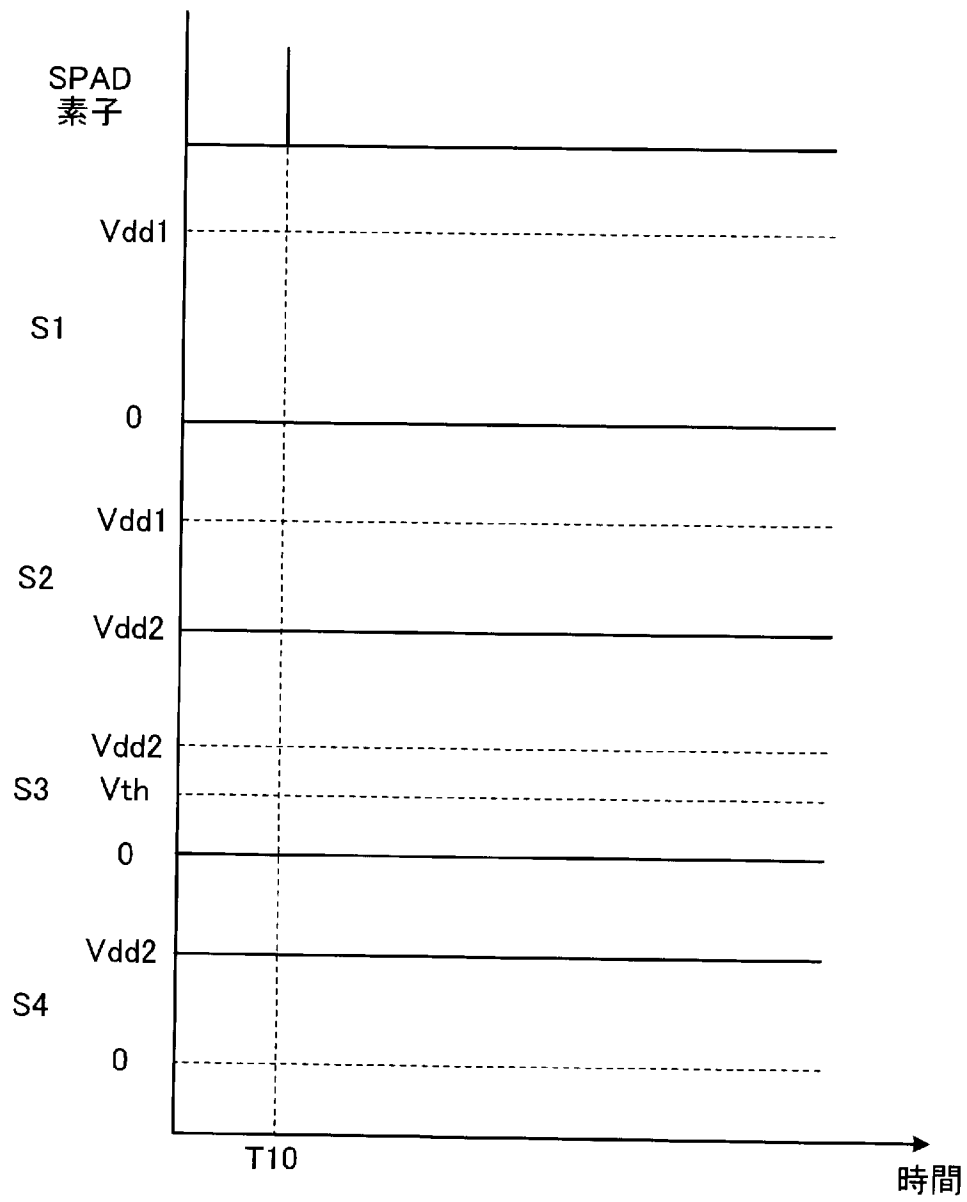
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/049482

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G01J1/42 (2006.01) i, G01S17/10 (2020.01) i, H01L31/107 (2006.01) i, H01L31/10 (2006.01) i, G01S7/486 (2020.01) i, H04N5/369 (2011.01) i
FI: G01S7/486, H01L31/10 G, G01S17/10, H01L31/10 B, H04N5/369, G01J1/42 H
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G01S7/48-G01S7/51, G01S17/00-G01S17/95, G01B11/00-G01B11/30, G01C3/00-G01C3/32, G01J1/00-G01J1/60, H01L21/00-H01L31/18, H01S5/00-H01S5/50, H04N5/30-H04N5/378

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2020
Registered utility model specifications of Japan 1996-2020
Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2019-007877 A (CANON INC.) 17 January 2019, entire document	1-5
A	JP 2018-157387 A (CANON INC.) 04 October 2018, entire document	1-5
A	WO 2019/031001 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 14 February 2019, entire document	1-5
A	JP 2015-117970 A (DENSO CORP.) 25 June 2015, entire document	1-5
A	JP 2010-219661 A (FUJI ELECTRIC SYSTEMS CO., LTD.) 30 September 2010, entire document	1-5



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06.02.2020

Date of mailing of the international search report
18.02.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/049482

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2-500789 A (THE UNITED KINGDOM OF GREAT BRITAIN AND NORTHERN IRELAND) 15 March 1990, entire document	1-5

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2019/049482

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2019-007877 A	17.01.2019	US 2018/0372539 A1	
JP 2018-157387 A	04.10.2018	US 2018/0270405 A1	
WO 2019/031001 A1	14.02.2019	EP 3567848 A1	
		CN 109644244 A	
JP 2015-117970 A	25.06.2015	(Family: none)	
JP 2010-219661 A	30.09.2010	(Family: none)	
JP 2-500789 A	15.03.1990	US 4945227 A	
		WO 1988/004034 A2	
		EP 333751 A1	
		DE 3780647 A1	

A. 発明の属する分野の分類（国際特許分類（IPC）） G01J 1/42(2006.01)i; G01S 17/10(2020.01)i; H01L 31/107(2006.01)i; H01L 31/10(2006.01)i; G01S 7/486(2020.01)i; H04N 5/369(2011.01)i FI: G01S7/486; H01L31/10 G; G01S17/10; H01L31/10 B; H04N5/369; G01J1/42 H																							
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G01S 7/48 - G01S 7/51, G01S 17/00 - G01S 17/95, G01B 11/00 - G01B 11/30, G01C 3/00 - G01C 3/32, G01J1/00 - G01J 1/60, H01L 21/00 - H01L 31/18, H01S 5/00 - H01S 5/50, H04N 5/30 - H04N 5/378 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2020年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2020年	日本国実用新案登録公報	1996 - 2020年	日本国登録実用新案公報	1994 - 2020年													
日本国実用新案公報	1922 - 1996年																						
日本国公開実用新案公報	1971 - 2020年																						
日本国実用新案登録公報	1996 - 2020年																						
日本国登録実用新案公報	1994 - 2020年																						
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリ*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>JP 2019-007877 A（キヤノン株式会社）17.01.2019（2019 - 01 - 17） Whole Document</td> <td>1-5</td> </tr> <tr> <td>A</td> <td>JP 2018-157387 A（キヤノン株式会社）04.10.2018（2018 - 10 - 04） Whole Document</td> <td>1-5</td> </tr> <tr> <td>A</td> <td>WO 2019/031001 A1（ソニーセミコンダクタソリューションズ株式会社）14.02.2019 （2019 - 02 - 14） Whole Document</td> <td>1-5</td> </tr> <tr> <td>A</td> <td>JP 2015-117970 A（株式会社デンソー）25.06.2015（2015 - 06 - 25） Whole Document</td> <td>1-5</td> </tr> <tr> <td>A</td> <td>JP 2010-219661 A（富士電機システムズ株式会社）30.09.2010（2010 - 09 - 30） Whole Document</td> <td>1-5</td> </tr> <tr> <td>A</td> <td>JP 2-500789 A（イギリス国）15.03.1990（1990 - 03 - 15） Whole Document</td> <td>1-5</td> </tr> </tbody> </table>			引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	JP 2019-007877 A（キヤノン株式会社）17.01.2019（2019 - 01 - 17） Whole Document	1-5	A	JP 2018-157387 A（キヤノン株式会社）04.10.2018（2018 - 10 - 04） Whole Document	1-5	A	WO 2019/031001 A1（ソニーセミコンダクタソリューションズ株式会社）14.02.2019 （2019 - 02 - 14） Whole Document	1-5	A	JP 2015-117970 A（株式会社デンソー）25.06.2015（2015 - 06 - 25） Whole Document	1-5	A	JP 2010-219661 A（富士電機システムズ株式会社）30.09.2010（2010 - 09 - 30） Whole Document	1-5	A	JP 2-500789 A（イギリス国）15.03.1990（1990 - 03 - 15） Whole Document	1-5
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																					
A	JP 2019-007877 A（キヤノン株式会社）17.01.2019（2019 - 01 - 17） Whole Document	1-5																					
A	JP 2018-157387 A（キヤノン株式会社）04.10.2018（2018 - 10 - 04） Whole Document	1-5																					
A	WO 2019/031001 A1（ソニーセミコンダクタソリューションズ株式会社）14.02.2019 （2019 - 02 - 14） Whole Document	1-5																					
A	JP 2015-117970 A（株式会社デンソー）25.06.2015（2015 - 06 - 25） Whole Document	1-5																					
A	JP 2010-219661 A（富士電機システムズ株式会社）30.09.2010（2010 - 09 - 30） Whole Document	1-5																					
A	JP 2-500789 A（イギリス国）15.03.1990（1990 - 03 - 15） Whole Document	1-5																					
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																							
* 引用文献のカテゴリ “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献																							
国際調査を完了した日 06.02.2020		国際調査報告の発送日 18.02.2020																					
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 田中 純 2S 7857 電話番号 03-3581-1101 内線 3216																					

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2019/049482

引用文献			公表日	パテントファミリー文献			公表日
JP	2019-007877	A	17.01.2019	US	2018/0372539	A1	
JP	2018-157387	A	04.10.2018	US	2018/0270405	A1	
WO	2019/031001	A1	14.02.2019	EP	3567848	A1	
				CN	109644244	A	
JP	2015-117970	A	25.06.2015	(ファミリーなし)			
JP	2010-219661	A	30.09.2010	(ファミリーなし)			
JP	2-500789	A	15.03.1990	US	4945227	A	
				WO	1988/004034	A2	
				EP	333751	A1	
				DE	3780647	A1	