

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年11月23日(23.11.2017)



(10) 国際公開番号

WO 2017/199436 A1

(51) 国際特許分類:
H05K 3/46 (2006.01)

(21) 国際出願番号: PCT/JP2016/065049

(22) 国際出願日: 2016年5月20日(20.05.2016)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/
JP]; 〒6178555 京都府長岡京市東神足 1
丁目 10 番 1 号 Kyoto (JP).

(72) 発明者: 服部 和生 (HATTORI, Kazuo);
〒6178555 京都府長岡京市東神足 1 丁目 1
0 番 1 号 株式会社村田製作所内 Kyoto (JP).
藤本 力 (FUJIMOTO, Isamu); 〒6178555 京都
府長岡京市東神足 1 丁目 10 番 1 号 株式
会社村田製作所内 Kyoto (JP).

(74) 代理人: 特許業務法人深見特許事務所(FUKAMI
PATENT OFFICE, P.C.); 〒5300005 大阪府大

阪市北区中之島二丁目 2 番 7 号 中之島
セントラルタワー Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ,
EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,
HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR,
KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME,
MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO,
NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU,
RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY,
TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, ZA, ZM, ZW.

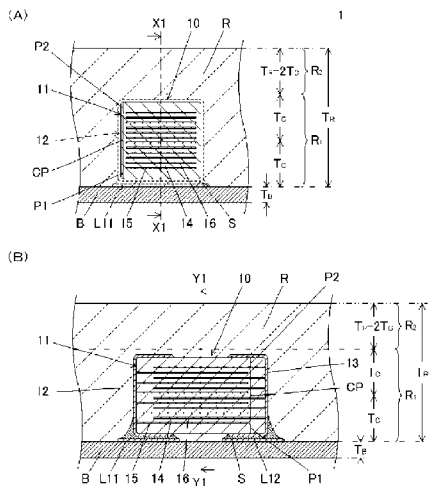
(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,

(54) Title: ELECTRONIC-COMPONENT -INTEGRATED SUBSTRATE AND PRODUCTION METHOD THERE-
FOR

(54) 発明の名称: 電子部品内蔵基板およびその製造方法

$$0.8 \leq \left(\frac{E_B}{E_R} \right)^{3/4} \cdot \frac{T_B}{T_R} + \frac{2T_C}{T_R} \leq 1.2 \quad \dots (1)$$

図2



(57) Abstract: This electronic-component-integrated substrate (1) comprises a core substrate (B), an electronic component (10) mounted on one of the main surfaces of the core substrate (B), and an embedding layer (R) provided to embed the electronic component (10). The electronic component (10) is a layered ceramic capacitor comprising a ceramic layered body (11). The ceramic layered body (11) contains an electrostatic capacity exhibiting portion (CP) wherein capacitor elements have been layered, each comprising a ceramic dielectric layer (14) inserted between a first internal electrode (15) and a second internal electrode (16). The embedding layer (R) thickness (TR), the embedding layer (R) elastic modulus (ER), the core substrate (B) thickness (TB), the core substrate (B) elastic modulus (EB), and the central height (TC) of the electrostatic capacity exhibiting portion (CP) when the one main surface of the core substrate (B) serves as a reference surface satisfy the following mathematical formula: [Formula 1]

LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

(57) 要約：電子部品内蔵基板(1)は、コア基板(B)と、コア基板(B)の一方主面に実装された電子部品(10)と、電子部品(10)を埋設して設けられた埋設層(R)とを備える。電子部品(10)は、セラミック積層体(11)を備える積層セラミックコンデンサである。セラミック積層体(11)は、セラミック誘電体層(14)が第1の内部電極(15)と第2の内部電極(16)との間に挿入されてなるコンデンサ素子が積層された静電容量発現部(CP)を含む。埋設層(R)の厚み(T_R)と、埋設層(R)の弾性率(E_R)と、コア基板(B)の厚み(T_B)と、コア基板(B)の弾性率(E_B)と、コア基板(B)の一方主面を基準面としたときの静電容量発現部(CP)の中心の高さ(T_C)とは、【数1】を満足する。

明 細 書

発明の名称：電子部品内蔵基板およびその製造方法

技術分野

[0001] この発明は、コア基板と、コア基板の一方主面に実装された電子部品と、その電子部品を埋設して設けられた埋設層とを備える電子部品内蔵基板、およびその製造方法に関するものである。

背景技術

[0002] 近年、携帯型電子機器の薄型化を受けて、国際公開第2011/135926号（特許文献1）のように、基板内部に電子部品を埋設することにより基板の薄型化を図った電子部品内蔵基板が提案されている。

[0003] 図8は、特許文献1に記載されている電子部品内蔵基板100の断面図である。図8に記載の電子部品内蔵基板100では、コア基板108に電子部品101、102が実装され、それらの電子部品101、102が埋設されるように埋設層109が形成されている。

[0004] このような電子部品内蔵基板100は、軽量であり、かつセラミック基板のように高温焼成を伴わないため、内蔵する電子部品に制約が少ないという利点がある。

[0005] ここで、特許文献1に記載の電子部品内蔵基板100の埋設層109に埋設される電子部品101、102として、積層セラミックコンデンサを考える。図9に、積層セラミックコンデンサ201の断面図を示す。

[0006] 積層セラミックコンデンサ201は、セラミック積層体202と、セラミック積層体202の表面に設けられる第1の外部電極203および第2の外部電極204とを備える。セラミック積層体202は、セラミック誘電体層205が第1の内部電極206と第2の内部電極207との間に挿入されるコンデンサ素子が、並列接続されて積層されたものである。そのような積層セラミックコンデンサ201は、信頼性および耐久性に優れ、小型大容量を実現することができる。

[0007] 小型大容量の積層セラミックコンデンサ201は、セラミック積層体202を構成するセラミック誘電体層205の材料として、チタン酸バリウムを基本材料とする高誘電率のセラミック材料を用いることが多い。そのようなセラミック積層体202を備える積層セラミックコンデンサ201に電圧を印加すると、電歪効果および逆圧電効果により、印加された電圧の大きさに応じた歪みがセラミック積層体202に発生する。それに伴い、セラミック積層体202が、積層方向への膨張、積層方向と直交する面方向への収縮を繰り返す。

[0008] 近年、積層セラミックコンデンサ201の小型化・薄層化の進展に伴い、誘電体に印加される電界強度が高くなったため、上記のセラミック積層体202の歪みの度合いも大きくなっている。

[0009] ここで、図10(A)に示すように、積層セラミックコンデンサ201が、はんだSにより基板Bに実装された場合を考える。積層セラミックコンデンサ201に電圧が印加されると、図10(B)に示すように、セラミック積層体202に発生した歪みが、はんだSを介して積層セラミックコンデンサ201に固着されている基板Bを振動させる。

[0010] このような基板Bの振動は、基板Bに例えばショックセンサなどの加速度センサが実装されていた場合、加速度センサの誤作動を引き起こす可能性がある。

[0011] また、その振動数が可聴域である20Hz～20kHzである場合、可聴音として人間の耳に認識される。この現象は「鳴き(acoustic noise)」とも言われ、電子機器の静寂化に伴い、ノートパソコン、携帯電話、デジタルカメラなどの様々なアプリケーションの電源回路などにおける設計の課題となっている。

先行技術文献

特許文献

[0012] 特許文献1：国際公開第2011／135926号

発明の概要

発明が解決しようとする課題

[0013] 積層セラミックコンデンサ 201 を上記のように基板 B にはんだ S により実装し、さらに特許文献 1 に記載のように埋設層に埋設した場合、はんだ S と埋設層とが共にセラミック積層体 202 の歪みを基板 B に伝達することが考えられる。その場合、前述の基板 B の振動が大きくなり、また可聴音が大きくなることが懸念される。

[0014] そこで、この発明の目的は、樹脂材料部を含む埋設層に埋設されている電子部品に電圧の印加による歪みが発生したとしても、振動が低減され、さらに振動による可聴音の発生が防止または低減された電子部品内蔵基板、およびその製造方法を提供することである。

課題を解決するための手段

[0015] この発明では、埋設層に埋設されている電子部品に電圧の印加による歪みが発生したとしても、電子部品内蔵基板の振動を低減し、さらに振動による可聴音の発生を防止または低減するため、埋設層の厚みについての改良が図られる。

[0016] この発明は、まず電子部品内蔵基板に向けられる。

この発明に係る電子部品内蔵基板は、平行な一方主面と他方主面とを有するコア基板と、コア基板の一方主面に実装された、少なくとも 1 つの電子部品と、埋設層と、を備える。

[0017] 上記の電子部品は、積層体と、積層体の表面に設けられる第 1 の外部電極および第 2 の外部電極と、を備える積層コンデンサである。

[0018] 積層体は、誘電体層が第 1 の内部電極と第 2 の内部電極との間に挿入されてなるコンデンサ素子が積層された静電容量発現部と、その静電容量発現部を挟む第 1 の保護部および第 2 の保護部とを含む。第 1 の外部電極は、第 1 の内部電極と接続される。第 2 の外部電極は、第 2 の内部電極と接続される。

[0019] なお、上記の積層コンデンサにおける誘電体の材質は、電圧の印加により歪みが発生し得るものであれば特に問わない。

[0020] 上記の埋設層は、コア基板の一方主面に、電子部品を埋設し、かつ外表面が前記コア基板の一方主面と平行となるように設けられている。

[0021] そして、埋設層の厚み T_R と、埋設層の弾性率 E_R と、コア基板の厚み T_B と、コア基板の弾性率 E_B と、コア基板の一方主面を基準面としたときの静電容量発現部の中心の高さ T_C とは、(1) 式を満足する。

[0022] [数1]

数1

$$0.8 \leq \left(\frac{E_B}{E_R} \right)^{3/4} \cdot \frac{T_B}{T_R} + \frac{2T_C}{T_R} \leq 1.2 \quad \dots (1)$$

[0023] 上記の電子部品内蔵基板では、埋設層の厚み T_R と、埋設層の弾性率 E_R と、コア基板の厚み T_B と、コア基板の弾性率 E_B と、静電容量発現部の中心の高さ T_C とが、(1) 式で表される関係を満足している。

[0024] 電子部品内蔵基板は、コア基板と、電子部品の静電容量発現部の中心から上下にそれぞれ厚み T_C を有する埋設層の第1部分と、埋設層全体の厚みから第1部分を差し引いた埋設層の第2部分と、の3つの部分を含んで構成される。

[0025] ここで、埋設層の第1部分は、静電容量発現部の中心面の上下が実質的に対称であり、電子部品に歪みが発生したとしても、静電容量発現部の中心面の上側の層と下側の層とは、互いの振動を打ち消し合うように振動すると考えられる。

[0026] 上記の(1)式で表される関係は、コア基板と埋設層の第2部分とが、埋設層の第1部分との相互作用を含め、静電容量発現部の中心面から見て、互いの振動を打ち消し合うように振動する条件を表していると推察される。

[0027] したがって、電子部品内蔵基板における各構成要素が(1)式で表される関係を満足することにより、電子部品内蔵基板の振動を低減し、さらに振動による可聴音の発生を防止または低減することができる。

[0028] この発明に係る電子部品内蔵基板における第1の好ましい実施形態は、埋設層の厚み T_R と、埋設層の弾性率 E_R と、コア基板の厚み T_B と、コア基板の弾

性率 E_B と、コア基板の一方主面を基準面としたときの静電容量発現部の中心の高さ T_C とが、上記の (1) 式に加えて、(2) 式～(4) 式をさらに満足する。

[0029] [数2]

数2

$$0.75 \leq \frac{E_R}{E_B} \leq 1.75 \quad \cdots (2)$$

$$1.25 \leq \frac{T_R}{T_B} \leq 2.75 \quad \cdots (3)$$

$$3.15 \leq \frac{T_R}{T_C} \leq 6.7 \quad \cdots (4)$$

[0030] 上記の電子部品内蔵基板では、埋設層の厚み T_R と、埋設層の弾性率 E_R と、コア基板の厚み T_B と、コア基板の弾性率 E_B と、静電容量発現部の中心の高さ T_C とが、(1) 式～(4) 式で表される関係を満足している。

[0031] 電子部品内蔵基板における各構成要素を上記の (2) 式～(4) 式で表されるように定めることにより、前述のコア基板と埋設層の第2部分とが、埋設層の第1部分との相互作用を含め、静電容量発現部の中心面から見て、互いの振動を確実に打ち消し合うように振動すると推察される。

[0032] したがって、電子部品内蔵基板における各構成要素が (1) 式～(4) 式で表される関係を満足することにより、電子部品内蔵基板の振動を確実に低減し、さらに振動による可聴音の発生を確実に防止または低減することができる。

[0033] この発明に係る電子部品内蔵基板における第2の好ましい実施形態は、電子部品の第1の保護部の厚みが、第2の保護部の厚みより厚くなっている。さらに、電子部品は、第1の保護部がコア基板の一方主面側となるように実装されている。

[0034] 上記の電子部品内蔵基板では、電子部品の静電容量発現部の中心が、第1の保護部と第2の保護部とが同じ厚みを有する場合と比べて、コア基板の一方主面からより高い位置となっている。

[0035] 上記の構造を有する電子部品をコア基板に実装することにより、効果的に電子部品内蔵基板の振動を低減できることが、別途確認されている。

[0036] したがって、電子部品内蔵基板における各構成要素の寸法が前述の実施形態および第1の好ましい実施形態の関係を満足することにより、埋設層がない場合でも、既にある程度まで低減されている電子部品内蔵基板の振動をさらに低減させ、振動による可聴音の発生をさらに確実に防止または低減することができる。

[0037] また、この発明は、電子部品内蔵基板の製造方法にも向けられる。

この発明に係る電子部品内蔵基板の製造方法は、平行な一方主面と他方主面とを有するコア基板と、コア基板の一方主面に実装された、少なくとも1つの電子部品と、埋設層と、を備える電子部品内蔵基板の製造方法である。

[0038] 上記の電子部品は、積層体と、積層体の表面に設けられる第1の外部電極および第2の外部電極と、を備える積層コンデンサである。

[0039] 積層体は、誘電体層が第1の内部電極と第2の内部電極との間に挿入されてなるコンデンサ素子が積層された静電容量発現部と、その静電容量発現部を挟む第1の保護部および第2の保護部とを含む。第1の外部電極は、第1の内部電極と接続される。第2の外部電極は、第2の内部電極と接続される。

[0040] 上記の埋設層は、コア基板の一方主面に、電子部品を埋設し、かつ外表面が前記コア基板の一方主面と平行となるように設けられている。

[0041] この発明に係る電子部品内蔵基板の製造方法は、実装工程と、埋設層形成工程と、を備える。

[0042] 実装工程は、コア基板の一方主面に、電子部品を実装する工程である。

埋設層形成工程は、コア基板の一方主面に、電子部品を埋設する埋設層を設ける工程である。埋設層形成工程において、埋設層Rは、埋設層の厚み T_R と、埋設層の弾性率 E_R と、コア基板の厚み T_B と、コア基板の弾性率 E_B と、コア基板の一方主面を基準面としたときの静電容量発現部の中心の高さ T_C とが、(1)式を満足するように設けられる。

[0043] [数3]

数3

$$0.8 \leq \left(\frac{E_B}{E_R}\right)^{3 \sim 4} \cdot \frac{T_B}{T_R} + \frac{2T_C}{T_R} \leq 1.2 \quad \dots (1)$$

[0044] 上記の電子部品内蔵基板の製造方法では、埋設層形成工程において、電子部品内蔵基板における各構成要素が（１）式で表される関係を満足するように埋設層を形成する。

[0045] したがって、前述の可聴周波数域内での振動が小さく、可聴音の発生が防止または低減された電子部品内蔵基板を、効率的に製造することができる。

[0046] この発明に係る電子部品内蔵基板の製造方法における第１の好ましい実施形態は、埋設層形成工程において、埋設層Rは、埋設層の厚み T_R と、埋設層の弾性率 E_R と、コア基板の厚み T_B と、コア基板の弾性率 E_B と、コア基板の一方主面を基準面としたときの静電容量発現部の中心の高さ T_C とが、上記の（１）式に加えて、（２）式～（４）式をさらに満足するように設けられる。

[0047] [数4]

数4

$$0.75 \leq \frac{E_R}{E_B} \leq 1.75 \quad \dots (2)$$

$$1.25 \leq \frac{T_R}{T_B} \leq 2.75 \quad \dots (3)$$

$$3.15 \leq \frac{T_R}{T_C} \leq 6.7 \quad \dots (4)$$

[0048] 上記の電子部品内蔵基板の製造方法では、埋設層形成工程において、電子部品内蔵基板における各構成要素が（１）式～（４）式で表される関係を満足するように埋設層を形成する。

[0049] したがって、前述の可聴周波数域内での振動がより小さく、可聴音の発生が確実に防止または低減された電子部品内蔵基板を、効率的に製造することができる。

発明の効果

- [0050] この発明に係る電子部品内蔵基板では、埋設層の厚み T_R と、埋設層の弾性率 E_R と、コア基板の厚み T_B と、コア基板の弾性率 E_B と、静電容量発現部の中心の高さ T_C とが、上記の（１）式で表される関係を満足している。
- [0051] したがって、埋設層に埋設されている電子部品に電圧の印加による歪みが発生したとしても、電子部品内蔵基板の振動を低減し、さらに振動による可聴音の発生を防止または低減することができる。
- [0052] また、この発明に係る電子部品内蔵基板の製造方法では、埋設層形成工程において、電子部品内蔵基板における各構成要素が上記の（１）式で表される関係を満足するように埋設層を形成する。
- [0053] したがって、前述の可聴周波数域内での振動が小さく、可聴音の発生が防止または低減された電子部品内蔵基板を、効率的に製造することができる。

図面の簡単な説明

- [0054] [図1]この発明の実施形態に係る電子部品内蔵基板１の上面図である。
- [図2]この発明の実施形態に係る電子部品内蔵基板１の断面図である。（Ａ）は図１のＹ１－Ｙ１線を含む面の矢視断面図である。（Ｂ）は図１のＸ１－Ｘ１線を含む面の矢視断面図である。
- [図3]板状部材ＰＭに外力Ｆが作用したときのたわみ量ｈを説明するための外観斜視図である。
- [図4]電子部品内蔵基板１に設けられた埋設層Ｒの厚みと音圧との関係を、シミュレーションにより求めた結果を示すグラフである。
- [図5]この発明の実施形態に係る電子部品内蔵基板の変形例１Ａの、図１に相当する断面図である。
- [図6]図１および図２に示した電子部品内蔵基板１の製造方法の一例を説明するためのもので、実装工程を模式的に示す図である。
- [図7]図１および図２に示した電子部品内蔵基板１の製造方法の一例を説明するためのもので、埋設層形成工程を模式的に示す図である。
- [図8]背景技術の電子部品内蔵基板１００の断面図である。
- [図9]この発明が解決しようとする課題を説明するための、積層セラミックコ

ンデンサの断面図である。

[図10]この発明が解決しようとする課題を説明するための、積層セラミックコンデンサを基板に実装した状態の断面図である。(A)は電圧が印加されていない状態である。(B)は電圧が印加されたときの歪みの状態を説明する概略断面図である。

発明を実施するための形態

[0055] 以下にこの発明の実施形態を示して、本発明の特徴とするところをさらに詳しく説明する。

[0056] ー電子部品内蔵基板の実施形態ー

この発明の実施形態に係る電子部品内蔵基板1について、図1および図2を用いて説明する。

[0057] <電子部品内蔵基板の構造>

図1は、この発明の実施形態に係る電子部品内蔵基板1の上面図である。図2(A)は図1のY1-Y1線を含む面の矢視断面図である。図2(B)は図1のX1-X1線を含む面の矢視断面図である。

[0058] この発明の実施形態に係る電子部品内蔵基板1は、コア基板Bと、電子部品10と、埋設層Rとを備える。電子部品10は、誤差範囲において平行な一方主面と他方主面とを有するコア基板Bの一方主面に実装されている。埋設層Rは、コア基板Bの一方主面に、電子部品10を埋設し、かつ外表面がコア基板Bの一方主面と誤差範囲において平行となるように設けられている。

[0059] この発明の実施形態に係る電子部品内蔵基板1において、埋設層Rは樹脂材料部を含む。樹脂材料部は、後述するようにフィラーとしてガラス材料やシリカなどを分散させた樹脂材料を用いて形成される。なお、埋設層Rは、樹脂材料部に加えて、樹脂材料部の表面に設けられた導電材料部をさらに含んでいてもよい(図1および図2では不図示)。

[0060] なお、コア基板Bは、前述の図6に相当する多層基板であり、内部電極やビアなどを不図示として、簡略化して図示されている。また、この発明の実

施形態では、電子部品 10 を強調するため、コア基板 B と、電子部品 10 との大きさの関係は、実際のものとは異なっている。

[0061] 電子部品 10 は、セラミック積層体 11 と、第 1 の外部電極 12 および第 2 の外部電極 13 とを備える積層セラミックコンデンサである。セラミック積層体 11 は、セラミック誘電体層 14 が第 1 の内部電極 15 と第 2 の内部電極 16 との間に挿入されてなるコンデンサ素子が積層された静電容量発現部 CP が、第 1 のセラミック保護部 P1 および第 2 のセラミック保護部 P2 で挟まれた構造となっている。

[0062] セラミック積層体 11 は、互いに対向する 2 つの端面と、2 つの端面を接続する側面とを有する。第 1 の外部電極 12 は第 1 の内部電極 15 と接続され、第 2 の外部電極 13 は、第 2 の内部電極 16 と接続されている。第 1 の外部電極 12 および第 2 の外部電極 13 は、それぞれセラミック積層体 11 の表面に設けられる。

[0063] なお、上記の実施形態では、電子部品 10 が積層セラミックコンデンサである場合について説明したが、前述のように、誘電体の材質は、電圧の印加により歪みが発生し得るものであればセラミック材料に限られない。例えば、セラミック材料以外の誘電体材料として樹脂材料を用いた積層コンデンサである積層型金属化フィルムコンデンサに対しても、この発明を適用することができる。

[0064] 図 2 (A) および (B) において、電子部品 10 は、実装ランド L11 および L12 上にはんだ S を用いて実装されている。実装ランド L11 および L12 の材質ならびにはんだ S の材質は、既存のものから適宜選択して用いることができる。実装ランド L11 および L12 は、不図示の導電パターンを含んでなる配線上にある。電子部品 10 には、この配線を通じて電圧が印加されることになる。

[0065] なお、この発明の実施形態に係る電子部品内蔵基板 1 は、複数の電子部品 10 が実装されていてもよい。また、同様に電子部品内蔵基板 1 には、積層セラミックコンデンサ以外の電子部品が実装されていてもよい。

[0066] 積層セラミックコンデンサである電子部品 10 は、チタン酸バリウムを基本材料とする高誘電率のセラミック材料が用いられることが多いため、電圧印加時の歪みにより振動する虞がある。この振動は、はんだ S を介して電子部品 10 に固着されている基板 B に伝達されるが、電子部品 10 が埋設層 R に埋設されている場合には、埋設層 R を介しても基板 B に伝達される。

[0067] 埋設層 R は、埋設層の厚み T_R と、埋設層の弾性率 E_R と、コア基板の厚み T_B と、コア基板の弾性率 E_B と、コア基板 B の一方主面を基準面としたときの静電容量発現部の中心の高さ T_C とが (1) 式を満足し、好ましくは (2) 式～(4) 式をさらに満足するように形成されている。

[0068] [数5]

数5

$$0.8 \leq \left(\frac{E_B}{E_R}\right)^{3/4} \cdot \frac{T_B}{T_R} + \frac{2T_C}{T_R} \leq 1.2 \quad \dots (1)$$

[0069] [数6]

数6

$$0.75 \leq \frac{E_R}{E_B} \leq 1.75 \quad \dots (2)$$

$$1.25 \leq \frac{T_R}{T_B} \leq 2.75 \quad \dots (3)$$

$$3.15 \leq \frac{T_R}{T_C} \leq 6.7 \quad \dots (4)$$

[0070] 電子部品内蔵基板 1 は、前述のように、コア基板 B と、電子部品 10 の静電容量発現部 CP の中心から上下にそれぞれ厚み T_C を有する埋設層の第 1 部分 R_1 と、埋設層全体の厚みから第 1 部分を差し引いた埋設層の第 2 部分 R_2 と、の 3 つの部分を含んで構成される。

[0071] ここで、第 1 部分 R_1 は、実装ランド L 11 および L 12 とはんだ S とを含んでいるため、正確には、電子部品 10 の静電容量発現部 CP の中心面に対してその上下が対称ではない。しかしながら、実装ランド L 11 および L 12 とはんだ S とは、埋設層 R の厚みに比べて薄く、構造の簡略化して考える

ために無視しても差し支えない。

[0072] すなわち、第1部分 R_1 では、静電容量発現部C Pの中心面の上側の層と下側の層とが、実質的に対称であると考えられる。その場合、第1部分 R_1 の内部の電子部品10に電圧の印加による歪みが発生したとしても、静電容量発現部C Pの中心面の上側の層と下側の層とは、互いの振動を打ち消し合うように振動することになる。

[0073] したがって、電子部品内蔵基板1の振動が低減されるためには、埋設層の第2部分 R_2 とコア基板Bとが、静電容量発現部C Pの中心面から見て、互いの振動を打ち消し合うように振動すればよい。

[0074] 一般に、図3(A)に示すような支点間の距離 L 、幅 W 、厚み T および弾性率 E を有する単独の板状部材PMが、図3(B)に示すように外力 F の作用によってたわみを生じる際、そのたわみ量 h は(5)式で表される。

[0075] [数7]

数7

$$h = \frac{FL^3}{4T^3WE} \quad \dots (5)$$

[0076] そして、第2部分 R_2 およびコア基板Bのたわみ量 h が、同じ大きさで逆方向であるとして(5)式を適用すると(6)式となる。

[0077] [数8]

数8

$$\frac{FL_R^3}{4(T_R - 2T_C)^3 W_R E_R} = \frac{FL_B^3}{4T_B^3 W_B E_B} \quad \dots (6)$$

[0078] コア基板Bの長さ L_B と埋設層Rの長さ L_R 、およびコア基板の幅 W_B と埋設層Rの幅 W_R とが等しいとして、(6)式を T_R について解くと(7)式となる。

[0079] [数9]

数9

$$T_R = \left(\frac{E_B}{E_R}\right)^{1/3} \cdot T_B + 2T_C \quad \dots (7)$$

[0080] (7)式は、コア基板Bおよび埋設層の第2部分 R_2 のたわみが、同じ大き

さで逆方向であるとき、すなわちコア基板 B と埋設層の第 2 部分 R₂ とが、互いの振動を打ち消し合うように振動する場合を表す。

[0081] ただし、実際には、第 2 部分 R₂ と第 1 部分 R₁ の上側の層とは、振動する際に、考慮されていない要因により相互に影響を及ぼし合う。同様にコア基板 B と第 1 部分 R₁ の下側の層とは、振動する際に、考慮されていない要因により相互に影響を及ぼし合う。そのため、第 2 部分 R₂ とコア基板 B とは、それぞれ単独に振動するものとして扱うことができない。

[0082] そのため、上記の相互作用を考慮して、埋設層の厚み T_R およびコア基板の厚み T_B が変数であり、コア基板の弾性率 E_B と埋設層の弾性率 E_R との比 E_B/E_R および静電容量発現部の中心の高さ T_C が定数である一次方程式を仮定した。そして、(7) 式では 1/3 となっているコア基板の弾性率 E_B と埋設層の弾性率 E_R との比 E_B/E_R の累乗の指数 m をフィッティングパラメータとして、実際の振動状態に基づき、振動条件式を求めた。すなわち、上記の一次方程式は (8) 式によって表される。

[0083] [数10]

数10

$$T_R = \left(\frac{E_B}{E_R}\right)^m \cdot T_B + 2T_C \quad \dots (8)$$

[0084] ここで、電子部品内蔵基板 1 の振動を示す振動パラメータ VP は、(8) 式の右辺を埋設層の弾性率 E_R で除した (9) 式によって表される。

[0085] [数11]

数11

$$VP = \left(\frac{E_B}{E_R}\right)^m \cdot \frac{T_B}{T_R} + \frac{2T_C}{T_R} \quad \dots (9)$$

[0086] 振動パラメータ VP が 1 のとき、電子部品内蔵基板 1 の振動が最も小さくなる。一方、振動パラメータ VP が 1 から離れるほど、電子部品内蔵基板 1 の振動が大きくなる。

[0087] 本件発明者は、鋭意研究を重ねた結果、振動パラメータ VP を制御することによって、電子部品内蔵基板の振動と、それに基づく可聴音の発生を制御

できることを見出し、この発明を為すに至った。その際、電子部品10が埋設層Rに埋設されていない状態の基板の振動に対応する音圧の大きさを基準音圧とし、基準音圧よりも小さくなる範囲に対応する振動パラメータVPの範囲を規定した。音圧とは、可聴域内に発生する振動のうち、最も大きな振幅を音の大きさに変換したものである。

[0088] すなわち、本件発明者は、この発明において、上記の技術思想に基づき、基準音圧よりも小さくなる振動パラメータVPの上限値をAおよび下限値をB、ならびに累乗の指数mの値を規定した。

[0089] 上記の振動パラメータVPの上限値Aおよび下限値B、ならびに累乗の指数mの値の規定の仕方について、以下で具体的に説明する。

[0090] 電子部品内蔵基板1の一方主面に設けられた埋設層の厚み T_R と、振動の大きさに対応する音圧との関係を、種々の埋設層の弾性率 E_R について有限要素法に基づくシミュレーションにより求めた。そして、シミュレーション結果と対比することにより、振動パラメータVPの上限値Aおよび下限値B、ならびに累乗の指数mの値を決定した。

[0091] 図4は、電子部品内蔵基板1の一方主面に設けられた埋設層の厚み T_R と、振動の大きさに対応する音圧との関係を、有限要素法に基づくシミュレーションにより求めた結果を示すグラフである。

[0092] 音圧は、電子部品10のL方向（図2（B）においてコア基板Bと水平な方向）に発生した音（いわゆる「鳴き」）の大きさを表している。シミュレーションにおいて、電子部品10は、内部電極15、16がコア基板Bと平行となるように実装されたものと仮定されている。

[0093] また、コア基板の厚み T_B は0.8mm、コア基板の弾性率 E_B は20GPa、静電容量発現部の中心の高さ T_C は0.315mmとしている。コア基板Bの弾性率 E_B は、一般的に用いられるガラスエポキシ基板の弾性率（曲げ弾性率）として妥当と思われる値を用いている。電子部品10は、L方向の長さが24mmの埋設層R内に埋設されているとして、埋設層の厚み T_R の変化による音圧の変化を計算した。

- [0094] 図4では、埋設層の弾性率 E_R を15 GPa、25 GPaおよび35 GPaとしたときの3通りのシミュレーション結果が示されている。まず、振動パラメータVPの累乗の指数 m の値を決定するために、コア基板Bと埋設層の第2部分 R_2 とが、互いの振動を打ち消し合って音圧の極小となっている埋設層の厚み T_R に着目した。埋設層の弾性率 E_R が上記の各値であるとき、音圧が極小値となる埋設層の厚み T_R はそれぞれ約1.6 mm、約1.3 mmおよび約1.15 mmである。
- [0095] ここで、累乗の指数 m を3/4とし、埋設層の弾性率 E_R を15 GPa、25 GPaおよび35 GPaとして(9)式により埋設層の厚み T_R を計算すると、それぞれ1.62 mm、1.31 mmおよび1.16 mmとなり、シミュレーション結果を非常によく再現している。
- [0096] また、互いの振動を完全に打ち消し合わなくても、電子部品内蔵基板1の振動の大きさ(それに伴う音の大きさ)は、厚み T_R の埋設層Rが形成されることにより、埋設層Rがない状態よりも小さくなればよい。
- [0097] そのような埋設層の厚み T_R の範囲を図4に示したシミュレーション結果から求めた。その結果、埋設層の弾性率 E_R を15 GPaとしたとき、 T_R が1.3~2.1のとき、電子部品内蔵基板1の振動の大きさが、埋設層Rがない状態よりも小さくなることが分かった。同様に、埋設層の弾性率 E_R を25 GPaおよび35 GPaとしたとき、それぞれ T_R が1.1~1.55および1.0~1.3のとき、電子部品内蔵基板1の振動の大きさが、埋設層Rがない状態よりも小さくなることが分かった。
- [0098] 以上のようにして振動パラメータVPを図4のシミュレーション結果に合わせ込むと、累乗の指数 m が3/4、振動パラメータVPの上限値Aが1.2、下限値Bが0.8となることが分かった。
- [0099] これらの値は、簡略化された構造において、コア基板Bと埋設層の第2部分 R_2 とが、前述の埋設層の第1部分 R_1 との相互作用を含め、静電容量発現部CPの中心面から見て、互いの振動を打ち消し合うように振動する条件を表していると考えられる。

[0100] すなわち、埋設層の厚み T_R と、埋設層の弾性率 E_R と、コア基板の厚み T_B と、コア基板の弾性率 E_B と、コア基板 B の一方主面を基準面としたときの静電容量発現部の中心の高さ T_C との関係が、(1) 式を満足するときに、電子部品内蔵基板 1 の振動が低減され、さらに振動による可聴音の発生が防止または低減される。したがって、電子部品内蔵基板 1 の振動による可聴音の音圧が、基準音圧よりも小さくなる。

[0101] [数12]

数12

$$0.8 \leq \left(\frac{E_B}{E_R} \right)^{3/4} \cdot \frac{T_B}{T_R} + \frac{2T_C}{T_R} \leq 1.2 \quad \dots (1)$$

[0102] また、上記の T_R および E_R の範囲、ならびに T_B 、 T_C および E_B の値から、埋設層の厚み T_R と、埋設層の弾性率 E_R と、コア基板の厚み T_B と、コア基板の弾性率 E_B と、コア基板の一方主面を基準面としたときの静電容量発現部の中心の高さ T_C とが、上記の (1) 式に加えて、(2) 式～(4) 式をさらに満足するときに、電子部品内蔵基板 1 の振動は確実に低減され、さらに振動による可聴音の発生が確実に防止または低減される。

[0103] [数13]

数13

$$0.75 \leq \frac{E_R}{E_B} \leq 1.75 \quad \dots (2)$$

$$1.25 \leq \frac{T_R}{T_B} \leq 2.75 \quad \dots (3)$$

$$3.15 \leq \frac{T_R}{T_C} \leq 6.7 \quad \dots (4)$$

[0104] <実施形態の変形例>

この発明の実施形態に係る電子部品内蔵基板の変形例 1 A について、図 5 を用いて説明する。

[0105] 図 5 は、この発明の実施形態に係る電子部品内蔵基板の変形例 1 A の断面図である。図 5 (A) は図 1 の Y 1 - Y 1 線を含む面の矢視断面図 (図 2 (

A)) に相当する。図 5 (B) は図 1 の X 1 - X 1 線を含む面の矢視断面図 (図 2 (B)) に相当する。

[0106] この発明の実施形態に係る電子部品内蔵基板の変形例 1 A は、電子部品 10 の第 1 のセラミック保護部 P 1 の厚みが、第 2 のセラミック保護部 P 2 の厚みより厚くなっている。さらに、電子部品 10 は、第 1 のセラミック保護部 P 1 がコア基板 B の一方主面側となるように実装されている。なお、コア基板 B は、前述の実施形態と同様に、簡略化して図示されている。

[0107] この発明の実施形態に係る電子部品内蔵基板の変形例 1 A では、電子部品 10 の静電容量発現部 C P の中心が、第 1 のセラミック保護部 P 1 と第 2 のセラミック保護部 P 2 とが同じ厚みを有する場合と比べて、コア基板 B の一方主面からより高い位置となっている。

[0108] 例えば、特開 2013-65820 号公報には、上記の構造を有する電子部品 10 をコア基板 B に実装することにより、効果的に電子部品内蔵基板の振動を低減できることが記載されている。

[0109] したがって、電子部品内蔵基板 1 A における各構成要素の寸法が上記の関係を満足することにより、埋設層 R がない場合でも、既にある程度まで低減されている電子部品内蔵基板の振動をさらに低減させ、振動による可聴音の発生をさらに確実に防止または低減することができる。

[0110] <電子部品内蔵基板の製造方法>

この発明の実施形態に係る電子部品内蔵基板 1 の製造方法の一例について、図 6 および図 7 を用いて説明する。図 6 および図 7 は、電子部品内蔵基板 1 の製造方法の一例において順次行なわれる実装工程および埋設層形成工程をそれぞれ模式的に示す図である。なお、図 6 および図 7 の各図は、図 1 の Y 1 - Y 1 線を含む面の矢視断面図 (図 2 (A)) に相当する。

[0111] <実装工程>

図 6 (A) および (B) は、電子部品内蔵基板 1 の製造方法の実装工程を模式的に示す図である。実装工程により、電子部品 10 は、コア基板 B の一方主面に実装された状態となる。

[0112] 図6 (A) は、電子部品10と、電子部品10を実装するコア基板Bとを準備する段階を示す。電子部品10は、前述の構造を有し、電圧印加時に歪みが発生する積層セラミックコンデンサである。コア基板10は、電子部品10を接合するための実装ランドL11およびL12 (L12は不図示) を一方主面に備えている。

[0113] 図6 (B) は、電子部品10を、はんだSを用いて実装ランドL11およびL12に接合することにより、コア基板10の一方主面に実装した段階を示す。

[0114] このとき、静電容量発現部CPの中心面は、コア基板Bの一方主面を基準面としたとき、高さ T_c となっている。

[0115] <埋設層形成工程>

図7 (A) および (B) は、電子部品内蔵基板1の製造方法の埋設層形成工程を模式的に示す図である。埋設層形成工程により、コア基板Bの一方主面に、電子部品10が埋設されるように埋設層Rが設けられた状態となる。

[0116] 図7 (A) は、電子部品10が実装されたコア基板Bの一方主面に、例えばディスペンサDにより、一点鎖線で表される所定の厚みとなるように、液状の樹脂LRを塗布する段階を示す。

[0117] 塗布に用いる装置は、上記のディスペンサDに限らず、既存の塗布装置を用いることができる。例えば、カーテンコーターやスピンコーターなどの種々のコーターを用いてもよい。

[0118] また、液状の樹脂LRは、単一の樹脂材料からなるものに限らず、樹脂材料中にフィラーとしてガラス材料やシリカなどのフィラーを含むものを用いることができる。

[0119] さらに、埋設層Rは、図7 (A) のような液状の樹脂LRを塗布する方法に限らず、半硬化状態でシート状のプリプレグをコア基板Bの一方主面に載置し、電子部品10が埋設されるように押圧することにより形成してもよい。

[0120] 図7 (B) は、電子部品10が埋設された液状の樹脂LRを加熱し、硬化

させることにより、硬化後の埋設層 R とした段階を示す。

[0121] このとき、硬化後の埋設層 R は、その厚み T_R と、埋設層の弾性率 E_R と、コア基板の厚み T_B と、コア基板の弾性率 E_B と、静電容量発現部の中心の高さ T_C とが、(1) 式を満足するように形成される。

[0122] [数14]

数14

$$0.8 \leq \left(\frac{E_B}{E_R} \right)^{3/4} \cdot \frac{T_B}{T_R} + \frac{2T_C}{T_R} \leq 1.2 \quad \dots (1)$$

[0123] 上記の (1) 式で表される関係は、前述のように、コア基板 B と埋設層の第 2 部分 R_2 とが、埋設層の第 1 部分 R_1 との相互作用を含め、静電容量発現部 CP の中心面から見て、互いの振動を打ち消し合うように振動する条件を表していると考えられる。

[0124] すなわち、電子部品内蔵基板 1 における各構成要素が (1) 式で表される関係を満足することにより、電子部品内蔵基板 1 の振動が低減され、さらに振動による可聴音の発生が防止または低減される。

[0125] したがって、埋設層形成工程において、電子部品内蔵基板 1 における各構成要素が (1) 式で表される関係を満足するように埋設層 R を形成することにより、前述の可聴周波数域内での振動がより小さく、可聴音の発生が確実に防止または低減された電子部品内蔵基板を、効率的に製造することができる。

[0126] また、埋設層形成工程において、埋設層 R は、電子部品内蔵基板 1 における各構成要素が、上記の (1) 式に加えて、(2) 式～(4) 式をさらに満足するように設けられることが好ましい。

[0127]

[数15]

数15

$$0.75 \leq \frac{E_R}{E_B} \leq 1.75 \quad \cdots (2)$$

$$1.25 \leq \frac{T_R}{T_B} \leq 2.75 \quad \cdots (3)$$

$$3.15 \leq \frac{T_R}{T_C} \leq 6.7 \quad \cdots (4)$$

[0128] 埋設層形成工程において、電子部品内蔵基板 1 における各構成要素が（1）式～（4）式で表される関係を満足するように埋設層 R を形成することにより、前述の可聴周波数域内での振動がより小さく、可聴音の発生が確実に防止または低減された電子部品内蔵基板を、効率的に製造することができる。

[0129] 埋設層の厚み T_R の調整は、液状の樹脂 L R の硬化時の体積変化を見込んで、液状の樹脂 L R を硬化後に厚み T_R となるように塗布してもよい。また、予め多めに液状の樹脂 L R を塗布し、硬化後に余分な樹脂を除去することにより、埋設層の厚み T_R を所望の値としてもよい。

[0130] なお、この発明は上記の実施形態に限定されるものではなく、この発明の範囲内において、種々の応用、変形を加えることが可能である。

符号の説明

[0131] 1 電子部品内蔵基板、10 電子部品（積層セラミックコンデンサ）、11 セラミック積層体、12 第1の外部電極、13 第2の外部電極、14 セラミック誘電体層、15 第1の内部電極、16 第2の内部電極、B コア基板、CP 静電容量発現部、P1 第1のセラミック保護部、P2 第2のセラミック保護部、R 埋設層、 T_C 静電容量発現部の中心の高さ、 T_B コア基板の厚み、 E_B コア基板の弾性率、 T_R 埋設層の厚み、 E_R 埋設層の弾性率。

請求の範囲

[請求項1]

平行な一方主面と他方主面とを有するコア基板と、
 前記コア基板の一方主面に実装された、少なくとも1つの電子部品と、
 前記コア基板の一方主面に、前記電子部品を埋設し、かつ外表面が前記コア基板の一方主面と平行となるように設けられた埋設層と、を備える電子部品内蔵基板であって、
 前記電子部品は、誘電体層が第1の内部電極と第2の内部電極との間に挿入されてなるコンデンサ素子が積層された静電容量発現部と、前記静電容量発現部を挟む第1の保護部および第2の保護部とを含む積層体と、前記積層体の表面に設けられ、前記第1の内部電極と接続される第1の外部電極および前記第2の内部電極と接続される第2の外部電極と、を備える積層コンデンサであり、
 埋設層の厚み T_R と、埋設層の弾性率 E_R と、コア基板の厚み T_B と、コア基板の弾性率 E_B と、前記コア基板の一方主面を基準面としたときの静電容量発現部の中心の高さ T_C とが、

[数1]

数1

$$0.8 \leq \left(\frac{E_B}{E_R}\right)^{3/4} \cdot \frac{T_B}{T_R} + \frac{2T_C}{T_R} \leq 1.2 \quad \dots (1)$$

を満足することを特徴とする、電子部品内蔵基板。

[請求項2]

前記埋設層の厚み T_R と、前記埋設層の弾性率 E_R と、前記コア基板の厚み T_B と、前記コア基板の弾性率 E_B と、前記コア基板の一方主面を基準面としたときの静電容量発現部の中心の高さ T_C とが、

[数2]

数2

$$0.75 \leq \frac{E_R}{E_B} \leq 1.75 \quad \dots (2)$$

$$1.25 \leq \frac{T_R}{T_B} \leq 2.75 \quad \dots (3)$$

$$3.15 \leq \frac{T_R}{T_C} \leq 6.7 \quad \dots (4)$$

をさらに満足することを特徴とする、請求項1に記載の電子部品内蔵基板。

[請求項3] 前記電子部品の前記第1の保護部の厚みは、前記第2の保護部の厚みより厚く、

前記電子部品は、前記第1の保護部が前記コア基板の一方主面側となるように実装されていることを特徴とする、請求項1または2に記載の電子部品内蔵基板。

[請求項4] 平行な一方主面と他方主面とを有するコア基板と、前記コア基板の一方主面に実装された、少なくとも1つの電子部品と、前記コア基板の一方主面に、前記電子部品を埋設し、かつ外表面が前記コア基板の一方主面と平行となるように設けられた埋設層と、を備える電子部品内蔵基板の製造方法であって、

前記電子部品は、誘電体層が第1の内部電極と第2の内部電極との間に挿入されてなるコンデンサ素子が積層された静電容量発現部と、前記静電容量発現部を挟む第1の保護部および第2の保護部とを含む積層体と、前記積層体の表面に設けられ、前記第1の内部電極と接続される第1の外部電極および前記第2の内部電極と接続される第2の外部電極と、を備える積層コンデンサであり、

前記コア基板の一方主面に、前記電子部品を実装する実装工程と、埋設層の厚み T_R と、埋設層の弾性率 E_R と、コア基板の厚み T_B と、コア基板の弾性率 E_B と、前記コア基板の一方主面を基準面としたと

きの静電容量発現部の中心の高さ T_c とが、

[数3]

数3

$$0.8 \leq \left(\frac{E_B}{E_R} \right)^{3/4} \cdot \frac{T_B}{T_R} + \frac{2T_C}{T_R} \leq 1.2 \quad \dots (1)$$

を満足するように、前記コア基板の一方主面に前記電子部品を埋設する埋設層を設ける埋設層形成工程と、

を備えることを特徴とする、電子部品内蔵基板の製造方法。

[請求項5]

前記埋設層形成工程において、前記埋設層は、前記埋設層の厚み T_R と、前記埋設層の弾性率 E_R と、前記コア基板の厚み T_B と、前記コア基板の弾性率 E_B と、前記コア基板の一方主面を基準面としたときの静電容量発現部の中心の高さ T_c とが、

[数4]

数4

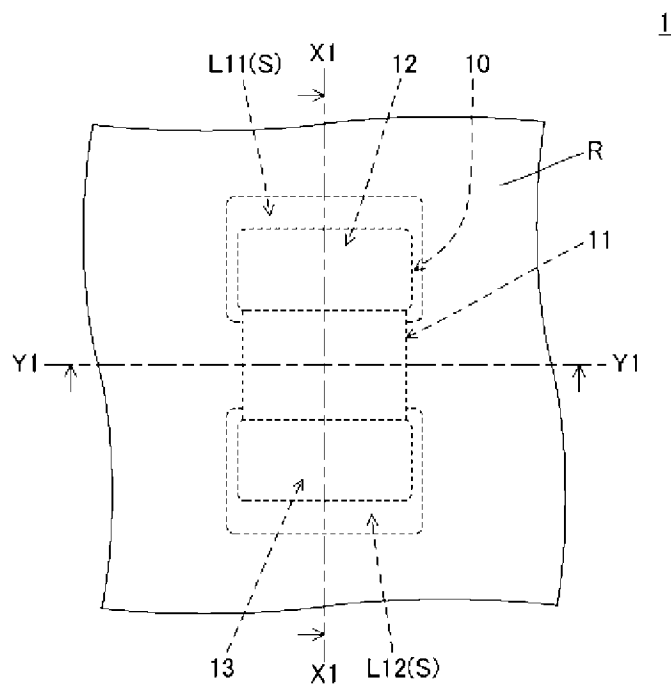
$$0.75 \leq \frac{E_R}{E_B} \leq 1.75 \quad \dots (2)$$

$$1.25 \leq \frac{T_R}{T_B} \leq 2.75 \quad \dots (3)$$

$$3.15 \leq \frac{T_R}{T_C} \leq 6.7 \quad \dots (4)$$

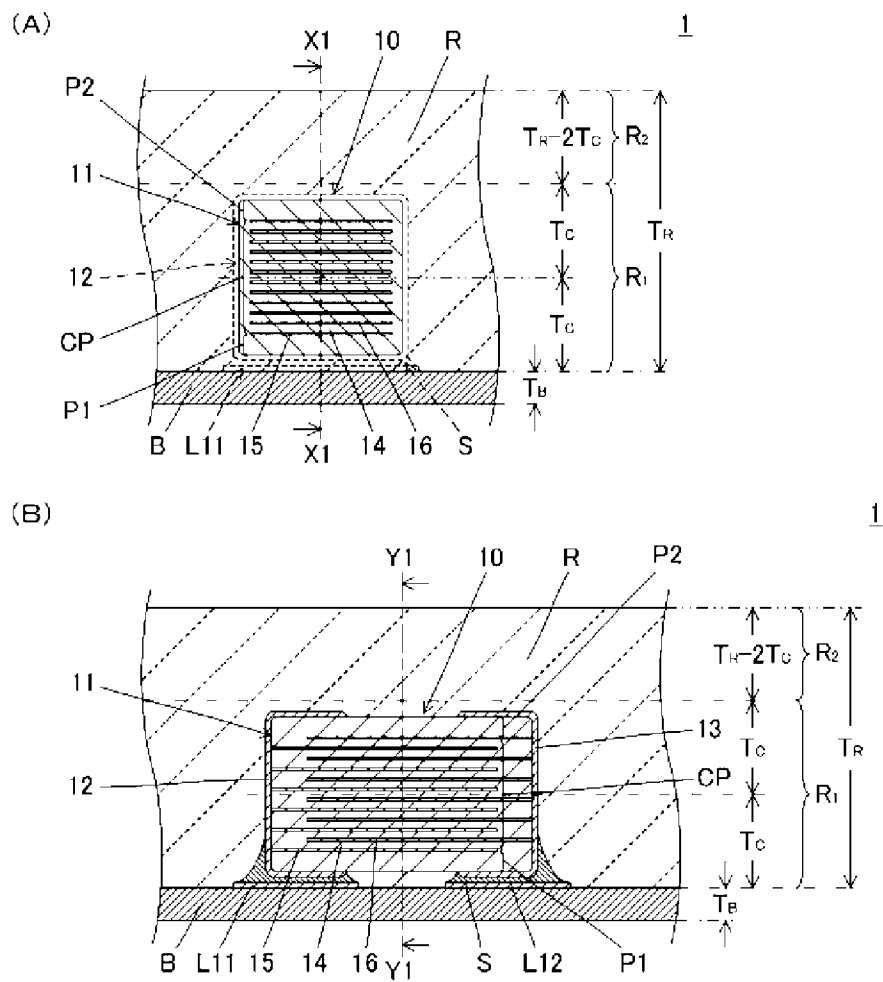
をさらに満足するように設けられることを特徴とする、請求項4に記載の電子部品内蔵基板の製造方法。

[図1]



[図2]

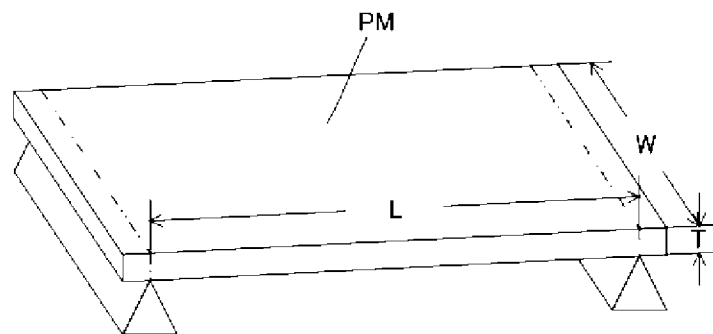
图2



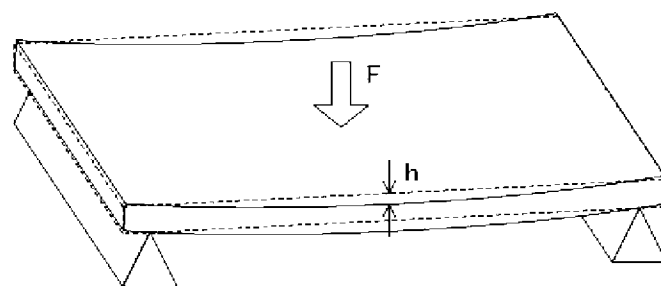
[図3]

図3

(A)



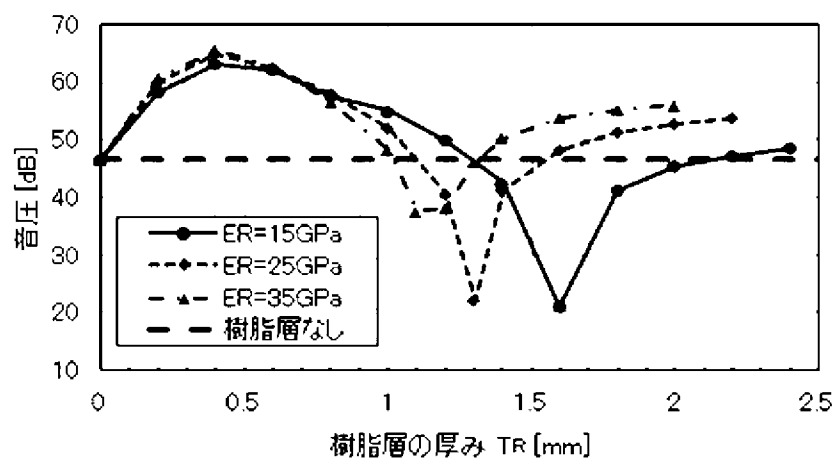
(B)



[図4]

図4

樹脂層の厚みTRと音圧の関係(L方向の音圧)

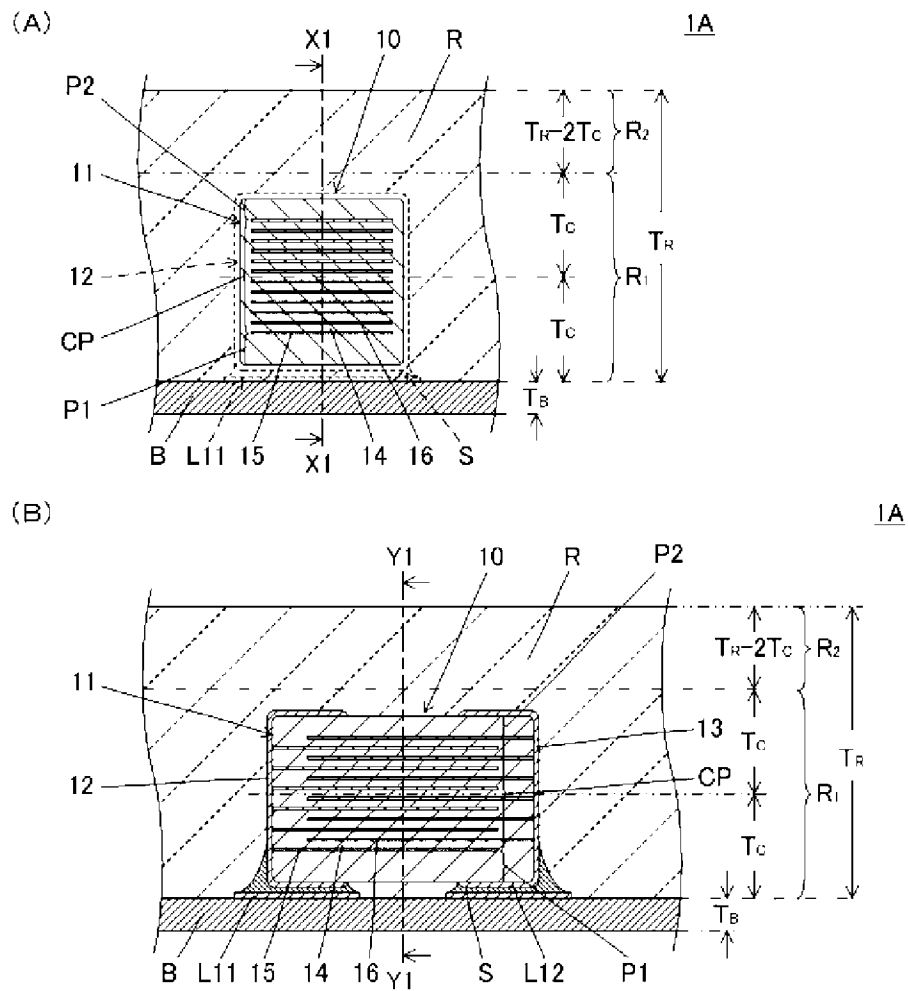


内部電極はコア基板と平行

コア基板の厚み T_B 0.8mmコア基板の弾性率 E_B 20GPa静電容量発現部の中心の高さ T_C 0.315mm

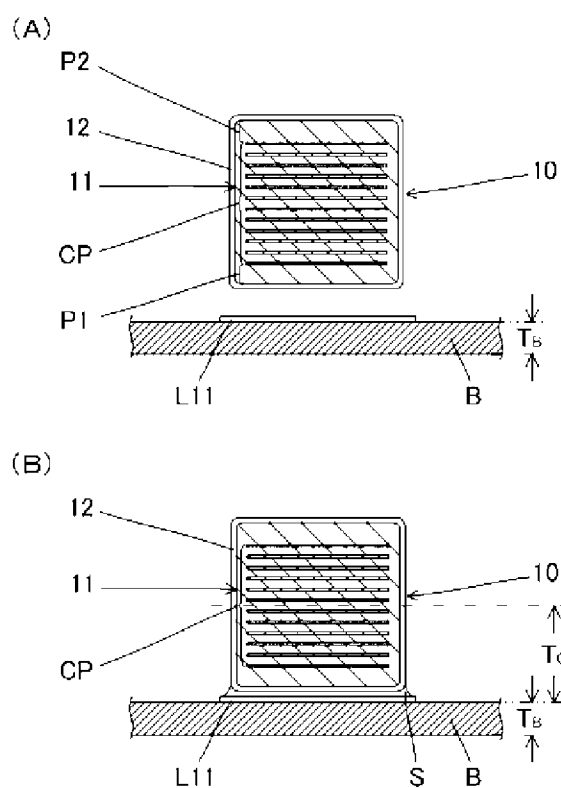
[図5]

図5



[図6]

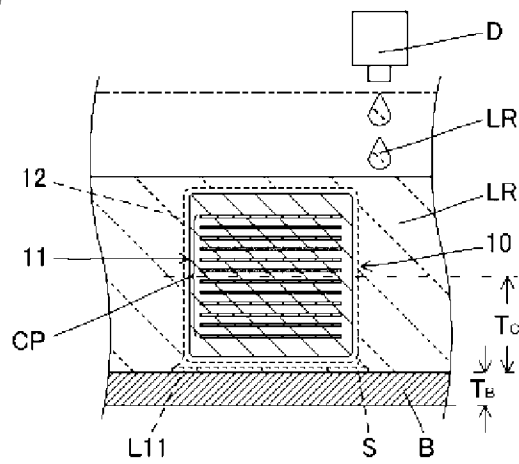
図6



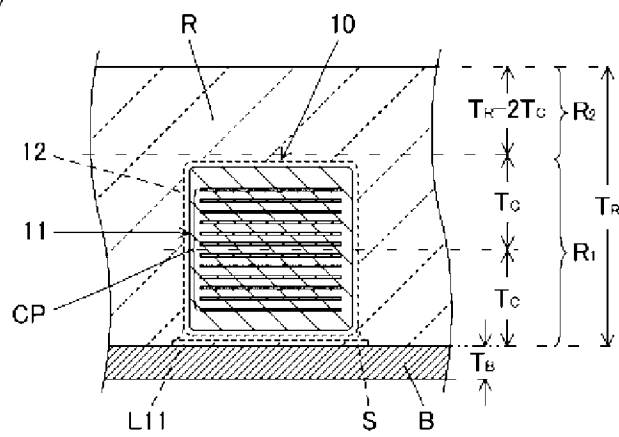
[図7]

図7

(A)

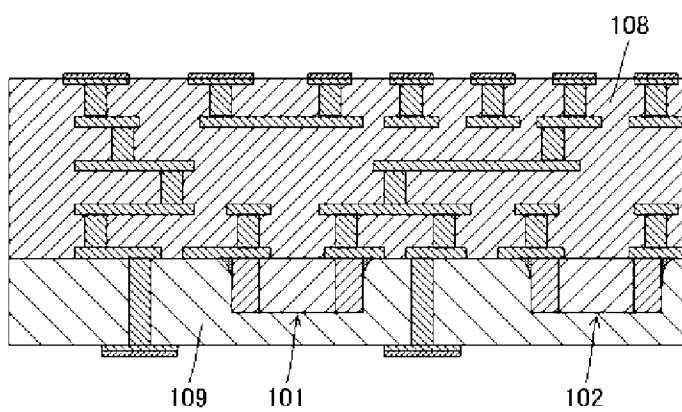


(B)



[図8]

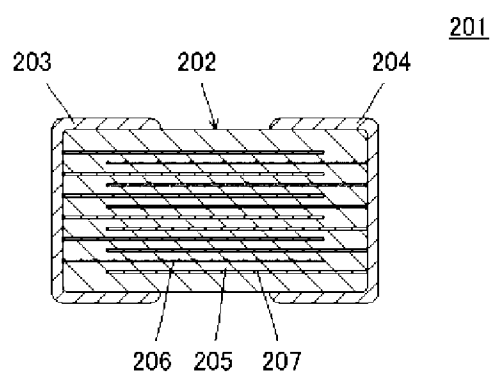
図8



100

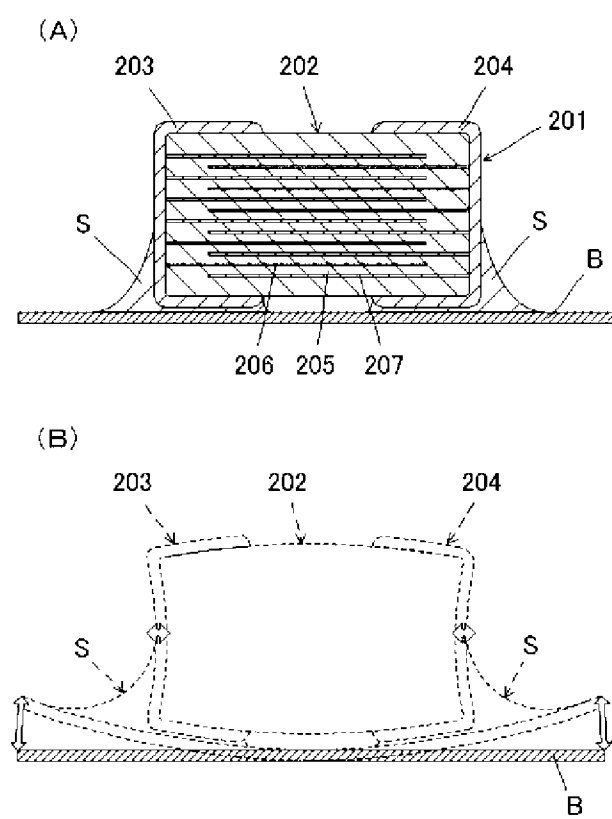
[図9]

図9



[図10]

図10



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/065049

A. CLASSIFICATION OF SUBJECT MATTER

H05K3/46(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K3/46, H05K3/28, H01G4/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	WO 2016/035590 A1 (Murata Mfg. Co., Ltd.), 10 March 2016 (10.03.2016), paragraphs [0013] to [0014], [0071] to [0073], [0095] to [0097], [0124] to [0137]; fig. 2, 5 (Family: none)	1-2, 4-5 3
Y	JP 2012-248581 A (TDK Corp.), 13 December 2012 (13.12.2012), paragraph [0082] & US 2012/0300361 A1 paragraph [0066]	3

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
07 July 2016 (07.07.16)

Date of mailing of the international search report
19 July 2016 (19.07.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/065049

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-142355 A (Matsushita Electric Industrial Co., Ltd.), 07 June 2007 (07.06.2007), paragraphs [0018] to [0048] & US 2007/0086174 A1 paragraphs [0020] to [0050] & CN 1953174 A	1-5
E,X	JP 2016-092176 A (Murata Mfg. Co., Ltd.), 23 May 2016 (23.05.2016), claims 1 to 5 (Family: none)	1-5

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H05K3/46(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H05K3/46, H05K3/28, H01G4/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	WO 2016/035590 A1（株式会社村田製作所）2016.03.10, 段落[0013]-[0014], [0071]-[0073], [0095]-[0097], [0124]-[0137], 図2, 図5（ファミリーなし）	1-2, 4-5 3
Y	JP 2012-248581 A（TDK株式会社）2012.12.13, 段落[0082] & US 2012/0300361 A1, 段落[0066]	3

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

07.07.2016

国際調査報告の発送日

19.07.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小林 大介

5D

9848

電話番号 03-3581-1101 内線 3551

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-142355 A (松下電器産業株式会社) 2007. 06. 07, 段落[0018]-[0048] & US 2007/0086174 A1, 段落[0020]-[0050] & CN 1953174 A	1-5
E, X	JP 2016-092176 A (株式会社村田製作所) 2016. 05. 23, [請求項 1]-[請求項 5] (ファミリーなし)	1-5