

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-103003

(P2008-103003A)

(43) 公開日 平成20年5月1日(2008.5.1)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 16/06 (2006.01)	G 1 1 C 17/00 6 3 4 B	5 B 1 2 5
G 1 1 C 16/04 (2006.01)	G 1 1 C 17/00 6 2 2 E	
	G 1 1 C 17/00 6 3 5	

審査請求 未請求 請求項の数 5 O L (全 14 頁)

(21) 出願番号 特願2006-283457 (P2006-283457)
 (22) 出願日 平成18年10月18日 (2006.10.18)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100075812
 弁理士 吉武 賢次
 (74) 代理人 100088889
 弁理士 橘谷 英俊
 (74) 代理人 100082991
 弁理士 佐藤 泰和
 (74) 代理人 100096921
 弁理士 吉元 弘
 (74) 代理人 100103263
 弁理士 川崎 康

最終頁に続く

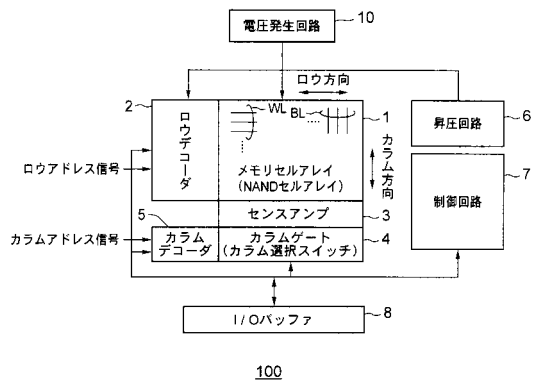
(54) 【発明の名称】 NAND型フラッシュメモリ

(57) 【要約】

【課題】電流増加やプリチャージ時間の増加を抑えつつ、負側にも、しきい値の分布を形成することが可能なNAND型フラッシュメモリを提供する。

【解決手段】NAND型フラッシュメモリ100は、読み出し動作時に、NAND型フラッシュメモリ100は、ロウデコーダ2により非選択とされたブロック1aのp型半導体基板Psubを接地電位VSSにする。この状態で、センスアンプ3によりビット線BLを第1の電圧Vbに充電(メモリセルの読み出しに必要な既述のプリチャージ)する。この充電とともに、電圧発生回路10により、非選択とされたブロックのセルのソース線、p型ウェルP、n型ウェルを、接地電位VSSと第1の電圧Vbとの間の第2の電圧Vsに充電する。さらに、電圧発生回路10により、ドレイン側選択ゲート線SGDおよびソース側選択ゲート線SGSを、第2の電圧Vsに充電する。

【選択図】図1



【特許請求の範囲】

【請求項 1】

全てのビット線に対しプリチャージし同時に読み出し動作する N A N D 型フラッシュメモリであって、

n 型ウェルが p 型半導体基板に形成され前記 n 型ウェルに囲まれた p 型ウェルに構成される電气的に書き換え可能なメモリセルを複数個直列に接続して構成されるメモリセルユニット、ドレイン側選択ゲート線がゲートに接続され前記メモリセルユニットを前記ビット線に接続するドレイン側選択ゲートトランジスタ、およびソース側選択ゲート線がゲートに接続され前記メモリセルユニットをソース線に接続するソース側選択ゲートトランジスタ、から構成されるブロックを複数個有するメモリセルアレイと、

10

前記メモリセルのゲートに接続されたワード線、前記ドレイン側選択ゲート線、および前記ソース側ゲート線に接続され、前記ドレイン側選択ゲート線と前記ソース側ゲート線に印加する電圧を制御することにより前記ブロックを選択し、前記ワード線に印加する電圧を制御することにより動作させる前記メモリセルを選択するロウデコーダと、

前記メモリセルアレイの前記ビット線に接続され、選択された前記メモリセルのデータを検出するセンスアンプと、を備え、

読み出し動作時に、

前記 p 型半導体基板を接地電位にし、

前記ビット線を第 1 の電圧に充電し、

前記ソース線、前記 n 型ウェル、および前記 p 型ウェルを、前記接地電位と前記第 1 の電圧との間の第 2 の電圧に充電し、

20

前記ロウデコーダにより非選択とされた前記ブロックにおいて、前記ドレイン側選択ゲート線および前記ソース側選択ゲート線を、前記接地電位よりも高く前記第 2 の電圧以下の第 3 の電圧に充電する

ことを特徴とする N A N D 型フラッシュメモリ。

【請求項 2】

前記第 2 の電圧と前記第 3 の電圧が等しいことを特徴とする請求項 1 に記載の N A N D 型フラッシュメモリ。

【請求項 3】

前記ドレイン側選択ゲート線、前記ソース側選択ゲート線、前記ソース線、前記 n 型ウェル、および前記 p 型ウェルをフローティング状態にして、前記ビット線を前記第 1 の電圧に充電し、この充電により前記ドレイン側選択ゲート線、前記ソース側選択ゲート線、前記ソース線、前記 n 型ウェル、および前記 p 型ウェルを前記第 2 の電圧に充電する

30

ことを特徴とする請求項 2 に記載の N A N D 型フラッシュメモリ。

【請求項 4】

前記ビット線を第 1 の電圧に充電するのと同時に、前記ドレイン側選択ゲート線、前記ソース側選択ゲート線、前記ソース線、前記 n 型ウェル、および前記 p 型ウェルを前記第 2 の電圧に充電する

ことを特徴とする請求項 2 に記載の N A N D 型フラッシュメモリ。

【請求項 5】

40

全てのビット線に対しプリチャージし同時に読み出し動作する N A N D 型フラッシュメモリであって、

n 型ウェルが p 型半導体基板に形成され前記 n 型ウェルに囲まれた p 型ウェルに構成される電气的に書き換え可能なメモリセルを複数個直列に接続して構成されるメモリセルユニット、ドレイン側選択ゲート線がゲートに接続され前記メモリセルユニットを前記ビット線に接続するドレイン側選択ゲートトランジスタ、およびソース側選択ゲート線がゲートに接続され前記メモリセルユニットをソース線に接続するソース側選択ゲートトランジスタ、から構成されるブロックを複数個有するメモリセルアレイと、

前記メモリセルのゲートに接続されたワード線、前記ドレイン側選択ゲート線、および前記ソース側ゲート線に接続され、前記ドレイン側選択ゲート線と前記ソース側ゲート線

50

に印加する電圧を制御することにより前記ブロックを選択し、前記ワード線に印加する電圧を制御することにより動作させる前記メモリセルを選択するロウデコードと、

前記メモリセルアレイの前記ビット線に接続され、選択された前記メモリセルのデータを検出するセンスアンプと、を備え、

ベリファイ動作時に、

前記 p 型半導体基板を接地電位にし、

前記ビット線を第 1 の電圧に充電し、

前記ソース線、前記 n 型ウェル、および前記 p 型ウェルを、前記接地電位と前記第 1 の電圧との間の第 2 の電圧に充電し、

前記ロウデコードにより非選択とされた前記ブロックにおいて、前記ドレイン側選択ゲート線および前記ソース側選択ゲート線を、前記接地電位よりも高く前記第 2 の電圧以下の第 3 の電圧に充電する

10

ことを特徴とする NAND 型フラッシュメモリ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、NAND 型フラッシュメモリに関するものである。

【背景技術】

【0002】

NAND 型フラッシュメモリに代表されるように不揮発性メモリセルは高電界をかけ電子を酸化膜中にトラップさせてセルのしきい値を変化させることで書き込みを行う。また、そのしきい値の違いを利用して、読み出しを行う。これは多値化した場合も同様である（例えば、特許文献 1 参照。）。

20

【0003】

上記従来 NAND 型フラッシュメモリのシールドビット線方式の読み出し動作を簡単に説明する。

【0004】

まず、セルのソース線やウェル電位は $V_{SS}(0V)$ として、センスアンプの n 型 MOS トランジスタのゲート $BLPRE$ に $V_{DD}(2.5V)$ を転送できる $V_{SG}(V_{DD}+V_{th})$ (4V 程度) 電位を与える。そして、センスアンプとビット線を繋ぐ n 型 MOS トランジスタのゲート $BLCLAMP$ に $0.7V+V_{th}$ 電位を与えることで、セルのビット線には $0.7V$ の電圧がプリチャージされる。

30

【0005】

ただし、すべてのビット線が $0.7V$ に充電されるのではなく、 $0.7V$ 、 $0V$ 、 $0.7V$ 、 $0V$ と交互に充電して読み出すビット線は半分としている。

【0006】

読み出し時にデータによってビット線の振幅が生じる。その振幅の容量カップリングによって隣接のビット線が影響を受ける。このため、隣接のセルのデータによってデータ化けをおこすことを避けるためにシールドしておく。

【0007】

プリチャージ後、該 $BLCLAMP$ は $0V$ にし、ビット線とセンスアンプは切り離される。

40

【0008】

また、読み出したいワード線には所望の電圧である V_{CGRV} 電位を、その他のワード線とドレイン側選択ゲート線には必ずオンできる $V_{READ}(5V \text{ 程度})$ 電位を、最後にソース側選択ゲート線に該 V_{READ} 電位を与える。

【0009】

これにより、読み出したいセルがオンしていれば、セル電流が流れてビット線は $0V$ に近づく。また、オフしていれば、セル電流は流れないので、ビット線はプリチャージ電位 ($0.7V$) のままとなる。

50

【 0 0 1 0 】

再びゲート B L P R E を立ち上げて、センスアンプのラッチ回路に接続されるノード T D C を V D D にプリチャージした後、該 B L C L A M P を $V S E N (0 . 3 5 V + V t h)$ に設定する。

【 0 0 1 1 】

ビット線の容量に比べて、ノード T D C の容量は軽い。このため、セルがオンしている場合、ビット線の電圧が $0 . 3 5 V$ より低ければ、チャージシェアが行われ、ノード T D C の電圧はビット線の電圧と等しくなる。

【 0 0 1 2 】

また、セルがオフしている場合、ビット線の電圧が $0 . 7 V$ であれば、B L C L A M P のトランジスタはしきい値を超えられないためオフされたままとなり、ノード T D C の電圧は V D D のままとなる。該ラッチ回路とノード T D C との間の n 型 M O S トランジスタのゲートの電圧を立ち上げることにより、ノード T D C の電圧を該ラッチ回路に転送して H / L の確定を行う。

10

【 0 0 1 3 】

読み出したいセルのワード線の電圧 V C G R V を変化させることで、セルのしきい値を識別することが可能になる。例えば、セルのしきい値を 2 種類であれば、2 値を記憶し、4 種類記憶していれば、4 値記憶していることになる。

【 0 0 1 4 】

ここで、16 種類記憶していれば、16 値記憶していることになる。16 値記憶するためには、それぞれのしきい値の R e t e n s i o n M a r g i n が削られることになる。しきい値をより高いしきい値側までもっていけばよいが、高いしきい値にすると、書き込み電圧や読み出し電圧もそれに従って高くなってしまう。

20

【 0 0 1 5 】

このため、書き込み電圧や読み出し電圧の上昇が原因で、書き込みや読み出しの際に D i s t u r b を受けやすくなる。これにより、設定されていたしきい値がこれらの D i s t u r b を受けることによってずれてしまう問題がある。ずれてしまうことにより、誤読み出しの要因なる。

【 0 0 1 6 】

そこで、しきい値を負側に設定することで、書き込みや読み出しの際に D i s t u r b を悪化させることなく、R e t e n s i o n M a r g i n を向上することが考えられる。これを実現するにはワード線自体に負電位を供給する方法もある。

30

【 0 0 1 7 】

しかし、負電位を転送できるようにウェルの構成を変えるため、工程の増加が必要になり、デメリットがある。

【 0 0 1 8 】

そこで、セルのソース線や p 型ウェルにバイアスがかかることにより、ワード線は正の電圧だけを用いていても、実際のセルのしきい値 V G S (ワード線の電圧 - セルのソース線の電圧) を負にするものがある。つまり、負側にも、しきい値の分布を形成することが可能になる。

40

【 0 0 1 9 】

しかし、充電する必要のなかったセルのソース線や p 型ウェルにもバイアスすることになる。このため、消費電流が増加する問題が生じ得る。

また、セルのソース線や p 型ウェルを充電する時間が増えるため、読み出し時間や書き込み時間(書き込み時間は書き込んだ後の読み出しと同様のベリファイ動作も含まれている)が増加する。

【 0 0 2 0 】

セルのソース線や p 型ウェルにバイアスしないときは、ビット線充電に必要な電荷量だけであった。

【 0 0 2 1 】

50

セルのソース線や p 型ウェルにバイアスするときはビット線を充電するのに必要な電荷量に加えて、セルのソース線や p 型ウェルや非選択ビット線（シールドビット線）にバイアスするために必要な電荷量が足される。

【 0 0 2 2 】

この隣接するビット線を交互に読み出し動作する上記シールドビット線方式とは別に、従来の NAND 型フラッシュメモリには、全ビット線に対し同時に読み出し動作をするものがある（例えば、特許文献 2 参照。）。

【 0 0 2 3 】

全ビット線に対し同時に読み出し動作をする場合においても、負側にも、しきい値の分布を形成するために、選択されたブロックを含め選択されていないブロックのセルのソース線や p 型ウェルにもバイアスがかかることになる。この場合、バイアスしない場合と比較して、ビット線のプリチャージに必要な電流が増加する。

10

【 0 0 2 4 】

このため、上記シールドビット線方式と同様に、消費電流が増加する問題が生じ得る。

【 0 0 2 5 】

また、セルのソース線や p 型ウェルを充電する時間が増えるため、上記シールドビット線方式と同様に、読み出し時間や書き込み時間（書き込み時間は書き込んだ後の読み出しと同様のペリファイ動作も含まれている）が増加する。

【特許文献 1】特開 2 0 0 1 - 3 3 2 0 9 3 号公報

【特許文献 2】特開 2 0 0 6 - 8 5 8 3 9 号公報

20

【発明の開示】

【発明が解決しようとする課題】

【 0 0 2 6 】

本発明は、消費電流やプリチャージ時間の増加を抑えつつ、負側にセルのしきい値の分布を形成することが可能な NAND 型フラッシュメモリを提供することを目的とする。

【課題を解決するための手段】

【 0 0 2 7 】

本発明の一態様に係る実施例に従った NAND 型フラッシュメモリは、全てのビット線に対しプリチャージし同時に読み出し動作する NAND 型フラッシュメモリであって、

30

n 型ウェルが p 型半導体基板に形成され前記 n 型ウェルに囲まれた p 型ウェルに構成される電氣的に書き換え可能なメモリセルを複数個直列に接続して構成されるメモリセルユニット、ドレイン側選択ゲート線がゲートに接続され前記メモリセルユニットを前記ビット線に接続するドレイン側選択ゲートトランジスタ、およびソース側選択ゲート線がゲートに接続され前記メモリセルユニットをソース線に接続するソース側選択ゲートトランジスタ、から構成されるブロックを複数個有するメモリセルアレイと、

前記メモリセルのゲートに接続されたワード線、前記ドレイン側選択ゲート線、および前記ソース側ゲート線に接続され、前記ドレイン側選択ゲート線と前記ソース側ゲート線に印加する電圧を制御することにより前記ブロックを選択し、前記ワード線に印加する電圧を制御することにより動作させる前記メモリセルを選択するロウデコーダと、

40

前記メモリセルアレイの前記ビット線に接続され、選択された前記メモリセルのデータを検出するセンスアンプと、を備え、

読み出し動作時に、

前記 p 型半導体基板を接地電位にし、

前記ビット線を第 1 の電圧に充電し、

前記ソース線、前記 n 型ウェル、および前記 p 型ウェルを、前記接地電位と前記第 1 の電圧との間の第 2 の電圧に充電し、

前記ロウデコーダにより非選択とされた前記ブロックにおいて、前記ドレイン側選択ゲート線および前記ソース側選択ゲート線を、前記接地電位よりも高く前記第 2 の電圧以下の第 3 の電圧に充電する

50

ことを特徴とする。

【0028】

本発明の他の態様に係る実施例に従ったNAND型フラッシュメモリは、全てのビット線に対しプリチャージし同時に読み出し動作するNAND型フラッシュメモリであって、

n型ウェルがp型半導体基板に形成され前記n型ウェルに囲まれたp型ウェルに構成される電气的に書き換え可能なメモリセルを複数個直列に接続して構成されるメモリセルユニット、ドレイン側選択ゲート線がゲートに接続され前記メモリセルユニットを前記ビット線に接続するドレイン側選択ゲートトランジスタ、およびソース側選択ゲート線がゲートに接続され前記メモリセルユニットをソース線に接続するソース側選択ゲートトランジスタ、から構成されるブロックを複数個有するメモリセルアレイと、

前記メモリセルのゲートに接続されたワード線、前記ドレイン側選択ゲート線、および前記ソース側ゲート線に接続され、前記ドレイン側選択ゲート線と前記ソース側ゲート線に印加する電圧を制御することにより前記ブロックを選択し、前記ワード線に印加する電圧を制御することにより動作させる前記メモリセルを選択するロウデコーダと、

前記メモリセルアレイの前記ビット線に接続され、選択された前記メモリセルのデータを検出するセンスアンプと、を備え、

ペリファイ動作時に、

前記p型半導体基板を接地電位にし、

前記ビット線を第1の電圧に充電し、

前記ソース線、前記n型ウェル、および前記p型ウェルを、前記接地電位と前記第1の電圧との間の第2の電圧に充電し、

前記ロウデコーダにより非選択とされた前記ブロックにおいて、前記ドレイン側選択ゲート線および前記ソース側選択ゲート線を、前記接地電位よりも高く前記第2の電圧以下の第3の電圧に充電する

ことを特徴とする。

【発明の効果】

【0029】

本発明に係るNAND型フラッシュメモリによれば、消費電流やプリチャージ時間の増加を抑えつつ、負側にセルのしきい値の分布を形成することができる。

【発明を実施するための最良の形態】

【0030】

本実施形態においては、全てのビット線に対しプリチャージし同時に読み出し動作するNAND型フラッシュメモリについて説明する。

【0031】

以下、本発明に係る実施例について図面に基づいて説明する。

【実施例1】

【0032】

図1は、本発明の一態様である実施例1に係るNAND型フラッシュメモリ100の要部の構成を示すブロック図である。また、図2は、図1のNAND型フラッシュメモリ100のメモリセルアレイの要部構成を示す回路図である。

【0033】

図1および図2に示すように、メモリセルアレイ1は、アレイ状に配置された複数のセルユニットを有する。メモリセルアレイ1上には、ロウ方向に延びるワード線(コントロールゲート線)WL0~WL31及びカラム方向に延びるビット線BLが配置される。ワード線WL0~WL31は、ロウデコーダ2に接続され、ビット線BLには、書き込みデータや読み出しデータを一時記憶するためのラッチ回路を有するセンスアンプ3が接続される。

【0034】

メモリセルアレイ1は、ビット線BLに共通に接続されたブロック1aを複数個有する

。このブロック 1 a は、複数のメモリセル 1 b を接続した複数のメモリセルユニット 1 e と、このメモリセルユニット 1 e をビット線 B L に接続し、ドレイン側選択ゲート線 S G D がゲートに接続されたドレイン側選択ゲートトランジスタ 1 c と、メモリセルユニットをソース線 C E L S R C に接続し、ソース側選択ゲート線 S G S がゲートに接続されたソース側選択ゲートトランジスタ 1 d と、から構成される。

【 0 0 3 5 】

既述のように、各セルユニット 1 e は、電气的に書き換え可能なメモリセル 1 b を複数個接続して構成される。このメモリセル 1 b は、n 型ウェル N W E L L が p 型半導体基板 P s u b に形成され、この n 型ウェル N W E L L に囲まれた p 型ウェル P W E L L に構成されている。

10

【 0 0 3 6 】

センスアンプ 3 は、カラムゲート（カラム選択スイッチ）4 を経由して、I / O バッファ 8 に接続される。カラムゲート 4 は、カラムデコーダ 5 の出力信号により制御される。すなわち、センスアンプ 3 は、カラムデコーダ 5 により制御される。

【 0 0 3 7 】

このセンスアンプ 3 は、メモリセルアレイ 1 のビット線 B L を充電（プリチャージ）し、また、メモリセル 1 b のオン・オフに応じて変化するビット線 B L の電圧を検出することにより該メモリセル 1 c に記憶されたデータを検出する。

【 0 0 3 8 】

また、図 1 に示すように、昇圧回路 6 は、書き込み、消去、読み出しの各モードに必要な電圧を生成する。例えば、昇圧回路 6 は、書き込み時における書き込み電圧を生成し、この書き込み電圧をロウデコーダ 2 に与える。

20

【 0 0 3 9 】

ロウデコーダ 2 は、メモリセルアレイ 1 のワード線 W L および選択ゲート線に接続され、信号電圧を印加することにより選択する。ロウデコーダ 2 には、ロウアドレス信号が入力され、カラムデコーダ 5 には、カラムアドレス信号が入力される。

【 0 0 4 0 】

制御回路 7 は、動作モードに応じて、ロウデコーダ 2、カラムゲート 4 及びカラムデコーダ 5 の動作を制御する。制御回路 7 は、例えば、書き込み時に、ワード線 W L やドレイン側選択ゲート線 S G D、ソース側選択ゲート線 S G S に与える電位の切り替えタイミングを制御する。

30

【 0 0 4 1 】

また、N A N D 型フラッシュメモリ 1 0 0 は、セルのソース線 C E L S R C 等に電圧 V s を印加する電圧発生回路 1 0 を備える。図 3 A は、セルのソース線 C E L S R C 等に電圧 V s を印加する電圧発生回路を含む要部構成を示す図である。

【 0 0 4 2 】

図 3 A に示すように、電圧発生回路 1 0 は、トランジスタ 1 1 a、1 1 b、1 1 c を有するスイッチ回路 1 1 を介して、セルのソース線 C E L S R C、ソース側選択ゲート線 S G S、ドレイン側選択ゲート線 S G D、p 型ウェル P W E L L、および n 型ウェル N W E L L にそれぞれ接続されている。

40

【 0 0 4 3 】

電圧発生回路 1 0 は、トランジスタ 1 1 a、1 1 b、1 1 c をそれぞれオンすることにより、第 2 の電圧 V s をセルのソース線 C E L S R C、ソース側選択ゲート線 S G S、ドレイン側選択ゲート線 S G D、p 型ウェル P W E L L および n 型ウェル N W E L L にそれぞれ印加できるようになっている。

【 0 0 4 4 】

また、第 2 の電圧 V s を印加した後、トランジスタ 1 1 a、1 1 b、1 1 c をオフすることにより、セルのソース線 C E L S R C、ソース側選択ゲート線 S G S、ドレイン側選択ゲート線 S G D、p 型ウェル P W E L L および n 型ウェル N W E L L をそれぞれフローティング状態にすることができるようになっている。

50

【 0 0 4 5 】

また、図 3 B は、セルのソース線等に 2 つの電圧 V_s 、 V_{s2} を印加する電圧発生回路を含む要部構成を示す図である。図 3 B において、図 3 A と同じ符号は同じ構成を示す。図 3 B に示すように、電圧発生回路 1 0 a が、ソース側選択ゲート線 SGS 、ドレイン側選択ゲート線 SGD に、セルのソース線 $CESRC$ 、p 型ウェル $PWELL$ および n 型ウェル $NWELL$ に供給する該電圧 V_s と接地電位 V_{SS} との間の第 3 の電圧 V_{s2} を、トランジスタ 1 1 c を介して供給するようにしてもよい。

【 0 0 4 6 】

NAND 型フラッシュメモリ 1 0 0 は、読み出し動作時（ベリファイ動作も同様）に、ロウデコーダ 2 により非選択とされたブロック 1 a の p 型半導体基板 Psu b を接地電位 V_{SS} にする。この状態で、センスアンプ 3 によりビット線 BL を第 1 の電圧 V_b に充電（メモリセルの読み出しに必要な既述のプリチャージ）する。この充電とともに、電圧発生回路 1 0 により、非選択とされたブロックのセルのソース線 $CESRC$ 、p 型ウェル $PWELL$ 、n 型ウェル $NWELL$ を、接地電位 V_{SS} と第 1 の電圧 V_b との間の第 2 の電圧 V_s に充電する。さらに、電圧発生回路 1 0、1 0 a により、ドレイン側選択ゲート線 SGD およびソース側選択ゲート線 SGS を、第 2 の電圧 V_s （または、第 3 の電圧 V_{s2} ）に充電する。

10

【 0 0 4 7 】

次に、以上のような構成を有する NAND 型フラッシュメモリ 1 0 0 の読み出し動作について簡単に説明する。なお、ベリファイ動作も同様である。

20

【 0 0 4 8 】

読み出し動作の始めに、センスアンプ 3 が、全てのビット線 BL に電荷を充電（第 1 の電圧 V_b に充電）する。センスアンプ 3 は、この充電した電圧を保つようにセルが流す分の電流を供給する。センスアンプはこの電流量をリファレンスとなる電流量と比較することで、電流の大小に応じて“High”状態と“Low”状態を判定し、その情報に基づいてビット情報を決定することにより、読み出し動作する。

【 0 0 4 9 】

この読み出しの手順は、先ず、ワード線 WL_0 ないしワード線 W_{31} からメモリセル 1 b のゲートに読み出し電圧を印加することにより、メモリセル 1 b がオンするかオフのままかを判定する。

30

【 0 0 5 0 】

メモリセル 1 b がオンする場合は、センスアンプ内で参照されるリファレンス電流量より多いことになる。この結果がセンスアンプ 3 によりセンスされ、センスアンプ 3 に“Low”状態が格納される。

【 0 0 5 1 】

一方、メモリセル 1 b がオフする場合は、センスアンプ内で参照されるリファレンス電流量より少ないことになる。この結果がセンスアンプ 3 によりセンスされ、センスアンプ 3 に“High”状態が格納される。

【 0 0 5 2 】

センスアンプ 3 は、格納された“High”状態、“Low”状態に基づいて、データ形成を行うことにより、ビット情報を決定する。

40

【 0 0 5 3 】

そして、センスアンプ 3 が、決定したビット情報を、I/O バッファ 5 を介してデータ出力する。

【 0 0 5 4 】

既述のように、NAND 型フラッシュメモリ 1 0 0 において、ロウデコーダ 2 により選択されたブロック 1 a および非選択のブロック 1 a は、ビット線 BL が共通に接続されている。そして、全てのビット線 BL に対し同時に読み出し動作をする場合、負側にも、しきい値の分布を形成するために、セルのソース線 $CESRC$ や p 型ウェル $PWELL$ 、n 型ウェルに電圧が印加される。したがって、上記読み出し動作をする場合には、非選択

50

のブロック 1 a はデータが読み出されないにもかかわらず、非選択のブロック 1 a に位置するビット線 B L が充電される。

【 0 0 5 5 】

ここで、上記の読み出し動作において、非選択のブロック 1 a に位置するビット線を充電するのに必要な電荷量について検討する。なお、以下の例では、第 2 の電圧 V_s と第 3 の電圧 V_{s2} とが等しく設定された場合について説明する。

【 0 0 5 6 】

図 4 A は、実施例 1 において、NAND 型フラッシュメモリ 100 の非選択とされたブロックのビット線等に読み出し動作で印加される電圧と時間との関係の一例を示す図である。また、図 4 B は、実施例 1 において、NAND 型フラッシュメモリ 100 の非選択とされたブロックのビット線等に読み出し動作で印加される電圧と時間との関係の他の例を示す図である。また、図 4 C は、実施例 1 において、NAND 型フラッシュメモリ 100 の非選択とされたブロックのビット線等に読み出し動作で印加される電圧と時間との関係のさらに他の例を示す図である。

10

【 0 0 5 7 】

また、図 5 は、NAND 型フラッシュメモリ 100 の断面構造のモデルを示す図である。また、図 6 は、図 5 に示す NAND 型フラッシュメモリ 100 の各構成の電圧と構成間の容量を示す等価回路図である。

【 0 0 5 8 】

例えば、読み出し動作時（ベリファイ動作も同様）にビット線 B L を充電する場合は、図 4 A に示すように、ドレイン側選択ゲート線 S G D、ソース側選択ゲート線 S G S、ソース線 C E L S R C、n 型ウェル N W E L L、および p 型ウェル P W E L L をフローティング状態にする。この状態で、ビット線 B L を第 1 の電圧 V_b に充電し、この充電によりドレイン側選択ゲート線 S G D、ソース側選択ゲート線 S G S、ソース線 C E L S R C、n 型ウェル N W E L L、および p 型ウェル P W E L L を第 2 の電圧 V_s に充電する。

20

【 0 0 5 9 】

上記ビット線 B L を充電する NAND 型フラッシュメモリ 100 の各構成は、図 5 に示すように配置されている。そこで、ビット線を充電するのに必要な電荷量について概略的に検討するため、図 6 に示すように、ビット線 B L と、ドレイン側選択ゲート線 S G D、ソース側選択ゲート線 S G S、ソース線 C E L S R C、n 型ウェル N W E L L、p 型ウェル P W E L L と、の間の合成容量を C_1 と表現する。また、ドレイン側選択ゲート線 S G D、ソース側選択ゲート線 S G S、ソース線 C E L S R C、n 型ウェル N W E L L、p 型ウェル P W E L L と、p 型半導体基板 P s u b と、の間の合成容量を C_2 と表現する。

30

【 0 0 6 0 】

なお、図 6 において、コントロールゲートは選択ゲート線 S G に含めて記載している。また、図 6 において、電位変化への影響が小さいので、フローティング状態である非選択ブロックのワード線 W L およびフローティングゲート F G は省略している。

【 0 0 6 1 】

上述のように、ドレイン側選択ゲート線 S G D、ソース側選択ゲート線 S G S、p 型ウェル P W E L L、n 型ウェル N W E L L がフローティング状態である場合、ビット線 B L が第 1 の電圧 V_b （例えば、1.8 V）に充電されると、ドレイン側選択ゲート線 S G D、ソース側選択ゲート線 S G S、p 型ウェル P W E L L、n 型ウェル N W E L L の電圧は、合成容量 C_1 と合成容量 C_2 の容量比で決まる第 2 の電圧 V_s （例えば、1.3 V）に自動的に収束する。

40

【 0 0 6 2 】

したがって、ドレイン側選択ゲート線 S G D、ソース側選択ゲート線 S G S、p 型ウェル P W E L L、n 型ウェル N W E L L を

【数 1】

$$V_s = V_b \left(\frac{C_1}{C_1 + C_2} \right)$$

に充電する、すなわちビット線 B L を V_b に充電する、のに全体として必要な電荷量 Q は、

【数 2】

$$Q = V_b \left(\frac{C_1 C_2}{C_1 + C_2} \right)$$

となる（図 6）。

【0063】

ここで、上記図 4 A に示すように、読み出し動作時（ベリファイ動作も同様）にビット線 B L を充電する場合は、セルのソース線 C E L S R C、p 型ウェル P W E L L、n 型ウェル N W E L L、ソース側選択ゲート線 S G S、ドレイン側選択ゲート線 S G D を充電しないで、ビット線 B L のみを充電する従来技術と比較して、必要な電荷量は同程度の電荷量となる結果が得られた。

【0064】

また、p 型半導体基板 P s u b を接地電位 V_{SS} にし、さらに非選択ブロックをカットオフするためソース側選択ゲート線 S G S、ドレイン側選択ゲート線 S G D も接地電位 V_{SS} にし、さらに負側にメモリセルのしきい値を設けるため、セルのソース線 C E L S R C、p 型ウェル P W E L L、n 型ウェル N W E L L を充電してからビット線を V_b に充電する従来技術についても同様の条件で検討した。そして、図 4 A に示すように読み出し動作時にビット線 B L を充電する場合は、従来技術と比較して、必要な電荷量は 1 / 4 程度の電荷量となる結果が得られた。

【0065】

上記結果は、ソース側選択ゲート線 S G S、ドレイン側選択ゲート線 S G D の電位が接地電位 V_{SS} よりも高いため、ソース側選択ゲート線 S G S、ドレイン側選択ゲート線 S G D を接地電位 V_{SS} とする上記従来技術と比較して、主にビット線 B L やウェルに対する、ドレイン側選択ゲート線 S G D 及びソース側選択ゲート線 S G S 間の容量を充電するのに必要な総電荷量が減少するからである。

【0066】

このように、N A N D 型フラッシュメモリ 1 0 0 は、ビット線 B L を充電するのに必要な電荷量、充電時間の増加を抑えつつ、正側だけでなく負側にもメモリセルのしきい値の分布をつくるのが可能になる。

【0067】

既述のように、図 4 A に示すようにビット線 B L を充電する場合、非選択ブロックの選択されたビット線 B L を V_b に充電するのに必要な上記電荷量 Q は、 C_1 、 C_2 の容量比に依存する。なお、容量比が異なれば、第 2 の電位 V_s がターゲットとしている電位がずれてしまう。このため、それを補正するために第 2 の電位 V_s を供給する電圧発生器 1 0 から電荷のやりとりが必要になる。

【0068】

そこで、図 4 B に示すように、読み出し動作時（ベリファイ動作も同様）にビット線 B L を充電する場合、ロウデコーダ 2 により非選択とされたブロックにおいて、p 型半導体基板 P s u b を接地電位 V_{SS} にする。さらに、ソース側選択ゲート線 S G S、ドレイン側選択ゲート線 S G D、ソース線 C E L S R C、n 型ウェル N E W L L、および p 型ウェル P W E L L を、第 2 の電圧 V_s に電圧発生器 1 0 により充電する。この充電と同時に、ビット線 B L を第 1 の電圧 V_b に充電する。

【0069】

これにより、電圧発生器 1 0 により第 2 の電圧 V_s を制御するので、第 2 の電圧 V_s と

10

20

30

40

50

ターゲットとする電圧とのずれを低減することができる。

【0070】

また、この図4Bに示すように読み出し動作時にビット線BLを充電する場合も、図4Aと同様にビット線BLを第1の電圧Vbに充電するのに必要な電荷量を低減することができた。

【0071】

また、他の例として、図4Cに示すように、読み出し動作時(ペリファイ動作も同様)にビット線BLを充電する場合、ビット線BL、ドレイン側選択ゲート線SGD、ソース側選択ゲート線SGS、ソース線CELSRC、n型ウェルNWE LL、およびp型ウェルPWE LLを第2の電圧Vsに充電する。その後、ドレイン側選択ゲート線SGD、ソ

10

ース側選択ゲート線SGS、ソース線CELSRC、n型ウェルNWE LL、およびp型ウェルPWE LLを電圧発生器10により第2の電圧Vsに維持した状態で、ビット線BLを第1の電圧Vbに充電する。

【0072】

このように、電圧発生器10により第2の電圧Vsを制御するので、第2の電圧Vsとターゲットとする電圧とのずれを低減することができる。

【0073】

この図4Cに示すように読み出し動作時にビット線BLを充電する場合も、図4A、図4Bと同様にビット線BLを第1の電圧Vbに充電するのに必要な電荷量を低減することができた。

20

【0074】

なお、上記図4Aないし図4Cの例で説明したように、非選択のブロック1aのドレイン側選択ゲート線SGDおよびソース側選択ゲート線SGSを充電することにより、ビット線BLを充電するのに必要な電荷量は減少する。しかし、ドレイン側選択ゲートトランジスタ1c、ソース側選択ゲートトランジスタ1dがオンするとメモリセル1bに電流が流れてしまう。

【0075】

したがって、少なくとも非選択のブロック1aのソース側選択ゲートトランジスタ1dがカットオフするように、ドレイン側選択ゲート線SGDおよびソース側選択ゲート線SGSを、接地電位VSSよりも高くメモリセルのソース線CELSRCの第2の電圧Vs以下の第3の電圧Vs2に、充電する必要がある。この第3の電圧Vs2は、既述の電圧生成回路10aによりドレイン側選択ゲート線SGDおよびソース側選択ゲート線SGSに印加することができる。

30

【0076】

このようにして、第3の電圧が接地電位VSSよりも高くメモリセルのソース線CELSRCの第2の電圧Vs未満になるようにしても、ビット線を第1の電圧に充電するのに必要な電荷量を低減することができる。

【0077】

以上のように、本実施例に係るNAND型フラッシュメモリによれば、消費電流やプリチャージ時間の増加を抑えつつ、負側にセルのしきい値の分布を形成することができる。

40

【図面の簡単な説明】

【0078】

【図1】本発明の一態様である実施例1に係るNAND型フラッシュメモリ100の要部の構成を示すブロック図である。

【図2】図1のNAND型フラッシュメモリ100のメモリセルアレイの要部構成を示す回路図である。

【図3A】セルのソース線等に電圧Vsを印加する電圧発生回路を含む要部構成を示す図である。

【図3B】セルのソース線等に2つの電圧Vs、Vs2を印加する電圧発生回路を含む要部構成を示す図である。

50

【図 4 A】実施例 1 において、NAND 型フラッシュメモリ 100 の非選択とされたブロックのビット線等に読み出し動作で印加される電圧と時間との関係の一例を示す図である。

【図 4 B】実施例 1 において、NAND 型フラッシュメモリ 100 の非選択とされたブロックのビット線等に読み出し動作で印加される電圧と時間との関係の他の例を示す図である。

【図 4 C】実施例 1 において、NAND 型フラッシュメモリ 100 の非選択とされたブロックのビット線等に読み出し動作で印加される電圧と時間との関係のさらに他の例を示す図である。

【図 5】NAND 型フラッシュメモリ 100 の断面構造のモデルを示す図である。

10

【図 6】図 7 に示す NAND 型フラッシュメモリ 100 の各構成の電圧と構成間の容量を模式的に示す等価回路図である。

【符号の説明】

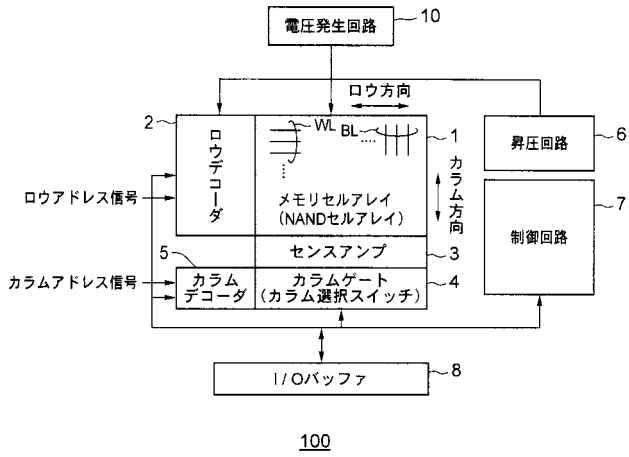
【0079】

- 1 メモリセルアレイ
- 1 a ブロック
- 1 b メモリセル
- 1 c ドレイン側選択ゲートトランジスタ
- 1 d ソース側選択ゲートトランジスタ
- 1 e メモリセルユニット
- 2 ロウデコーダ
- 3 センスアンプ
- 4 カラムゲート
- 5 カラムデコーダ
- 6 昇圧回路
- 7 制御回路
- 8 I/Oバッファ
- 10、10 a 電圧発生回路
- 11 スイッチ回路
- 11 a、11 b、11 c トランジスタ
- 100 NAND 型フラッシュメモリ

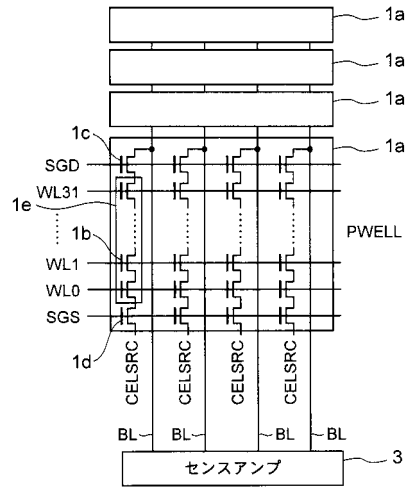
20

30

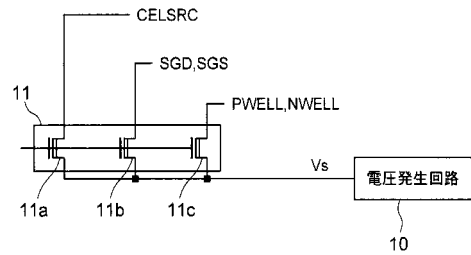
【 図 1 】



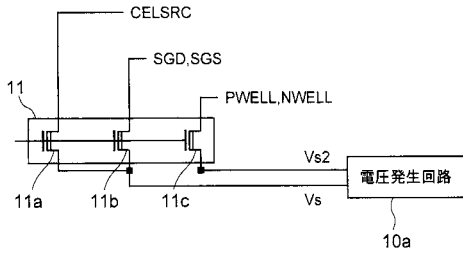
【 図 2 】



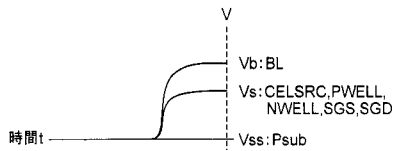
【 図 3 A 】



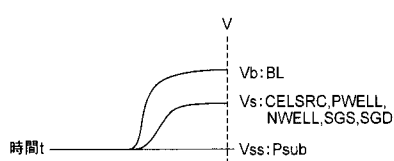
【 図 3 B 】



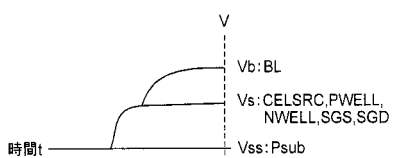
【 図 4 A 】



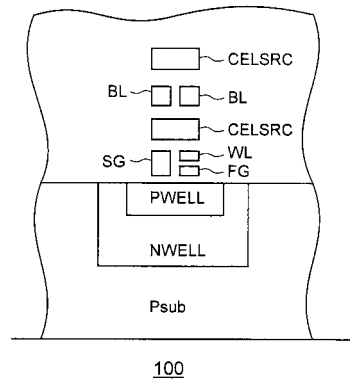
【 図 4 B 】



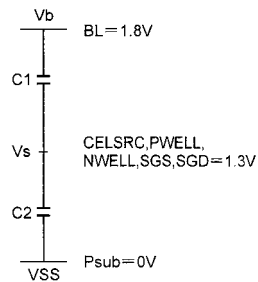
【 図 4 C 】



【 図 5 】



【 図 6 】



フロントページの続き

(72)発明者 前 嶋 洋
東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 磯 部 克 明
東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5B125 BA02 BA19 CA01 CA20 CA21 DA02 DA09 EA05 EC09 ED09
EG14 EG15 EG17 FA02