

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年5月15日(15.05.2025)



(10) 国際公開番号

WO 2025/100300 A1

- (51) 国際特許分類:
H05K 1/02 (2006.01) *H05K 3/46* (2006.01)
H01L 23/12 (2006.01)
- (21) 国際出願番号: PCT/JP2024/038490
- (22) 国際出願日: 2024年10月29日(29.10.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-192232 2023年11月10日(10.11.2023) JP
- (71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/

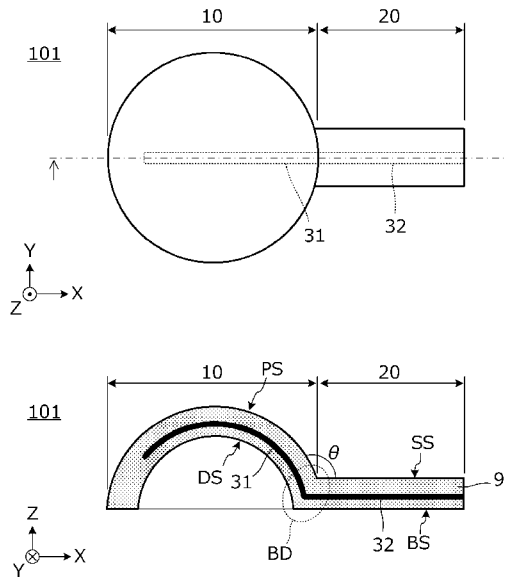
JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 (JP).

(72) 発明者: 山田 寛己(YAMADA Hiroki); 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社村田製作所内 (JP). 市川 敬一(ICHIKAWA Keiichi); 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社村田製作所内 (JP). 郷地 直樹(GOUCHI Naoki); 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社村田製作所内 (JP). 池本 伸郎(IKEMOTO Nobuo); 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社村田製作所内 (JP). 馬場 貴博(BABA Takahiro);

(54) Title: MULTILAYER SUBSTRATE, MULTILAYER SUBSTRATE PRODUCTION METHOD, AND ELECTRONIC DEVICE

(54) 発明の名称: 多層基板、多層基板の製造方法及び電子機器

【図2】



(57) Abstract: A multilayer substrate (101) includes a plurality of base layers and conductor patterns, wherein the base layers are laminated. The multilayer substrate (101) is provided with a first portion (10) and a second portion (20) continuous with the first portion (10), each of which has a constant or substantially constant thickness between front and back surfaces facing each other. The front surface of the first portion (10) is at least one protruding curved surface, the back surface of the first portion (10) is a recessed curved surface facing the protruding curved surface, and the front and back

〒6178555 京都府長岡京市東神足 1 丁目 1 0
番 1 号 株式会社村田製作所内 (JP).

(74) 代理人: 弁 理 士 法 人 楓 国 際 特 許 事 務
所 (KAEDE PATENT ATTORNEYS' OFFICE);
〒5400011 大阪府大阪市中央区農人橋 1
丁目 4 番 3 4 号 (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG,
ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU,
TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS,
IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE,
SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

surfaces of the second portion (20) are flat surfaces. Each base layer is continuous from the first portion (10) to the second portion (20), and at least a portion of the conductor pattern is continuous from the first portion (10) to the second portion (20) inside the multilayer substrate (101).

(57) 要約: 複数の基材層及び導体パターンを含み、これら基材層が積層されて成る多層基板 (101) であり、それぞれ、互いに対向する表裏面間の厚みが一定又は略一定である第 1 部分 (10) 及び当該第 1 部分 (10) に連続する第 2 部分 (20) を備える。第 1 部分 (10) の表面は少なくとも 1 つの凸曲面であり、第 1 部分 (10) の裏面は凸曲面に対向する凹曲面であり、第 2 部分 (20) の表裏面は平面であり、各基材層は第 1 部分 (10) から第 2 部分 (20) にかけて連続し、導体パターンの少なくとも一部は、多層基板 (101) の内部において、第 1 部分 (10) から第 2 部分 (20) にかけて連続している。

明 細 書

発明の名称：多層基板、多層基板の製造方法及び電子機器

技術分野

[0001] 本発明は、複数の基材層が積層されて成る多層基板、この多層基板の製造方法、及びその多層基板を備える電子機器に関する。

背景技術

[0002] 特許文献1には、熱可塑性液晶ポリマーの特性を活かした、段差を有する電子デバイスの支持体が見られている。例えば、フィルムで構成される、又はその積層構造体で構成される支持体が、絞り加工によって勾配を有する段差が形成された電子デバイスが見られている。

先行技術文献

特許文献

[0003] 特許文献1：特開2004-82564号公報

発明の概要

発明が解決しようとする課題

[0004] 特許文献1に記載の電子デバイスの支持体は立体的な熱可塑性液晶ポリマーで構成されているが、この支持体は、その表層にのみ導体パターンが形成されている構造体である。そのため、支持体に設ける配線の自由度が低い。

[0005] そこで、本発明の目的は、導体パターン形成上の自由度の高い多層基板、この多層基板の製造方法、及びその多層基板を備える電子機器を提供することにある。

課題を解決するための手段

[0006] (1) 本開示の一例としての多層基板は、

複数の基材層及び導体パターンを含み、前記基材層が積層されて成る多層基板であり、

それぞれ、互いに対向する表裏面間の厚みが一定又は略一定である、第1部分及び当該第1部分に連続する第2部分を備え、

前記第 1 部分の表面は凸曲面であり、前記第 1 部分の裏面は前記凸曲面对向して前記多層基板に前記厚みをもたせる凹曲面であり、

前記第 2 部分の前記表裏面は平面であり、

各前記基材層は前記第 1 部分から前記第 2 部分にかけて連続していて、

前記導体パターンの少なくとも一部は、前記多層基板の内部において、前記第 1 部分から前記第 2 部分にかけて連続している、ことを特徴とする。

[0007] (2) 本開示の一例としての多層基板の製造方法は、

前記第 1 部分に、前記多層基板の内部に形成された前記導体パターンに導通し、前記積層の方向に導通路を形成する接続導体を備える、多層基板の製造方法であり、

前記多層基板の前記第 1 部分及び前記第 2 部分は、前記基材層を積層した状態で加熱プレスすることにより形成し、

前記積層の方向の開口部に導電性ペーストを入れ、加熱プレスすることにより、前記導電性ペーストを前記導通路として形成する、ことを特徴とする。

[0008] (3) 本開示の一例としての電子機器は、

前記多層基板と、電子部品とを含む電子機器であり、

前記電子部品は前記第 1 部分の内部又は前記第 2 部分に配置されている、ことを特徴とする。

発明の効果

[0009] 本発明によれば、導体パターン形成上の自由度の高い多層基板、この多層基板の製造方法、及びその多層基板を備える電子機器が得られる。

図面の簡単な説明

[0010] [図1]図 1 は第 1 の実施形態に係る多層基板 101 の斜視図である。

[図2]図 2 の上部は多層基板 101 の平面図であり、図 2 の下部は、図 2 の上部に示す多層基板 101 の一点鎖線での断面図である。

[図3]図 3 は第 2 の実施形態に係る多層基板 102 の断面図である。

[図4]図 4 は第 3 の実施形態に係る電子機器 201 の断面図である。

[図5]図5は第4の実施形態に係る電子機器202の断面図である。

[図6]図6は第4の実施形態に係るもう一つの電子機器203の断面図である。

[図7]図7の上部は第5の実施形態に係る電子機器204の平面図、図7の下部は、上部に示した一点鎖線での電子機器204の断面図である。

[図8]図8の上部は第6の実施形態に係る多層基板107平面図である。図8の下部は、図8の上部に示す多層基板107を備える電子機器205の断面図である。

[図9]図9は第6の実施形態に係る別の多層基板108の平面図である。

[図10]図10は、電子部品65が実装された多層基板109が回路基板60に搭載されることによって構成された第7の実施形態に係る電子機器206の断面図である。

[図11]図11は、電子部品66が実装された多層基板110が回路基板60に搭載されることによって構成された第7の実施形態に係る電子機器207の断面図である。

[図12]図12は、電子部品65、66が実装された多層基板111が回路基板60に搭載されることによって構成された第7の実施形態に係る電子機器208の断面図である。

[図13]図13の上部は、第8の実施形態に係る電子機器209の平面図、図13の下部は、電子機器209の、図13の上部における一点鎖線での断面図である。

[図14]図14の上部は、第8の実施形態に係る別の多層基板113の平面図、図14の下部は、多層基板113の、図14の上部における一点鎖線での断面図である。

[図15]図15の上部は第9の実施形態に係る電子機器210の平面図である。図15の下部は図15の上部における一点鎖線での断面図である。

[図16]図16の上部は第9の実施形態に係る別の電子機器211の平面図である。図16の下部は図16の上部における一点鎖線での断面図である。

[図17]図17の上部は第10の実施形態に係る多層基板115の平面図である。図17の下部は図17の上部における一点鎖線での断面図である。

[図18]図18は第11の実施形態に係る多層基板116の斜視図である。

[図19]図19の上部は多層基板116を備える電子機器212の平面図であり、図19の下部は、図19の上部に示す一点鎖線での断面図である。

[図20]図20は第12の実施形態に係る多層基板117Aの斜視図である。

[図21]図21の上部は図20における一点鎖線での断面図である。

[図22]図22は第12の実施形態に係る別の多層基板117Bの断面図である。

[図23]図23は図22における一点鎖線での断面図である。

[図24]図24は第13の実施形態に係る多層基板118及びそれに実装された電子部品62とで構成された電子機器213の斜視図である。

[図25]図25の上部は第14の実施形態に係る多層基板119及びそれに実装された電子部品62とで構成された電子機器214の斜視図である。図25の下部は図25の上部の一点鎖線での断面図である。

[図26]図26は第14の実施形態に係る別の多層基板120について示す図である。

[図27]図27の上部は第15の実施形態に係る多層基板121の斜視図であり、図27の下部は、図27の上部の一点鎖線で示す位置での縦断面図である。

[図28]図28はそれぞれ第16の実施形態に係る多層基板の断面図である。

[図29]図29はそれぞれ第16の実施形態に係る多層基板の断面図である。

[図30]図30は第16の実施形態に係る多層基板の断面図であり、信号線としての導体パターン81、82と、それを積層方向に挟む2層のグランド導体層としての導体パターン49A、49Bとを備える多層基板の一例である。

[図31]図31は第16の実施形態に係る多層基板の断面図であり、グランド導体層としての導体パターンの形成位置の幾つかの例について示す図である。

。

[図32]図32は第17の実施形態に示す電子機器215の主要部の断面図である。

[図33]図33の上部は第18の実施形態に係る電子機器216の斜視図であり、図33の中部は、図33の上部のX-X部分での多層基板122の縦断面図であり、図33の下部は、図33の上部のY-Y部分での多層基板122の縦断面図である。

[図34]図34は第18の実施形態に係る他の幾つかの多層基板の平面図である。

[図35]図35の上部及び下部は第18の実施形態に係る他の多層基板の断面図である。

[図36]図36は第18の実施形態に係る他の幾つかの多層基板の断面図である。

[図37]図37の上部は、多層基板123及び電子部品62、65を備える電子機器217の平面図であり、図37の下部は上部における一点鎖線での縦断面図である。

[図38]図38の上部は電子機器217の部分断面図である。図38の下部は図38の上部における一点鎖線での横断面図である。

[図39]図39は第19の実施形態に係る他の電子機器の平面図である。

[図40]図40の上部は、多層基板124及び電子部品62を備える電子機器218の平面図であり、図40の下部は上部における一点鎖線での縦断面図である。

[図41]図41の上部は電子機器218の部分断面図である。図41の中部は図41の上部の図中の上部の一点鎖線での横断面図であり、図41の下部は図41の上部の図中の下部の一点鎖線での横断面図である。

[図42]図42は第21の実施形態に係る電子機器219、220の斜視図である。

[図43]図43の上部は図42の上部に示した電子機器219の第1部分10

の部分断面図であり、図４３の下部は図４２の下部に示した電子機器２２０の第１部分１０の部分断面図である。

[図44]図４４は、多層基板の凸曲面及び凹曲面の存在による多層基板の突出方向から見た、その多層基板の平面図の例である。

発明を実施するための形態

[0011] 以降、図を参照して幾つかの具体的な例を挙げて、本発明を実施するための複数の形態を示す。各図中には同一箇所には同一符号を付している。要点の説明又は理解の容易性を考慮して、実施形態を説明の便宜上、複数の実施形態に分けて示すが、異なる実施形態で示した構成の部分的な置換又は組み合わせは可能である。第２の実施形態以降では第１の実施形態と共通の事柄についての記述を省略し、異なる点についてのみ説明する。特に、同様の構成による同様の作用効果については実施形態毎には逐次言及しない。

[0012] 《第１の実施形態》

第１の実施形態では多層基板の一例について示す。図１は第１の実施形態に係る多層基板１０１の斜視図である。図２の上部は多層基板１０１の平面図であり、図２の下部は、図２の上部に示す多層基板１０１の一点鎖線での断面図である。

[0013] 多層基板１０１は複数の基材層９が積層されて成る多層基板である。図２の下部に示す断面図では、各基材層は一体化されているので、隣接する基材層間の線は表れていない。したがって、図中の基材層９は、単一の基材層を指す符号ではなく、複数の基材層を単一の符号で表したものである。このことは、以降に示す他の図についても同様である。

[0014] 多層基板１０１は、それぞれ、互いに対向する表裏面間の厚みが一定又は略一定である第１部分１０及び当該第１部分１０に連続する第２部分２０を備える。

[0015] 第１部分１０の表面は少なくとも１つの凸曲面ＰＳであり、第１部分１０の裏面は凸曲面ＰＳに対向する凹曲面ＤＳである。第２部分２０の表面ＳＳ及び裏面ＢＳは平面である。

- [0016] 凸曲面 P S は、突出方向に対して直交する軸回りに湾曲する面ではない。
図 1、図 2 に示した例では Z 軸方向が突出方向である。この突出方向に対して直交する、例えば Y 軸回りに湾曲する面は円筒面である。図 1、図 2 に示す例では、凸曲面 P S は円筒面ではなく球面である。
- [0017] 凸曲面 P S の形状を別に表現すれば、凸曲面 P S の突出方向を一つの軸とする直交 3 軸のうち、2 つの軸で構成される平面での断面で曲線を描き、且つ他の 2 つの軸で構成される平面での断面でも曲線を描く、と言える。図 1、図 2 において、X、Y、Z の 3 軸の向きを上記直交 3 軸とすれば、凸曲面 P S の X-Y 平面での断面は円であり、凸曲面 P S の Y-Z 平面での断面は円弧であり、凸曲面 P S の X-Z 平面での断面は円弧である。つまり、どの 2 軸平面でも断面は直線を描かない。
- [0018] 凹曲面 D S は、多層基板の厚みを保つ関係で凸曲面 P S に対向する。
- [0019] 各基材層 9 は第 1 部分 1 0 から第 2 部分 2 0 にかけて連続している。また、第 1 部分 1 0 の内部の導体パターン 3 1 と、第 2 部分 2 0 の内部の導体パターン 3 2 とは連続している。
- [0020] 図 2 において、第 1 部分 1 0 と第 2 部分 2 0 との境界 B D を通る断面について、第 1 部分 1 0 と第 2 部分 2 0 との成す角度は断面の位置に応じて異なるが、第 1 部分 1 0 と第 2 部分 2 0 との境界 B D を通る複数の断面について、境界 B D において第 1 部分 1 0 と第 2 部分 2 0 との成す最小角度 θ は鈍角である。この構造により、第 1 部分 1 0 と第 2 部分 2 0 との境界 B D が曲げられても、導体パターン 3 1、3 2 の、特に境界 B D における破損が抑制される。
- [0021] なお、導体パターン 3 1 と導体パターン 3 2 との曲げ部（第 1 部分 1 0 と第 2 部分 2 0 との境界 B D）は、角部が面取りされた形状や湾曲形状であってもよい。そのことにより、導体パターン 3 1 と導体パターン 3 2 との曲げ部に掛かる応力が分散されるので、この導体パターン 3 1 と導体パターン 3 2 との曲げ部の破損がより効果的に抑制される。
- [0022] 図 1 に示す例では、多層基板 1 0 1 の第 1 部分の表面に導体パターン 4 1

が形成されている。この導体パターン41は例えばアンテナ用放射素子であり、多層基板101の内部に形成されている導体パターン31に導通している。図2では表れていないが、基材層9の積層の方向に導通路を形成する接続導体で、導体パターン41と導体パターン31とは接続されている。

[0023] 図2では、多層基板101の内部に導体パターン31、32を備えた例を示したが、導体パターン31、32のうち、伝送線路として用いる箇所には、多層基板101の表裏面にグランド導体層を形成することにより、ストリップラインを構成してもよい。

[0024] なお、導体パターン41と導体パターン31とを電磁界結合又は電界結合させてもよい。

[0025] 第1部分10の凸曲面の突出方向から見た外形は円形状である。また、第1部分10の凸曲面の突出方向から見た第2部分20の外形は矩形状である。

[0026] また、図1、図2に示した例では、凸曲面の突出方向（Z方向）から見た第2部分20の平面形状は、第1部分10を取り囲む位置の一部から突出する形状である。この第2部分20は、第1部分10を取り囲む位置の全部から突出する形状であってもよい。

[0027] 前記基材層9の素材は、例えば、スチレン、ポリエチレン、ポリプロピレン等のポリオレフィン系樹脂、熱可塑性ポリイミド、フッ素系樹脂等の熱可塑性樹脂である。このことにより、第1部分10と第2部分20との境界B-Dでの形状を変化させやすい。

[0028] 以上に示した多層基板101は、例えば、導体パターン31、32を形成した基材層9を含む複数の基材層9を積層した状態で、それら全体を、凸曲面を有する金型及び凹曲面を有する金型により同時に加熱プレスすることにより、第1部分10及び第2部分20を有する多層基板として形成する。

[0029] 《第2の実施形態》

第2の実施形態では、第1の実施形態に比べて、第1部分の導体パターンの形状及び第2部分の構造が異なる例について示す。

[0030] 図3は第2の実施形態に係る多層基板102の断面図である。この多層基板102の平面図は図1、図2に示した多層基板101と類似している。

[0031] 多層基板102は、それぞれ、互いに対向する表裏面間の厚みが一定又は略一定である第1部分10及び当該第1部分10に連続する第2部分20を備える。

[0032] 第2部分20の形状は前記第1部分10から外方へ引き出された形状である。第1部分10は、基材層9及び導体パターンを含んで構成された回路部を備える。また、図3に示した例では、第1部分10から外方へ引き出された第2部分21を備える。このように、第2部分は複数あってもよい。また、第1部分10から引き出す第2部分の引き出し方向は異なってもよい。

[0033] 多層基板102の第1部分10には、多層基板102の内部に形成された導体パターン31に導通し、積層の方向に導通路を形成する接続導体51を備える。第1部分10の表面には導体パターン41が形成されている。接続導体51は導体パターン31と導体パターン41とを導通させる。

[0034] 第2部分20は、基材層9及び導体パターン32を含んで構成された伝送線路を備える。導体パターン32の端部付近には、この導体パターン32に導通し、積層の方向に導通路を形成する接続導体52を備える。

[0035] 第2部分20の裏面にはコネクタ61が搭載されていて、このコネクタ61に接続導体52が接続されている。

[0036] 第1部分10の内部の導体パターン31と、第2部分20の内部の導体パターン32とは連続している。

[0037] 第2部分20は第1部分10より厚みの薄い第2部分の薄部領域22を部分的に有する。この構造により、薄部領域22での屈曲が容易となり、かつ薄部領域内部の導体パターン32に加わる応力を抑えることができるので、導体パターン32の破断が防止できる。

[0038] 以上に示した多層基板102の製造方法の例は次のとおりである。

[0039] 先ず、多層基板102の第1部分10及び第2部分20は、基材層9を積

層した状態で加熱プレスすることにより形成する。

[0040] 基材層 9 の積層の方向の開口部には導電性ペーストを入れ、積層体全体を上記加熱プレスする。このことにより、導電性ペーストで接続導体を形成する。

[0041] 《第 3 の実施形態》

第 3 の実施形態では電子機器について例示する。

[0042] 図 4 は第 3 の実施形態に係る電子機器 201 の断面図である。この電子機器 201 は、回路基板 60、この回路基板 60 に実装された電子部品 62、多層基板 103 及びこの多層基板 103 に取り付けられたコネクタ 61 を含む。図 4 においては、図の明瞭性及び視認性を優先して、断面部分を示すハッチングの図示を略している。多層基板 103 内には導体パターンが形成されているが、図 4 における断面位置では導体パターンが存在しない。

[0043] 多層基板 103 の、第 1 部分 10 の凸曲面の突出方向から見た外形（平面形状）は円形状である。前記凸曲面の突出方向から見た第 2 部分 20 の屈折（又は湾曲）前の平面形状は、第 1 部分 10 を取り囲む位置の一部から突出する矩形状である。このような矩形状部を屈折（湾曲）させることにより、第 2 部分 20 の屈折（湾曲）が容易となる。なお、この屈折（湾曲）部は、図 3 における薄部領域 22 に相当する部分、すなわち、屈折（湾曲）がより容易な部分であってもよい。

[0044] 電子部品 62 は、多層基板 103 の第 1 部分 10 の凹曲面で囲まれる回路基板 60 の部分に実装されている。多層基板 103 の内部及び必要に応じて外面には所定の導体パターンが形成されている。

[0045] 多層基板 103 の第 2 部分 20 は、回路基板 60 の端部を囲むように 2 箇所屈折（又は湾曲）されている。回路基板 60 の回路と多層基板 103 の導体パターンとは、コネクタ 61 を介して電氣的に接続されている。

[0046] 回路基板 60 又はそれに実装されている電子部品 62 は、多層基板 103 の第 2 部分 20 に形成されている導体パターンに接続されている。又は、多層基板 103 の第 1 部分 10 及び第 2 部分 20 に形成されている導体パター

ンに接続されている。

[0047] 本実施形態によれば、多層基板 103 の第 1 部分 10 を、平板状の回路基板 60 に被せるように配置することで、多層基板 103 の第 1 部分 10 と回路基板 60 との間に所定の空間を形成できる。また、多層基板 103 の第 2 部分 20 を屈折（又は湾曲）させることで、第 2 部分 20 を回路基板 60 の裏面にまで到達させることができる。このように、基材層 9 が熱可塑性樹脂であることにより、電子機器の製造上のプロセス自由度が高まる。

[0048] 《第 4 の実施形態》

第 4 の実施形態では、第 1 部分に孔を形成した多層基板を備える電子機器について例示する。

[0049] 図 5 は第 4 の実施形態に係る電子機器 202 の断面図である。この電子機器 202 は、回路基板 60、この回路基板 60 に実装された電子部品 62、多層基板 104 及びこの多層基板 104 に取り付けられたコネクタ 61 を含む。図 5 においては、図の明瞭性及び視認性を優先して、断面部分を示すハッチングの図示を略している。多層基板 104 内には導体パターンが形成されているが、図 5 における断面位置では導体パターンが存在しない。

[0050] 図 4 に示した例と同様に、多層基板 104 の、第 1 部分 10 の凸曲面の突出方向から見た外形（平面形状）は円形状であり、第 2 部分 20 の屈折（又は湾曲）前の平面形状は、第 1 部分 10 を取り囲む位置の一部から突出する矩形状である。

[0051] 回路基板 60 には所定の回路が構成されている。電子部品 62 は例えば MEMS マイクロフォンである。回路基板 60 はこの MEMS マイクロフォンによる音声信号についての回路を含む。

[0052] 多層基板 104 の内部及び必要に応じて外面には所定の導体パターンが形成されている。

[0053] 多層基板 104 の一部には貫通孔 H が形成されている。図 5 に示す例では、MEMS マイクロフォンである電子部品 62 の受音部に近接する位置に貫通孔 H が形成されている。この貫通孔 H は集音効果があるので、所定の指向性を

有するマイクロフォンを構成できる。

[0054] 本実施形態によれば、多層基板 104 の第 1 部分 10 と回路基板 60 との間の所定の空間に電子部品 62 を配置し、多層基板 104 に貫通孔 H を設けたことにより、多層基板 104 と電子部品 62 との有効的な配置が可能となり、電子機器 202 の小型化が容易となる。

[0055] 図 6 は第 4 の実施形態に係る別の電子機器 203 の断面図である。この電子機器 203 は、回路基板 60、多層基板 105、この多層基板 105 に実装された電子部品 62 及びこの多層基板 105 に取り付けられたコネクタ 61 を含む。図 6 においては、図の明瞭性及び視認性を優先して、断面部分を示すハッチングの図示を略している。多層基板 105 内には導体パターンが形成されているが、図 6 における断面位置では導体パターンが存在しない。

[0056] 図 4 に示した例と同様に、多層基板 105 の、第 1 部分 10 の凸曲面の突出方向から見た外形及び内形はともに円形状であり、内形の内側に第 2 部分 24 が連続している。また、第 2 部分 20 の屈折（又は湾曲）前の平面形状は、第 1 部分 10 を取り囲む位置の一部から突出する矩形状である。

[0057] 第 2 部分 24 の裏面には電子部品 62 が実装されている。電子部品 62 は例えば MEMS マイクロフォンである。第 2 部分 24 には貫通孔 H が形成されていて、電子部品 62 は貫通孔 H から外部の音を受ける。

[0058] なお、図 5、図 6 に示した例では音声信号を扱う電子機器について例示したが、光学信号や映像信号を扱う電子機器についても同様に構成できる。

[0059] 《第 5 の実施形態》

第 5 の実施形態では、第 1 部分に電子部品に対する非接触部又は非押圧部を構成する切り欠き形状部が形成された多層基板を備える電子機器について例示する。

[0060] 図 7 の上部は電子機器 204 の平面図、図 7 の下部は、上部に示した一点鎖線での電子機器 204 の断面図である。この電子機器 204 は、回路基板 60、この回路基板 60 に対してコネクタ 63 を介して接続された同軸ケーブル（電子部品）70、多層基板 106 及びこの多層基板 106 に取り付け

られたコネクタ 6 1 を含む。図 7 においては、図の明瞭性及び視認性を優先して、断面部分を示すハッチングの図示を略している。

[0061] 回路基板 6 0 内には導体パターン 6 4 が形成されている。多層基板 1 0 6 の内部には、例えば放射素子としての導体パターン 3 1, 3 2 が形成されている。導体パターン 6 4 の一方の端部はコネクタ 6 3 を介して同軸ケーブル 7 0 に接続されていて、他方の端部はコネクタ 6 1 を介して、多層基板 1 0 6 の第 2 部分 2 0 内の導体パターン 3 2 に接続されている。

[0062] 多層基板 1 0 6 の第 1 部分 1 0 には、電子部品である同軸ケーブル 7 0 に対する非当接部を構成する切り欠き形状部 1 0 N が形成されている。

[0063] 本実施形態によれば、電子部品に当接しない状態（非接触状態又は非押圧状態）で、電子部品とともに多層基板を容易に設けることができる。

[0064] 《第 6 の実施形態》

第 6 の実施形態では、第 2 部分に、所定形状の部材に固定する切り欠き形状部又は開口形状部が形成された多層基板、及びそれを備える電子機器について例示する。

[0065] 図 8 の上部は多層基板 1 0 7 平面図である。図 8 の下部は、図 8 の上部に示す多層基板 1 0 7 を備える電子機器 2 0 5 の断面図である。この断面位置は図 8 の上部に示した一点鎖線で示す位置での断面図である。

[0066] 多層基板 1 0 7 は第 1 部分 1 0 と第 2 部分 2 0 とで構成されている。第 1 部分 1 0 は球面の一部相当又は略球面の一部相当の形状を有し、第 2 部分は円形リング状の平板である。第 2 部分は第 1 部分の周囲に連続している。多層基板 1 0 7 の第 2 部分 2 0 には開口部 1 3 が形成されている。

[0067] 電子機器 2 0 5 は、図 8 の下部に示すように、回路基板 6 0、この回路基板 6 0 上に設けられたピン 6 8、多層基板 1 0 7 及びこれらを収める筐体 7 1 を備える。

[0068] 多層基板 1 0 7 は、その開口部 1 3 を回路基板 6 0 上のピン 6 8 に挿入することで固定されている。

[0069] 図 9 は第 6 の実施形態に係るもう一つの多層基板 1 0 8 の平面図である。

この多層基板 108 は、図 8 に示した例と同様に、球面の一部相当又は略球面の一部相当の形状の第 1 部分 10 と、円形リング状の平板である第 2 部分 20 とで構成されている。多層基板 108 は、図 8 に示した多層基板 107 とは異なり、第 2 部分 20 に切り欠き部 12 が形成されている。

[0070] 多層基板 108 は、その切り欠き部を回路基板の一部等、所定形状の部材、に固定することによって、固定できる。

[0071] なお、図 8、図 9 に示した例では、第 2 部分 20 が円形リング状である例を示したが、リング形状は円形に限らない。例えば、第 2 部分 20 の外形は四角形などの多角形や、角部に丸みをもった多角形であってもよい。

[0072] 《第 7 の実施形態》

第 7 の実施形態では、多層基板とそれに搭載された電子部品とを含む電子機器について例示する。

[0073] 図 10、図 11 及び図 12 は、第 7 の実施形態に係る各電子機器の断面図である。

[0074] 図 10 は、電子部品 65 が実装された多層基板 109 が回路基板 60 に搭載されることによって構成された電子機器 206 の断面図である。多層基板 109 は第 1 部分 10 と第 2 部分 20、24 とを備える。第 1 部分 10 は、その凸曲面の突出方向から見た平面形状が円形リング状である。また、上記凸曲面の突出方向から見た第 2 部分 24 の形状は円形である。また、上記凸曲面の突出方向から見た第 2 部分 20 の外形状は直方体状である。

[0075] なお、上記凸曲面の突出方向から見た第 2 部分 24 の形状は円形に限らない。例えば、四角形などの多角形や、角部に丸みをもった多角形であってもよい。また、上記凸曲面の突出方向から見た第 1 部分 10 は円形リング状に限らない。例えば、四角形などの多角形のリング状や、角部に丸みをもった多角形のリング状であってもよい。

[0076] 図 10 に示す例では、第 2 部分 20 と第 1 部分 10 との境界 BD は、多層基板 109 の表面が凹曲面であり、その裏面が凹曲面に対向する凸曲面である。

- [0077] 多層基板 109 の内層には導体パターン 30 が形成されている。多層基板 109 の端部には端子電極 42 が形成されている。また、多層基板 109 の表面の所定位置に、電子部品 65 を実装するための端子電極 43 が形成されている。導体パターン 30 は端子電極 42 と端子電極 43 との間の配線パターンとして作用する。
- [0078] 回路基板 60 の表面には電子部品 67A, 67B, 67C が実装されている。この回路基板 60 の端子電極に多層基板 109 の端子電極 42 を接続することにより、既に電子部品 65 が実装された多層基板 109 を回路基板 60 に搭載できる。このように、多層基板 109 を回路基板 60 に搭載した状態で、電子部品 67A, 67B, 67C は、多層基板 109 の第 1 部分 10 及び第 2 部分 24 と回路基板 60 との間の空間内に存在する。そのため、電子部品 67A, 67B, 67C は外部からの物品の衝突などに対して多層基板 109 で保護できる。また、多層基板 109 の凹み部に電子部品 67A, 67B, 67C を配置できるので、多層基板 109 の凹み部の空間を有効利用でき、全体に小型化できる。
- [0079] 図 11 は、電子部品 66 が実装された多層基板 110 が回路基板 60 に搭載されることによって構成された電子機器 207 の断面図である。多層基板 110 は第 1 部分 10、第 2 部分 20, 24 及び境界 BD を備える。多層基板 110 の平面形状は多層基板 109 の平面形状と同様である。
- [0080] 多層基板 110 の内層には導体パターン 30, 47 が形成されている。多層基板 110 の端部には端子電極 42, 48 が形成されている。また、多層基板 110 の裏面の所定位置に、電子部品 66 を実装するための端子電極 44 が形成されている。導体パターン 30 は端子電極 42 と端子電極 44 との間の配線パターンとして作用する。導体パターン 47 は多層基板 110 の面方向に拡がる導体層を形成する。この導体パターン 47 は端子電極 48 を介して、回路基板 60 のグランドに接続されている。したがって、電子部品 66 を含む、多層基板 110 の下部全体を電磁界シールドする。なお、電子部品 66 又は多層基板 110 の下部の電磁界シールドの目的に応じては、導体

パターン４７はグラウンドに接続されていなくてもよい。また、導体パターン４７は多層基板１１０の上面に形成されていてもよい。

[0081] 図１１に表れているように、回路基板６０の端子電極に多層基板１１０の端子電極４２を接続することにより、既に電子部品６６が実装された多層基板１１０を回路基板６０に搭載できる。このように、多層基板１１０を回路基板６０に搭載した状態で、電子部品６６は、多層基板１１０の第１部分１０及び第２部分２４と回路基板６０との間の空間内に存在する。そのため、電子部品６６は外部からの物品の衝突などに対して多層基板１１０で保護できる。

[0082] 図１２は、電子部品６５、６６が実装された多層基板１１１が回路基板６０に搭載されることによって構成された電子機器２０８の断面図である。多層基板１１１は第１部分１０、第２部分２１、２３、２４及び境界ＢＤを備える。第１部分１０は、その凸曲面の突出方向から視た平面形状がいずれも円形リング状である。また、上記凸曲面の突出方向から視た第２部分２４の形状は円形である。また、上記凸曲面の突出方向から視た第２部分２１の平面形状は円形リング状である。さらに、第２部分２１と第２部分２３との境界ＢＤも平面形状は円形リング状である。

[0083] 多層基板１１１の内層には導体パターン３０Ａ、３０Ｂが形成されている。多層基板１１１の端部には端子電極４２Ａ、４２Ｂが形成されている。また、多層基板１１１の表面の所定位置に、電子部品６５を実装するための端子電極４３が形成されていて、多層基板１１１の裏面の所定位置に、電子部品６６を実装するための端子電極４４が形成されている。導体パターン３０Ａは端子電極４２Ａと端子電極４３との間の配線パターンとして作用する。また、導体パターン３０Ｂは端子電極４２Ｂと端子電極４４との間の配線パターンとして作用する。

[0084] 図１２に示した例のように電子部品を多層基板の表裏両面に実装してもよい。

[0085] 《第８の実施形態》

第8の実施形態では、積層方向に沿った断面において、第1部分を含む曲面で構成される空間を複数備える多層基板及びそれを備える電子機器について例示する。

[0086] 図13の上部は、第8の実施形態に係る電子機器209の平面図、図13の下部は、電子機器209の、図13の上部における一点鎖線での断面図である。電子機器209は多層基板112とそれに実装された電子部品69とで構成されている。

[0087] 多層基板112は、第1部分10と第2部分21, 24とを備える。第1部分10と第2部分24との間には境界BDが形成されている。この多層基板112の第2部分24に電子部品69が実装されている。

[0088] この多層基板112は、第1部分10を含む曲面で構成される、水平切断ドーナツ状の空間SPを備える。断面においては、図13に表れているように、二つの空間SP, SPが存在する。これらの空間に例えば電子部品や機器の部材を配置することもできる。

[0089] 図14の上部は、第8の実施形態に係る別の多層基板113の平面図、図14の下部は、多層基板113の、図14の上部における一点鎖線での断面図である。

[0090] 多層基板113は、第1部分10, 11と第2部分21を備える。第1部分10と第1部分11との間には境界が形成されている。また、第1部分11と第2部分21との間に境界が形成されている。

[0091] 多層基板113は、第1部分11を含む曲面で構成される、水平切断ドーナツ状の空間SP1を備える。また、この多層基板113は、第1部分10を含む曲面で構成される、水平切断球状の空間SP2を備える。断面においては、図14の断面図に表れているように、二つの空間SP1, SP2が存在する。これらの空間に例えば電子部品や機器の部材を配置することができる。

[0092] 一般的に、何かに実装された多層基板の外面から、又は多層基板の実装面から、多層基板に加わる外力によって、多層基板の各部に応力が掛かる。本

実施形態によれば、多層基板 112, 113 の断面において、複数の空間 (SP), (SP1, SP2) が存在するため、多層基板 112, 113 に掛かる応力に対する変形量が抑制される。すなわち、多層基板 112, 113 の剛性を高めることができる。

[0093] 《第 9 の実施形態》

第 9 の実施形態では、多層基板に、これまでに示した例とは異なる導体パターンを形成して成る電子機器について例示する。

[0094] 図 15 の上部は第 9 の実施形態に係る電子機器 210 の平面図である。図 15 の下部は図 15 の上部における一点鎖線での断面図である。

[0095] この電子機器 210 は、多層基板 114 と、その表面に形成された導体パターン 45 とを含む。

[0096] 多層基板 114 は第 1 部分 10 と第 2 部分 20 とで構成されている。第 1 部分 10 の平面形状の外形は円形である。第 2 部分 20 の平面形状は円形リング状である。多層基板 114 の内層には導体パターン 30 が形成されている。多層基板 114 の端部には端子電極 42 が形成されている。

[0097] 多層基板 114 の表面の所定位置には、パッチアンテナの導体パターン 45 が形成されている。導体パターン 30 の一端は、基材層 9 の積層方向に存在する接続導体を介して端子電極 42 に接続されている。また、導体パターン 30 の他端は、基材層 9 の積層方向に存在する接続導体を介して導体パターン 45 の所定位置に接続されている。

[0098] このようにして、多層基板 114 の第 1 部分 10 にパッチアンテナを構成してもよい。

[0099] 図 16 の上部は第 9 の実施形態に係る別の電子機器 211 の平面図である。図 16 の下部は図 16 の上部における一点鎖線での断面図である。

[0100] この電子機器 210 は、多層基板 114 と、その表面に形成された導体パターン 46 とを含む。多層基板 114 は図 15 に示した多層基板 114 と同様である。

[0101] 多層基板 114 の内層には導体パターン 30A, 30B が形成されている

。多層基板 114 の端部には端子電極 42A, 42B が形成されている。

[0102] 多層基板 114 の第 1 部分 10 の表面の所定位置には、二重スパイラルアンテナの導体パターン 46 が形成されている。導体パターン 30A, 30B の一端は、基材層 9 の積層方向に存在する接続導体を介して端子電極 42A, 42B にそれぞれ接続されている。また、導体パターン 30A, 30B の他端は、基材層 9 の積層方向に存在する接続導体を介して導体パターン 46 の内周端に接続されている。

[0103] このようにして、多層基板 114 の第 1 部分 10 に二重スパイラルアンテナを構成してもよい。

[0104] 《第 10 の実施形態》

第 10 の実施形態では、第 1 部分によって第 2 部分が突出した形状の（つまり、突出した面（突出部）に平面を含む）多層基板について例示する。

[0105] 図 17 の上部は第 10 の実施形態に係る多層基板 115 の平面図である。図 17 の下部は図 17 の上部における一点鎖線で示す位置での断面図である。

[0106] この多層基板 115 は第 1 部分 10 と第 2 部分 20 とを含む。第 1 部分 10 の平面形状は角部に丸みを帯びた長方形リング状である。第 2 部分 20 の平面形状は角部に丸みを帯びた長方形状である。これまでに示した例では、第 1 部分 10 の凸曲面の突出方向から見た外形は円形状であったが、本実施形態のように、多角形状であってもよい。また、角部に丸みを帯びた多角形状であってもよい。

[0107] 図 17 に示した例では、第 1 部分 10 の表面の全体が突出方向（Z 方向）の軸回りに湾曲する面というわけではなく、第 1 部分 10 の表面の凸曲面は、突出方向（Z 方向）の軸の回りの 4 箇所が存在する。

[0108] 《第 11 の実施形態》

第 11 の実施形態では、これまでに示した多層基板とは第 1 部分及び第 2 部分の形状が異なる多層基板と、それを備える電子機器とについて例示する。

- [0109] 図18は第11の実施形態に係る多層基板116の斜視図である。図19の上部は多層基板116を備える電子機器212の平面図であり、図19の下部は、図19の上部に示す一点鎖線での断面図である。
- [0110] この多層基板116は第1部分10と第2部分20A、20Bとを含む。図18、図19に表れているように、第2部分20Aの平面形状は角部に丸みを帯びた長方形であり、第2部分20Bの平面形状は内周の角部に丸みを帯びた長方形リング状である。
- [0111] 第1部分10の表面は凸曲面であり、第1部分10の裏面は凸曲面对向して多層基板116に厚みをもたせる凹曲面であり、第2部分20A、20Bは互いに対向する表裏面間の厚みが一定又は略一定である。
- [0112] 第2部分20Aの基材層9の内層には放射素子（パッチアンテナ）としての導体パターン45が形成されている。また、第2部分20A、20B及び第1部分10の基材層9の内層には配線導体パターンとしての導体パターン30A、30Bが形成されている。これら導体パターン30A、30Bの一端は層間接続導体を介して導体パターン45に接続されている。
- [0113] 第2部分20Bには端子電極42A、42B、42Cが形成されていて、それら端子電極42A、42B、42Cは第2部分20Bの下面の露出している。導体パターン30A、30Bの他端は端子電極42A、42Bに連続している。これら端子電極42A、42B、42Cは回路基板60に対する実装用電極として作用する。回路基板60には信号線としての導体パターン64A、64B及びグランド導体層としての導体パターン64Gが形成されている。
- [0114] この実施形態では、放射素子としての導体パターン45の2箇所を給電点とすることで、導体パターン45は2つの偏波面を有する放射素子として用いることができる。
- [0115] この実施形態で示すように、多層基板116に2つの第2部分20A、20Bを備え、回路基板60に実装される第2部分20Bに端子電極42A、42B、42Cを有していてもよい。

- [0116] なお、多層基板 116 の外形は四角形以外に円形であっても同様に構成できる。放射素子としての導体パターン 45 についても四角形以外に円形や多角形であってもよい。さらに、第 1 部分 10 から突出する第 2 部分 20B は第 1 部分 10 を取り囲む位置の全部（全周）に限らず、第 1 部分 10 の一部から突出する部分であってもよい。また、給電点及び給電用の導体パターンは単一であってもよい。また、給電用の導体パターン 30A, 30B が形成される基材層 9 は、放射素子としての導体パターン 45 が形成される基材層 9 より薄くてもよい。また、第 2 部分 20A は Z 方向に突出していることにより、第 2 部分 20A の下部に空洞部が形成されているが、この空洞部に樹脂を充填してもよい。
- [0117] 本実施形態によれば、次のような効果を奏する。
- [0118] (a) グランド導体層としての導体パターン 64G と、放射素子としての導体パターン 45 との間に空洞部を設けることで、放射素子とグランド導体との間の静電容量を下げるができるため、それに応じて放射素子を拡大でき、そのことでアンテナ利得を高められる。
- [0119] (b) 給電用の導体パターン 30A, 30B とグランド導体層としての導体パターン 64G との間に空洞部を設けることになり、空洞（空気）は基材層 9 より低誘電率であるので、導体パターン 30A と導体パターン 30B との間の電磁界結合係数を下げることができる。このことにより、偏波面の異なる 2 つの信号のアイソレーションを高めることができる。また、給電用の導体パターン 30A, 30B が形成されている基材層 9 を薄くすることにより、その効果がより高まる。
- [0120] (c) 第 2 部分 20A の周囲を第 1 部分 10 で囲んでいるため、第 2 部分 20A の機械的強度が高められる。さらに、剛性が高まることにより、放射素子としての導体パターン 45 を所定のアンテナ特性に定めることができる。
- [0121] (d) 空洞部に低誘電率の樹脂を充填することで、多層基板 116 の剛性をさらに高めることができる。
- [0122] (e) 空洞部に高誘電率の樹脂を充填すれば、所定の共振周波数を得るため

の放射素子としての導体パターン４５を小型化できるので、小型の多層基板１１６及び小型の電子機器２１２が得られる。

[0123] 《第１２の実施形態》

第１２の実施形態では、電磁界シールド用導体パターンが形成された多層基板を備える電子機器について例示する。

[0124] 図２０は第１２の実施形態に係る多層基板１１７Ａの斜視図である。図２１は図２０における一点鎖線での断面図である。

[0125] 図２０に示すように、多層基板１１７Ａは第１部分１０と第２部分２０Ａ、２０Ｂとを含む。第１１の実施形態で示した例と同様に、第２部分２０Ａの平面形状は角部に丸みを帯びた長方形であり、第２部分２０Ｂの平面形状は内周の角部に丸みを帯びた長方形リング状である。

[0126] また、第１１の実施形態で示した例と同様に、第１部分１０の表面は凸曲面であり、第１部分１０の裏面は凸曲面に対向して多層基板１１７Ａに厚みをもたせる凹曲面である。

[0127] 第２部分２０Ａの基材層９の外表面には放射素子（パッチアンテナ）としての導体パターン４５が形成されている。また、第２部分２０Ａ、２０Ｂ及び第１部分１０の基材層９の内層には配線導体パターンとしての導体パターン３３、３４が形成されている。導体パターン３３の一端は層間接続導体を介して導体パターン４５に接続されている。

[0128] 図２１に示すように、基材層９の内表面に導体パターン４９が形成されている。この導体パターン４９はグラウンド導体層として形成されている。図２１において破線は導体パターン３４と導体パターン４５との間に導体パターン４９が存在していることを示している。この構造により、導体パターン４９は放射素子と信号線との干渉を抑制する。また、導体パターン４９と導体パターン３３及びその間に存在する基材層９によってマイクロストリップラインが構成されている。同様に、導体パターン４９と導体パターン３４及びその間に存在する基材層９によってマイクロストリップラインが構成されている。

[0129] 図 2 2 は第 1 2 の実施形態に係る多層基板 1 1 7 B の斜視図である。図 2 3 の上部は図 2 2 における一点鎖線 A - A 部分での断面図であり、図 2 3 の下部は図 2 2 における一点鎖線 B - B 部分での断面図である。

[0130] 図 2 2 に示す例では、導体パターン 4 5 にスロット 4 5 S が形成されている。すなわち、導体パターン 4 5 及び基材層 9 によってスロットアンテナが構成されている。基材層 9 の内層には導体パターン 8 4 が形成されていて、この導体パターン 8 4、グランド導体層としての導体パターン 4 5、4 9 及び基材層 9 によってストリップラインが構成されている。このストリップラインが、スロットアンテナに対する給電線路として作用する。

[0131] 本実施形態によれば、積層基板の一部をマイクロストリップラインやストリップラインとして用いることができるので、信号の伝送線路を別途設ける必要がなく、集積化された電子機器が得られる。

[0132] 《第 1 3 の実施形態》

第 1 3 の実施形態では、これまでに示した多層基板とは形状が異なる第 1 部分を有する多層基板及びそれを備える電子機器について例示する。

[0133] 図 2 4 は第 1 3 の実施形態に係る多層基板 1 1 8 及びそれに実装された電子部品 6 2 とで構成された電子機器 2 1 3 の斜視図である。

[0134] 多層基板 1 1 8 は第 1 部分 1 0 と第 2 部分 2 0 とで構成されている。第 1 部分 1 0 及び第 2 部分 2 0 は一定厚みの板状である。第 1 部分 1 0 の表裏面は、円筒面のように突出方向の軸回りに湾曲する面ではなく、円錐の側面の一部である。第 2 部分 2 0 は円形板状又は楕円形板状であり、表面は平面である。

[0135] 本実施形態に示すように、多層基板 1 1 8 の第 1 部分 1 0 の表裏面は球又は楕円体の一部に限らず曲面であればよい。

[0136] 《第 1 4 の実施形態》

第 1 4 の実施形態では、多層基板の第 1 部分及び第 2 部分に形成された導体パターンについて、これまでに示した例とは異なる例を示す。第 1 4 の実施形態に係る多層基板は、電磁界シールド用導体パターンが形成された多層

基板である。

[0137] 図 25 の上部は第 14 の実施形態に係る多層基板 119 及びそれに実装された電子部品 62 とで構成された電子機器 214 の斜視図である。

[0138] 多層基板 119 は第 1 部分 10 と第 2 部分 20 とで構成されている。第 1 部分 10 及び第 2 部分 20 は一定厚みの板状である。第 1 部分 10 及び第 2 部分 20 の形状は図 24 に示した例と同様である。

[0139] 図 25 の下部は図 25 の上部の一点鎖線での断面図である。

[0140] 電子機器 214 は図外の回路基板に実装される。第 1 部分 10 の内層には導体パターン 34 が形成されている。また、第 1 部分 10 から第 2 部分 20 にかけて、それらの内層に導体パターン 33 が形成されている。導体パターン 34 は伝送信号の信号線である。導体パターン 33 は、その一端が電子部品 62 の端子電極に導通し、他端が回路基板の端子電極に導通する信号線である。

[0141] 第 1 部分 10 及び第 2 部分 20 の内表面又は内表面の近傍にはグラウンド導体としての導体パターン 49 が形成されている。導体パターン 33 と導体パターン 34 との間には導体パターン 49 が存在している。この構造により、導体パターン 49 は導体パターン 33 と導体パターン 34 とを電磁界シールドする。すなわち、導体パターン 33 と導体パターン 34 との干渉を抑制する。また、導体パターン 49 と、導体パターン 33 と、基材層 9 とによってマイクロストリップラインが構成されている。同様に、導体パターン 49 と、導体パターン 34 と、基材層 9 とによってマイクロストリップラインが構成されている。なお、前記導体パターン 34 の一部を放射素子として作用させる場合には、その放射素子に対向する領域に導体パターン 49 が無い（グラウンド導体パターンが開口している）状態であってもよい。

[0142] 第 1 部分 10 の表面は凸曲面 PS であり、第 1 部分 10 の裏面は凸曲面 PS に対向して多層基板 119 に厚みをもたせる凹曲面 DS である。この凹曲面 DS の内空間は、例えば回路基板や、回路基板に実装された電子部品を電磁界シールド導体として作用する。すなわち、導体パターン 49 はマイクロ

ストリップラインのグラウンド導体層であるだけでなく、凹曲面D Sにより形成される凹部の内側に存在する回路基板や、その回路基板に実装された電子部品、を電磁界シールドする。

[0143] 図26は第14の実施形態に係る別の多層基板120について示す図である。

[0144] 図26の上部は、第1部分10の内部の構造を示す斜視図で有り、図26の下部は図26の上部の一点鎖線での断面図である。

[0145] 第1部分10の内層には導体パターン34が形成されている。また、第1部分10から第2部分20にかけて、それらの内層に導体パターン33が形成されている。導体パターン34は伝送信号の信号線又は放射素子である。

[0146] このように、第1部分は円筒形状であっても本発明は同様に適用できる。

[0147] 《第15の実施形態》

第15の実施形態では、多層基板の第1部分及び第2部分に形成された導体パターンについて、これまでに示した例とは異なる例を示す。

[0148] 図27の上部は第15の実施形態に係る多層基板121の斜視図であり、図27の下部は、図27の上部の一点鎖線で示す位置での縦断面図である。

[0149] 図27に示すように、多層基板121は第1部分10と第2部分20A、20Bとを含む。第12の実施形態で示した例と同様に、第2部分20Aの平面形状は角部に丸みを帯びた長方形であり、第2部分20Bの平面形状は内周の角部に丸みを帯びた長方形リング状である。

[0150] また、第12の実施形態で示した例と同様に、第1部分10の表面は凸曲面であり、第1部分10の裏面は凸曲面に対向して多層基板121に厚みをもたせる凹曲面である。

[0151] 第2部分20Aの基材層9の内部には、配線パターンとしての導体パターン81、82が形成されている。また、第1部分10及び第2部分20A、20Bの内表面又は内表面の近傍にはグラウンド導体としての導体パターン49が形成されている。この導体パターン49と、導体パターン81、82と、基材層9とによってそれぞれマイクロストリップラインが構成されている

。

[0152] 凹曲面D Sの内空間は、例えば回路基板や、回路基板に実装された電子部品を電磁界シールド導体として作用する。すなわち、導体パターン49はマイクロストリップラインのグランド導体層であるだけでなく、凹部内の回路基板や、回路基板に実装された電子部品を電磁界シールドする。

[0153] 《第16の実施形態》

第16の実施形態では、多層基板の第1部分及び第2部分に形成された信号線として導体パターンやグランド導体層としての導体パターンの各種配置例について例示する。

[0154] 図28から図31に示す図は第16の実施形態に係る各多層基板の断面図である。

[0155] 図28中に示す3つの断面図は、多層基板の第1部分10及び第2部分20Aを通る位置での断面図である。

[0156] 図28の上部において、二点鎖線は第1部分10と第2部分20Aとの境界面を表している。この例では、第2部分20Aに信号線としての導体パターン82が形成されていて、第1部分10に信号線としての導体パターン81が形成されている。導体パターン49は導体パターン81と導体パターン82との干渉を抑制する。このように、天面となる第2部分20Aに信号線としての導体パターン82が形成されていてもよい。

[0157] 図28の中部に示す例では、信号線としての導体パターン81と導体パターン82との間に、導体パターン81、82と同層にグランド導体としての導体パターン83が形成されている。この構造によれば、グランド導体層としての導体パターン49の部分的な欠損があっても、導体パターン83がグランド導体層として作用する。また、導体パターン83が屈曲部の構造状の強度を高めるため、導体パターン49の欠損が抑制される。また、基材層9の内層に形成された導体パターン49が導体パターン81と導体パターン82との干渉を抑制する。

[0158] 図28の下部に示す例では、信号線としての導体パターン81、82との

間にグラウンド導体としての導体パターン83が形成されていて、このグラウンド導体としての導体パターン83とグラウンド導体としての導体パターン49とを導通させる層間接続導体53が形成されている。このように基材層9の内部のグラウンド導体としての導体パターンと、基材層9の表面又は表面近傍に広がるグラウンド導体層とが導通していてもよい。

[0159] 図29の上部及び中部に示す図において、第1部分10は円筒形状部分であり、第2部分20は平面形状部分である。図29の上部に示す例では、第1部分10に信号線としての導体パターン81A、81Bがグラウンド導体層としての導体パターン49を挟む関係の位置に形成されている。このように、断面図において、別の側面に相当する位置にそれぞれ信号線としての導体パターン81A、81Bが形成されていてもよい。導体パターン49は導体パターン81Aと導体パターン81Bとの干渉を抑制する。

[0160] 図29の中部に示す図において破線は複数の基材層9の層間境界を示している。基材層9にはそれぞれ信号線としての導体パターン81、82が形成されているが、その形成層は異なっている。このように、基材層9の互いに異なる層に導体パターン81、82が形成されていてもよい。

[0161] 図29の下部に示す図において二点鎖線は第1部分10と第2部分20A、20Cとの境界面を示している。第1部分10には信号線としての導体パターン83、第2部分20Cには信号線としての導体パターン81がそれぞれ形成されている。

[0162] 図30は、信号線としての導体パターン81、82と、それを積層方向に挟む2層のグラウンド導体層としての導体パターン49A、49Bとを備える多層基板の一例である。この多層基板は、第1部分10の基材層9の内部に信号線としての導体パターン81が形成されていて、第2部分20の基材層9の内部に信号線としての導体パターン82が形成されている。基材層9の内表面にはグラウンド導体層としての導体パターン49A、外表面にはグラウンド導体層としての導体パターン49Bがそれぞれ形成されている。導体パターン81、82は導体パターン49A、49Bの間に配置されている。

[0163] このように、グランド導体層としての導体パターン４９Ｂを設けることにより、信号線としての導体パターン８１、８２が外部のノイズから電磁界シールドされる。また、導体パターン８１、８２からのノイズの外部への輻射が抑制される。なお、導体パターン４９Ａは導体パターン８１と導体パターン８２との干渉を抑制する。

[0164] この導体パターン４９Ａ、４９Ｂと、導体パターン８１、８２と、基材層９とによってそれぞれストリップラインが構成されている。

[0165] 図３１は、グランド導体層としての導体パターンの形成位置の幾つかの例について示す図である。

[0166] 図３１の上部の図に示す例では、内側のグランド導体層としての導体パターン４９Ａは基材層９の内表面ではなく、内表面付近で基材層９の内部に形成されている。

[0167] 図３１の中部の図に示す例では、外側のグランド導体層としての導体パターン４９Ｂは基材層９の外表面ではなく、外表面付近で基材層９の内部に形成されている。

[0168] 図３１の下部の図に示す例では、内側のグランド導体層としての導体パターン４９Ａは基材層９の内表面付近で基材層９の内部に形成されている。また、外側のグランド導体層としての導体パターン４９Ｂは基材層９の外表面付近で基材層９の内部に形成されている。

[0169] なお、図３１に示した例では、導体パターン４９Ａ、導体パターン４９Ｂ又はその両方を基材層９の内部（内層）に設けた例を示したが、導体パターン４９Ａ、４９Ｂの露出面にレジスト膜を被覆することで、導体パターン４９Ａ、導体パターン４９Ｂ又はその両方を非露出状態にしてもよい。

[0170] 《第１７の実施形態》

第１７の実施形態では、第２部分に電子部品を実装した電子機器について例示する。

[0171] 図３２は第１７の実施形態に示す電子機器２１５の主要部の断面図である。基材層９の内部に信号線としての導体パターン３０Ａ、３０Ｂが形成され

ていて、基材層 9 の内表面にグランド導体層としての導体パターン 4 9 が形成されている。第 2 部分 2 0 B の上面には電子部品 6 5 が実装されている。

[0172] 本実施形態によれば、導体パターン 3 0 A と導体パターン 3 0 B 及び電子部品 6 5 とは、導体パターン 4 9 によって干渉が抑制される。また、導体パターン 4 9 は、凹曲面 D S により形成される凹部の内側に存在する回路基板や、その回路基板に実装された電子部品、を電磁界シールドする。

[0173] 《第 1 8 の実施形態》

第 1 8 の実施形態では、リブを有する多層基板及びそれを備える電子機器について例示する。

[0174] 図 3 3 の上部は第 1 8 の実施形態に係る電子機器 2 1 6 の斜視図であり、図 3 3 の中部は、図 3 3 の上部の X-X 部分での多層基板 1 2 2 の縦断面図であり、図 3 3 の下部は、図 3 3 の上部の Y-Y 部分での多層基板 1 2 2 の縦断面図である。

[0175] 図 3 3 の上部に示すように、電子機器 2 1 6 は、多層基板 1 2 2 と多層基板 1 2 2 に実装された電子部品 6 9 A, 6 9 B とを備える。多層基板 1 2 2 は、基材層 9 及び導体パターンを含む。

[0176] 図 3 3 の上部及び中部に示すように、多層基板 1 2 2 は、第 2 部分 2 0 の一部（この例では大部分）は平面状に広がる平面部を形成し、第 1 部分 1 0 は前記平面部から突出するリブ 8 を形成する。

[0177] リブ 8 は熱可塑性樹脂による基材層 9 の絞り加工により、多層基板 1 2 2 の一部として形成される。

[0178] 第 2 部分 2 0 の基材層 9 の積層方向（Z 方向）に視て、リブ 8 は平面部を取り囲む閉ループを成す。この例では、二つの矩形状の閉ループが隣接している。

[0179] 図 3 3 の中部及び下部に示すように、多層基板 1 2 2 は、信号線としての導体パターン 8 1 と、それを積層方向に挟む 2 層のグランド導体層としての導体パターン 4 9 A, 4 9 B とを備える。信号線としての導体パターン 8 1 はリブ 8 の延伸方向に対する直交方向にパターンニングされている。また、

この信号線としての導体パターン 8 1 と同一層にグランド導体層としての導体パターン 8 3 が形成されている。そして、この導体パターン 8 3 と層間接続導体 5 3 を介して導体パターン 4 9 A, 4 9 B が接続されている。

[0180] 信号線としての導体パターン 8 1 と、それを積層方向に挟む 2 層のグランド導体層としての導体パターン 4 9 A, 4 9 B と、導体パターン 4 9 A, 4 9 B と導体パターン 8 1 との間の基材層 9 とによってトリプレートのストリップラインが構成されている。

[0181] 本実施形態によれば、閉ループのリブ 8 の突出によって多層基板 1 2 2 の剛性が高まり、多層基板 1 2 2 及び電子機器 2 1 6 の平面形状安定性が高い。また、リブ 8 にも、信号線としての導体パターン 8 1、グランド導体層としての導体パターン 4 9 A, 4 9 B、導体パターン 8 3 及び層間接続導体 5 3 を備えるので、リブ 8 による、上記剛性向上効果が高い。

[0182] 図 3 4 は第 1 8 の実施形態に係る他の幾つかの多層基板の平面図である。この図 3 4 中の (1) に示すように、リブ 8 の閉ループは単一であってもよい。また、(2) に示すように、3 以上であってもよい。また、(3) に示すように、リブ 8 は閉ループを形成するだけでなく、閉ループの内方へ延伸する部分を有していてもよい。また、(4) (5) に示すように、リブ 8 が、閉ループを形成するリブと、それとは独立した別のリブとで構成されていてもよい。

[0183] リブ 8 の延伸方向は互いに直交する方向であることに限らず、(6) (7) (8) に示すように、非直交方向に延伸するリブを含んでいてもよい。

[0184] 図 3 5 の上部及び下部は第 1 8 の実施形態に係る他の多層基板の断面図である。これら断面部の断面位置は、図 3 3 における中部及び下部に示した断面図の断面位置に対応している。図 3 5 に示す例では、信号線としての導体パターン 8 1 と、1 層のグランド導体層としての導体パターン 4 9 とを備える。信号線としての導体パターン 8 1 と、グランド導体層としての導体パターン 4 9 と、導体パターン 4 9 と導体パターン 8 1 との間の基材層 9 とによってマイクロストリップラインが構成されている。

[0185] このように、リブ 8 の延伸方向に直交する伝送線路はマイクロストリップラインであってもよい。

[0186] 図 3 6 は第 1 8 の実施形態に係る他の幾つかの多層基板の断面図である。これら断面図の断面位置は図 3 3 の中部に示した断面図の断面位置に対応している。

[0187] 図 3 6 中の (1) に示すように、リブには必ずしも信号線としての導体パターンが形成されていなくてもよい。また、(2) に示すように、リブの外面にのみ導体パターンが形成されていてもよい。同様に、(3) に示すように、リブの内側にのみ導体パターンが形成されていてもよい。また、(4) に示すように、信号線としての導体パターン 8 1 A, 8 1 B がリブの延伸方向に延伸するパターンであってもよい。また、(5) (6) に示すように、基材層 9 の下面にグランド導体層としての導体パターン 4 9 A, 4 9 B が形成されていて、且つ、リブの延伸方向へ延伸する信号線としての導体パターン 8 1 が形成されていてもよい。この構造をコプレーナ導波路として用いてもよい。また、(7) に示すように、リブの内面にグランド導体層としての導体パターン 4 9 A, 4 9 B が形成されていて、第 2 部分の下面に外部電極としての導体パターン 4 9 A, 4 9 B が形成されていてもよい。また、(8) に示すように、リブの内層に信号線としての導体パターン 8 1 A, 8 1 B, 8 1 C が形成されていて、基材層 9 の下面にグランド導体層としての導体パターン 4 9 が形成されていてもよい。この構造により、リブの延伸方向にそれぞれ延伸する 3 つのマイクロストリップラインを構成してもよい。

[0188] 本実施形態によれば、グランド導体層間が層間接続導体で接続されていると、不要共振や電磁波の不要放射による損失を抑制できる。また、信号線の両端が層間接続導体により外層に引き出され、コネクタ、チップ部品、IC 等に容易に接続できる。また、他の伝送線路に対してはんだ等で接続することも容易である。

[0189] 《第 1 9 の実施形態》

第 1 9 の実施形態では、第 1 部分に、又は、第 1 部分から第 2 部分にかけ

て伝送路を設けた多層基板及びそれを備える電子機器について例示する。

[0190] 図37の上部は、多層基板123及び電子部品62、65を備える電子機器217の平面図であり、図37の下部は上部における一点鎖線での縦断面図である。

[0191] 図38の上部は電子機器217の部分断面図である。ここでは、図の明瞭化のために、基材層9のハッチングは省略している。図38の下部は図38の上部における一点鎖線での横断面図である。この図においても、図の明瞭化のために、基材層9のハッチングは省略している。

[0192] 基材層9にはグラウンド導体層としての導体パターン49、信号線としての導体パターン81及び主にその間の基材層9によって、2箇所マイクロストリップラインMSLが構成されている。また、導体パターン81のうち層方向に拡がる箇所に対向する導体パターン80が形成されている。この導体パターン80と導体パターン81との間に、層方向に所定幅を保って配列された位置で、導体パターン80、81同士を基材層9の積層方向に導通させる複数の層間接続導体53が形成されている。導体パターン80、81、複数の層間接続導体53、導体パターン80、81及び複数の層間接続導体53との間の基材層9によって導波管が構成されている。導体パターン81、82の間隔は半波長より十分に薄いため、伝搬モードとしてはTE₁₀モードを利用する。層間接続導体53の間隔は、一波長に比べて十分狭ければ（ $1/10$ 波長以下程度）、TEモードの電磁波が外方へ放射することなく伝搬できる。この導波管は、SIW（substrate integrated waveguide）と称することができる。

[0193] マイクロストリップラインMSLと導波管SIWとは結合するので、伝搬信号はマイクロストリップラインMSLをTEMモードの電磁波として伝搬し、導波管SIWをTEモードの電磁波として伝搬する。

[0194] 図38の上部に表れている電子部品65はチップアンテナである。また、電子部品62は前記アンテナを用いて通信信号の送信及び／又は受信を行う通信用のIC（アンテナ用半導体素子）である。

[0195] 図38の下部の横断面図に表れているように、マイクロストリップラインMSLと導波管SIWとの接続部においては、マイクロストリップラインMSLの範囲内における導体パターン81をテーパ状にすることによってマイクロストリップラインMSLの特性インピーダンスと導波管の特性インピーダンスとの整合性を高めている。

[0196] 本実施形態によれば、アンテナとICとの間をつなぐ導波管SIWを多層基板123の3次元湾曲形状部で屈曲形状とすることができる。このことにより、各部の配置・配線設計の自由度を向上させることができる。

[0197] 図39は第19の実施形態に係る他の電子機器の平面図である。図39の上部に示す例は、8つのチップアンテナとしての電子部品65を多層基板の突出部に実装している。また、図39の下部に示す例は、6つのチップアンテナとしての電子部品65を多層基板の突出部に実装している。このように、それぞれの向きの異なる複数のチップアンテナを配置してもよい。

[0198] 図39の下部に示す例では、多層基板の第2部分に実装したIC62を表している。各チップアンテナとしての電子部品65とIC62（アンテナ用半導体素子）とは、ほぼ最短距離の経路で信号が伝搬するように、既に示したマイクロストリップラインMSL及び導波管SIWを配置することが好ましいし、本実施形態ではそれが可能である。

[0199] なお、多層基板にチップアンテナとしての電子部品65を実装する構造以外に、多層基板にパッチアンテナとしての導体パターンを形成してもよい。

[0200] 《第20の実施形態》

第20の実施形態ではスロットアンテナを有する電子機器について例示する。

[0201] 図40の上部は、多層基板124及び電子部品62を備える電子機器218の平面図であり、図40の下部は上部における一点鎖線での縦断面図である。

[0202] 図41の上部は電子機器218の部分断面図である。ここでは、図の明瞭化のために、基材層9のハッチングは省略している。図41の中部は図41

の上部の図中の上部の一点鎖線での横断面図であり、図41の下部は図41の上部の図中の下部の一点鎖線での横断面図である。これらの図においても、図の明瞭化のために、基材層9のハッチングは省略している。

[0203] 基材層9には、グランド導体層としての導体パターン49、信号線としての導体パターン81及び主にその間の基材層9によってマイクロストリップラインMSLが構成されている。また、導体パターン81のうち層方向に拡がる箇所に対向する導体パターン80が形成されている。この導体パターン80と導体パターン81との間に、層方向に所定幅を保って配列された位置で、導体パターン80、81同士を基材層9の積層方向に導通させる複数の層間接続導体53が形成されている。導体パターン80、81、複数の層間接続導体53、導体パターン80、81及び複数の層間接続導体53との間の基材層9によって導波管SIWが構成されている。この導波管SIWの上部の導体パターン80には開口APが形成されている。導体パターン80の上部には導体パターン84が形成されていて、導体パターン80と導体パターン84とは層間接続導体を介して導通している。

[0204] 電子機器218は金属による筐体72を備える。この筐体72には開口72Sが形成されている。この開口72Sがスロットアンテナの放射体として作用する。

[0205] なお、上述の例では、筐体72にスロットアンテナとして作用させるための開口72Sを設けたが、筐体に限らずカバー部材を有する場合にも同様に適用できる。すなわち、多層基板124の上面に金属カバーを配置する場合に、その金属カバーにスロットを形成しておけばよい。

[0206] 《第21の実施形態》

第21の実施形態では、各種アンテナを備える電子機器について例示する。

[0207] 図42は第21の実施形態に係る電子機器219、220の斜視図である。図42の上部に示す電子機器219は、多層基板と複数の電子部品65とで構成されている。

- [0208] 電子機器 219 では、多層基板は第 1 部分 10 及び当該第 1 部分 10 に連続する第 2 部分 20 を備える。第 1 部分 10 は球冠形状である。電子部品 65 はそれぞれアンテナ素子であり、球冠形状の周囲に配置されている。これら複数のアンテナ素子はアレイアンテナを構成する。
- [0209] 図 42 の下部に示す電子機器 220 は、多層基板と複数の電子部品 65 とで構成されている。電子機器 220 では、多層基板は第 1 部分 10 及び当該第 1 部分 10 に連続する第 2 部分 20 を備える。第 1 部分 10 と第 2 部分 20 とで円錐台形状を成している。電子部品 65 はそれぞれアンテナ素子であり、円錐形状の周囲に配置されている。これら複数のアンテナ素子はアレイアンテナを構成する。
- [0210] 電子機器 219, 220 では、指向性が等方的であるアレイアンテナを容易に構成できる。また、各アンテナ素子を配置した箇所の曲率が一定であるため、第 1 部分 10 に形成されている層間接続導体に掛かる応力が均一化されるので、信頼性が高い。
- [0211] 図 43 の上部は図 42 の上部に示した電子機器 219 の第 1 部分 10 の部分断面図であり、図 43 の下部は図 42 の下部に示した電子機器 220 の第 1 部分 10 の部分断面図である。例えば、第 1 部分 10 を形成した後に、第 1 部分 10 に層間接続導体を形成する場合は、図 43 において直線矢印で示すように、結果的に第 1 部分 10 に斜め方向を向くビアホールを形成し、そのビアホールに導電体を充填することで層間接続導体を設けることになる。これに対して、本実施形態では、層間接続導体に掛かる応力は、一点鎖線で示すように、第 1 部分 10 の内外表面に対する法線方向であるので、層間接続導体の許容応力が大きい。すなわち、層間接続導体は応力に対する、信頼性が高い。
- [0212] 最後に、本発明は上述した各実施形態に限られるものではない。当業者によって適宜変形及び変更が可能である。本発明の範囲は、上述の実施形態ではなく、特許請求の範囲によって示される。さらに、本発明の範囲には、特許請求の範囲内と均等の範囲内での実施形態からの変形及び変更が含まれる

。

[0213] 例えば、以上に示した各実施形態では、図3以外においては、多層基板の第1部分と第2部分の厚みを一定としたが、第1部分と第2部分のいずれについても、その領域に応じて厚みが異なってもよい。また、第1部分と第2部分とで厚みが異なってもよい。

[0214] また、例えば図1、図7、図15、図16には、多層基板の第1部分にアンテナ素子やコイル素子などの回路素子を形成した例を示したが、多層基板の第2部分に導体パターンによる回路素子を構成してもよい。

[0215] また、以上に示した幾つかの電子機器では、第1部分10に形成された導体パターンが、第2部分20に形成された導体パターンを通して、回路基板又は電子部品に接続された例を示したが、第1部分10に形成された導体パターンが、回路基板又は電子部品に直接的に接続された構造であってもよい。

[0216] また、以上に示した各実施形態では、多層基板の凸曲面PS及び凹曲面DSの存在による多層基板の突出方向から見たその多層基板の平面形状は略円形又は略四角形であったが、例えば図44に示すように、六角形、三角形、一部に凹みを有する多角形や部分的に丸みを有する形状などであってもよい。このことにより、回路基板上への装着や筐体内への組み込み自由度を高めることも可能である。

[0217] また、例えば第19の実施形態及び第20の実施形態では、マイクロストリップラインを給電伝送路の一部として利用する例を示したが、トリプレートのストリップラインを給電伝送路として構成してもよい。

符号の説明

[0218] BD…境界

BS…裏面

DS…凹曲面

H…貫通孔

PS…凸曲面

S P, S P 1, S P 2 …空間

S S …表面

8 …リブ

9 …基材層

1 0, 1 1 …第 1 部分

1 0 N …切り欠き形状部

1 2 …切り欠き部

1 3 …開口部

2 0, 2 0 A, 2 0 B, 2 0 C, 2 1, 2 3, 2 4 …第 2 部分

2 2 …薄部領域

3 0, 3 0 A, 3 0 B, 3 1, 3 2, 3 3, 3 4 …導体パターン

4 1 …導体パターン

4 2, 4 2 A, 4 2 B, 4 2 C, 4 3, 4 4, 4 8 …端子電極

4 5, 4 6, 4 7, 4 9, 4 9 A, 4 9 B …導体パターン

4 5 S …スロット

5 1, 5 2 …接続導体

5 3 …層間接続導体

6 0 …回路基板

6 1 …コネクタ

6 2 …電子部品

6 3 …コネクタ

6 4, 6 4 A, 6 4 B, 6 4 G …導体パターン

6 5, 6 6, 6 7 A, 6 7 B, 6 7 C …電子部品

6 8 …ピン

6 9 …電子部品

7 0 …同軸ケーブル

7 1, 7 2 …筐体

8 0, 8 1, 8 1 A, 8 1 B, 8 2, 8 3, 8 4 …導体パターン

101～117, 117A, 117B, 118～124…多層基板

201～220…電子機器

請求の範囲

- [請求項1] 複数の基材層及び導体パターンを含み、前記基材層が積層されて成る多層基板であり、
- それぞれ、互いに対向する表裏面の間の厚みが一定又は略一定である、第1部分及び当該第1部分に連続する第2部分を備え、
- 前記第1部分の表面は凸曲面であり、前記第1部分の裏面は前記凸曲面に対向して前記多層基板に前記厚みをもたせる凹曲面であり、
- 前記第2部分の前記表裏面は平面であり、
- 各前記基材層は前記第1部分から前記第2部分にかけて連続している、
- 前記導体パターンの少なくとも一部は、前記多層基板の内部において、前記第1部分から前記第2部分にかけて連続している、
- 多層基板。
- [請求項2] 前記第2部分の前記基材層の積層方向に視た前記第2部分の形状は、前記第1部分を取り囲む位置の全部又は一部から突出する形状を含む、
- 請求項1に記載の多層基板。
- [請求項3] 前記多層基板の前記第2部分に、所定形状の部材に固定する切り欠き部又は開口部が形成された、
- 請求項2に記載の多層基板。
- [請求項4] 前記第1部分は、前記基材層及び前記導体パターンを含んで構成された回路部を備え、
- 前記第2部分は、前記基材層及び前記導体パターンを含んで構成されて前記回路部に繋がる伝送線路を備える、
- 請求項1から3のいずれかに記載の多層基板。
- [請求項5] 前記第2部分の前記基材層の積層方向に視て、前記第2部分の少なくとも一部は、前記第1部分で取り囲まれている、
- 請求項1又は2に記載の多層基板。

- [請求項6] 前記第2部分の前記基材層の積層方向に視た前記第2部分の外形は円形である、
請求項1に記載の多層基板。
- [請求項7] 前記第2部分の全体又は一部は平面状に広がる平面部を形成し、前記第1部分は前記平面部から突出するリブを形成し、
前記第2部分の前記基材層の積層方向に視て、前記リブは前記平面部を取り囲む閉ループを成す、
請求項1に記載の多層基板。
- [請求項8] 前記第1部分に前記導体パターンが配置されている、
請求項7に記載の多層基板。
- [請求項9] 前記第1部分に配置された前記導体パターンは、信号線としての導体パターンと、グランド導体層としての導体パターンと、前記信号線としての導体パターン又は前記グランド導体層としての導体パターンに導通する層間接続導体と、を構成する、
請求項7又は8に記載の多層基板。
- [請求項10] 前記第1部分に、信号線としての前記導体パターンと前記基材層とを含んで構成された第1伝送線路を備え、
前記第2部分に、信号線としての前記導体パターンと前記基材層とを含んで構成された第2伝送線路を備え、
前記第1部分及び前記第2部分の裏面又は裏面の近傍にグランド導体層としての導体パターンが形成されていて、
前記第1部分及び前記第2部分の裏面又は裏面の近傍に形成された前記グランド導体層としての導体パターンは、前記第1伝送線路の前記信号線としての前記導体パターンと前記第2伝送線路の信号線としての前記導体パターンとの間を遮蔽する、
請求項1から9のいずれかに記載の多層基板。
- [請求項11] 前記グランド導体層としての前記導体パターンは、前記信号線としての前記導体パターンに対して前記基材層の厚み方向に対向するグラ

ンド導体層としての前記導体パターンと、複数の前記基材層のうち同一の基材層に沿って形成されたグラウンド導体層としての前記導体パターンと、を含む、

請求項 10 に記載の多層基板。

[請求項12] 前記第2部分は、前記第2部分の前記基材層の積層方向に視て前記第1部分を取り囲む部分又は一部から突出する部分と、前記第1部分で取り囲まれる部分と、で構成される、

請求項 1 に記載の多層基板。

[請求項13] 前記基材層の素材は熱可塑性樹脂である、

請求項 1 から 12 のいずれかに記載の多層基板。

[請求項14] 前記多層基板の前記第1部分の内部に形成された前記導体パターンは、前記積層の方向に導通路を形成する接続導体を含む、

請求項 1 から 13 のいずれかに記載の多層基板。

[請求項15] 前記第1部分と前記第2部分との境界を通る複数の断面について、前記境界において前記第1部分と前記第2部分との成す最小角度が鈍角である、

請求項 1 から 14 のいずれかに記載の多層基板。

[請求項16] 前記第2部分は、前記第1部分より厚みの薄い領域を有する、

請求項 1 から 15 のいずれかに記載の多層基板。

[請求項17] 前記凸曲面及び当該凸曲面に対向する前記凹曲面は複数存在する、

請求項 1 から 16 のいずれかに記載の多層基板。

[請求項18] 前記第1部分に前記導体パターンによる回路素子又は配線パターンが形成された、

請求項 1 から 17 のいずれかに記載の多層基板。

[請求項19] 前記配線パターンは、前記第2部分に形成された放射導体を含む、

請求項 18 に記載の多層基板。

[請求項20] 前記導体パターンは放射素子用の導体パターン、又は、スロットアンテナ形成用の導体パターンである、

請求項 18 に記載の多層基板。

[請求項21] 前記放射素子用の導体パターンに導通する、又は、前記スロットアンテナ形成用の導体パターンによるスロットアンテナに繋がるアンテナ用半導体素子は、前記基材層の、前記凸曲面の凸方向とは逆方向の面に配置されている、

請求項 20 に記載の多層基板。

[請求項22] 前記第 1 部分における前記導体パターンは、前記複数の基材層の層方向に広がる二つの面状導体と、当該二つの面状導体を前記層方向に所定幅を保って配列された位置で前記面状導体同士を前記基材層の積層方向に導通させる複数の層間接続導体と、を含み、

前記面状導体、前記複数の層間接続導体、当該面状導体及び前記複数の層間接続導体との間の前記基材層によって導波管が構成された、

請求項 1 から 21 のいずれかに記載の多層基板。

[請求項23] 前記第 1 部分における前記導体パターンは、前記複数の基材層の層方向に広がるグラウンド導体層としての導体パターンと、当該グラウンド導体層としての導体パターンに対向配置された信号線としての導体パターンと、を含み、

前記グラウンド導体層としての導体パターン、前記信号線としての導体パターン、及び当該グラウンド導体層としての導体パターンと前記信号線としての導体パターンとの間の基材層によりストリップラインが構成され、

前記第 1 部分における前記導体パターンは、前記信号線としての導体パターンと、前記二つの面状導体のうち一方の面状導体に繋がる、

請求項 22 に記載の多層基板。

[請求項24] 請求項 14 に記載の前記多層基板の製造方法であり、

前記多層基板の前記第 1 部分及び前記第 2 部分は、前記基材層を積層した状態で加熱プレスすることにより形成し、

前記積層の方向の開口部に導電性ペーストを入れ、加熱プレスする

ことにより、前記導電性ペーストを前記導通路として形成する、
多層基板の製造方法。

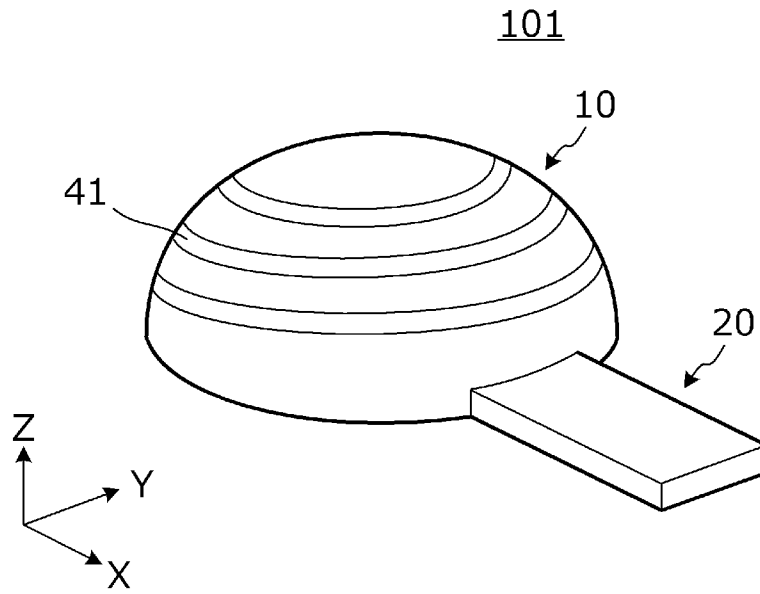
[請求項25] 請求項 1 から 2 4 のいずれかに記載の前記多層基板と、回路基板又は電子部品とを含む電子機器であり、
前記回路基板又は前記電子部品は、前記凹曲面により形成される凹部の内側に存在する、
電子機器。

[請求項26] 前記回路基板又は前記電子部品は、前記多層基板の前記第 2 部分に形成されている前記導体パターンに、又は前記多層基板の前記第 1 部分に形成されている前記導体パターンに接続されている、
請求項 2 5 に記載の電子機器。

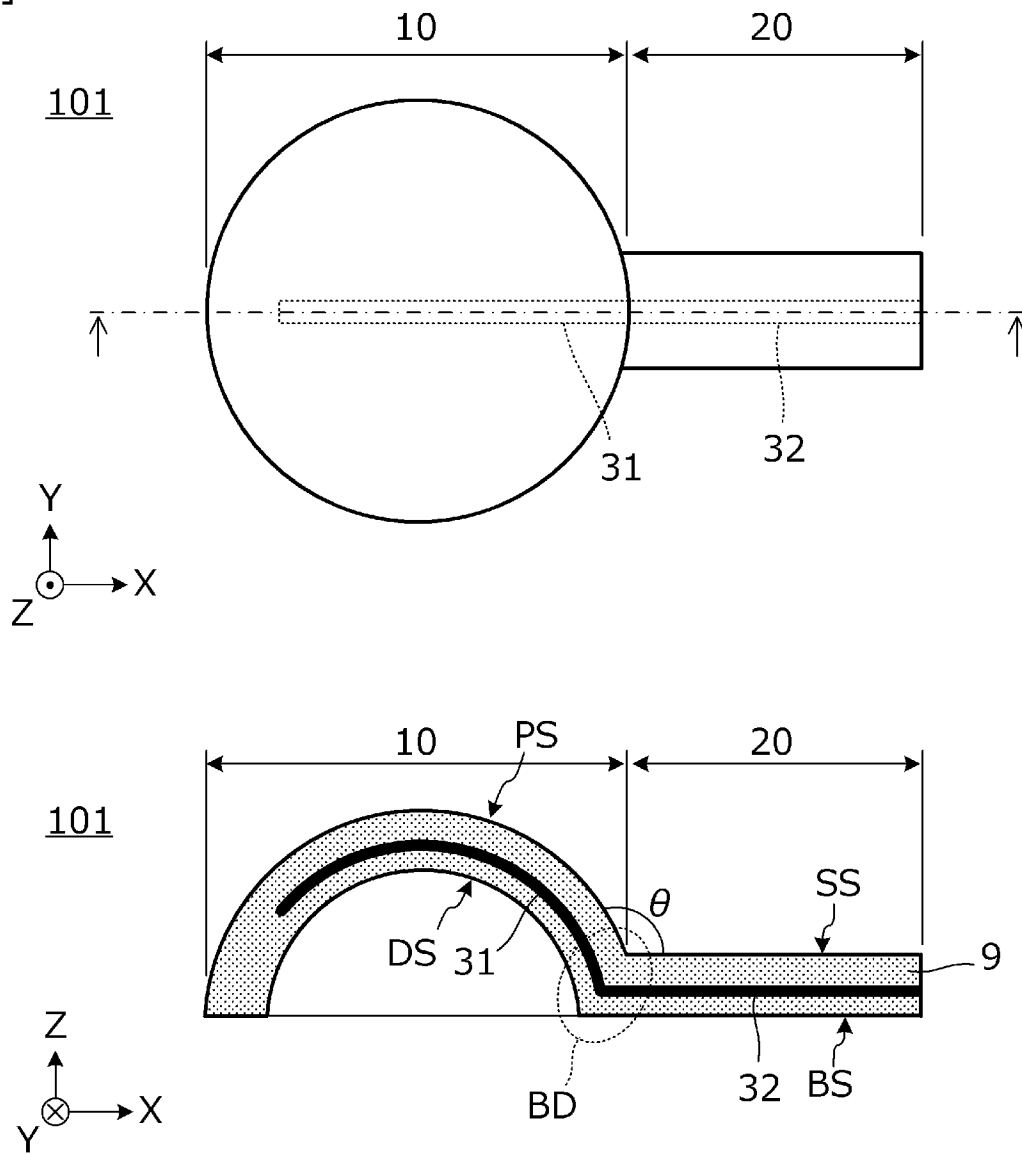
[請求項27] 前記多層基板の前記第 1 部分に貫通孔が形成された、
請求項 2 6 に記載の電子機器。

[請求項28] 前記多層基板のうち前記第 1 部分の少なくとも一部が載置される前記回路基板を備え、
前記多層基板の前記第 1 部分に、前記電子部品に対する非当接部を構成する切り欠き形状部が形成された、
請求項 2 5 から 2 7 のいずれかに記載の電子機器。

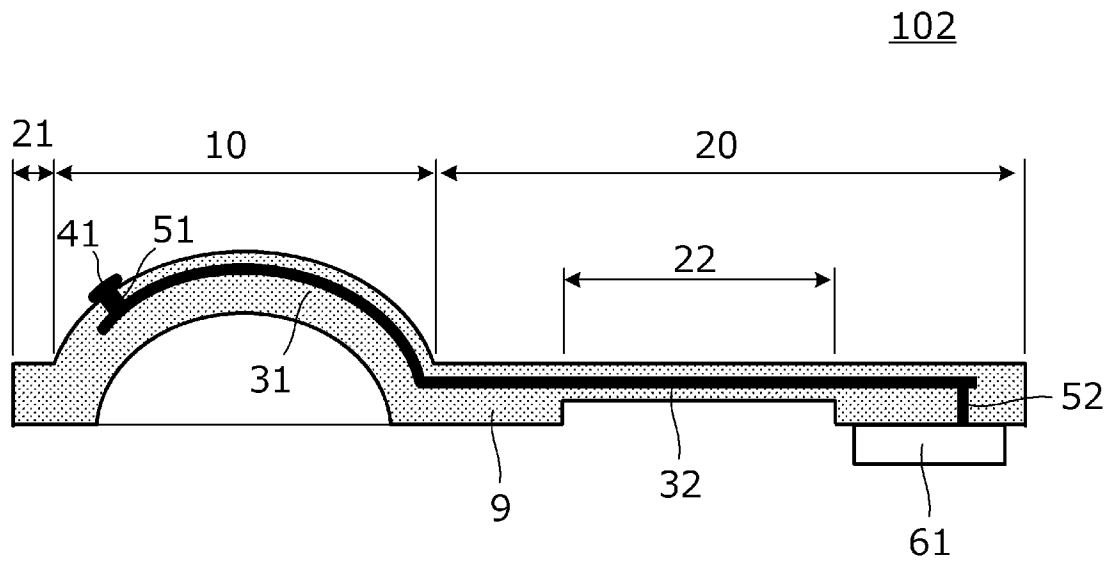
[図1]



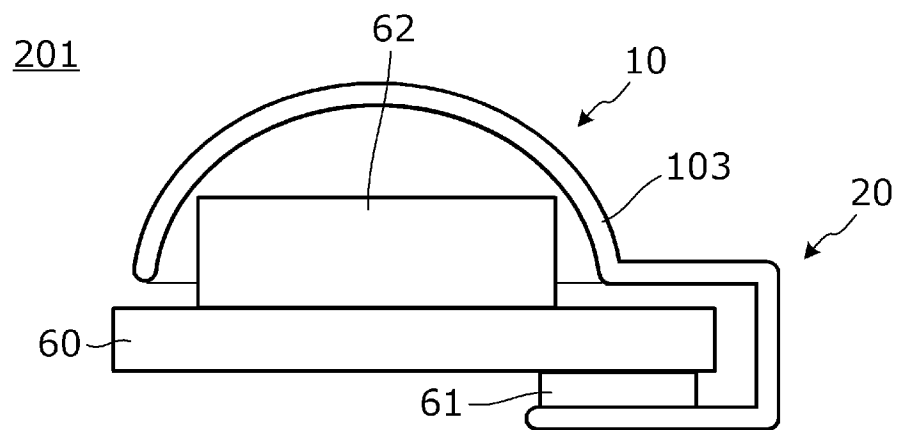
[図2]



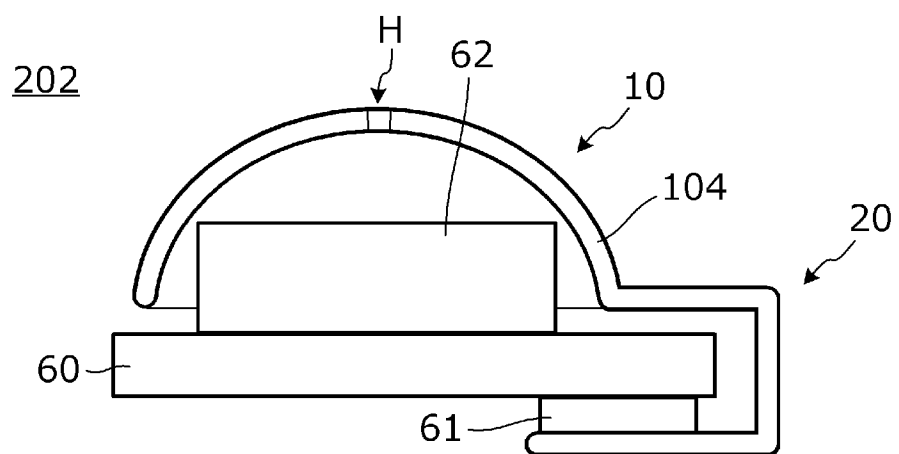
[図3]



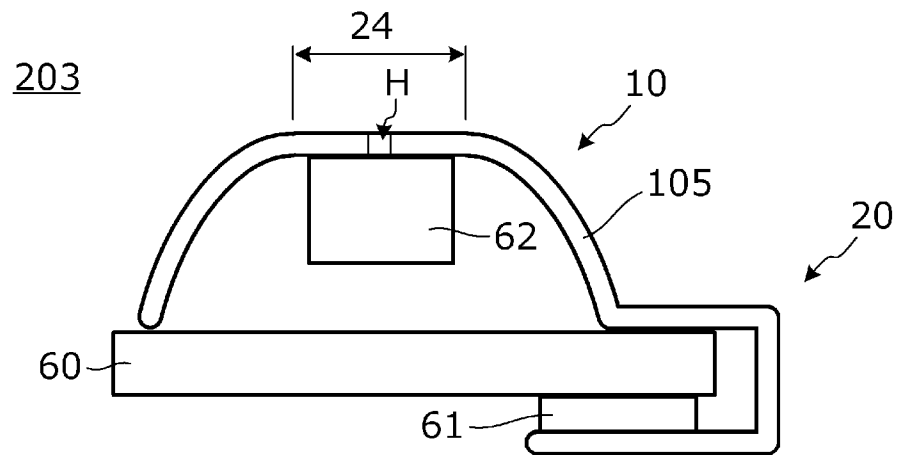
[図4]



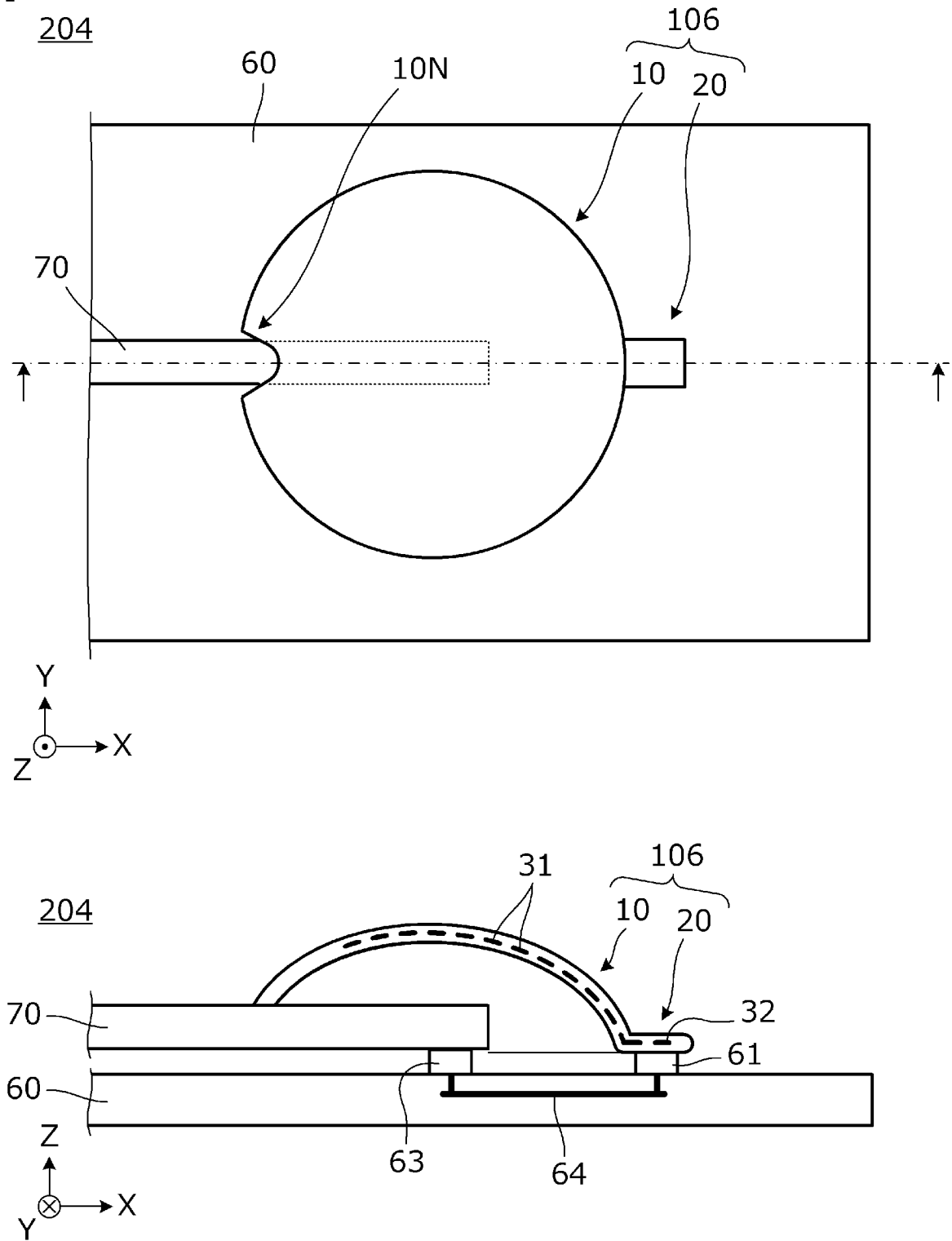
[図5]



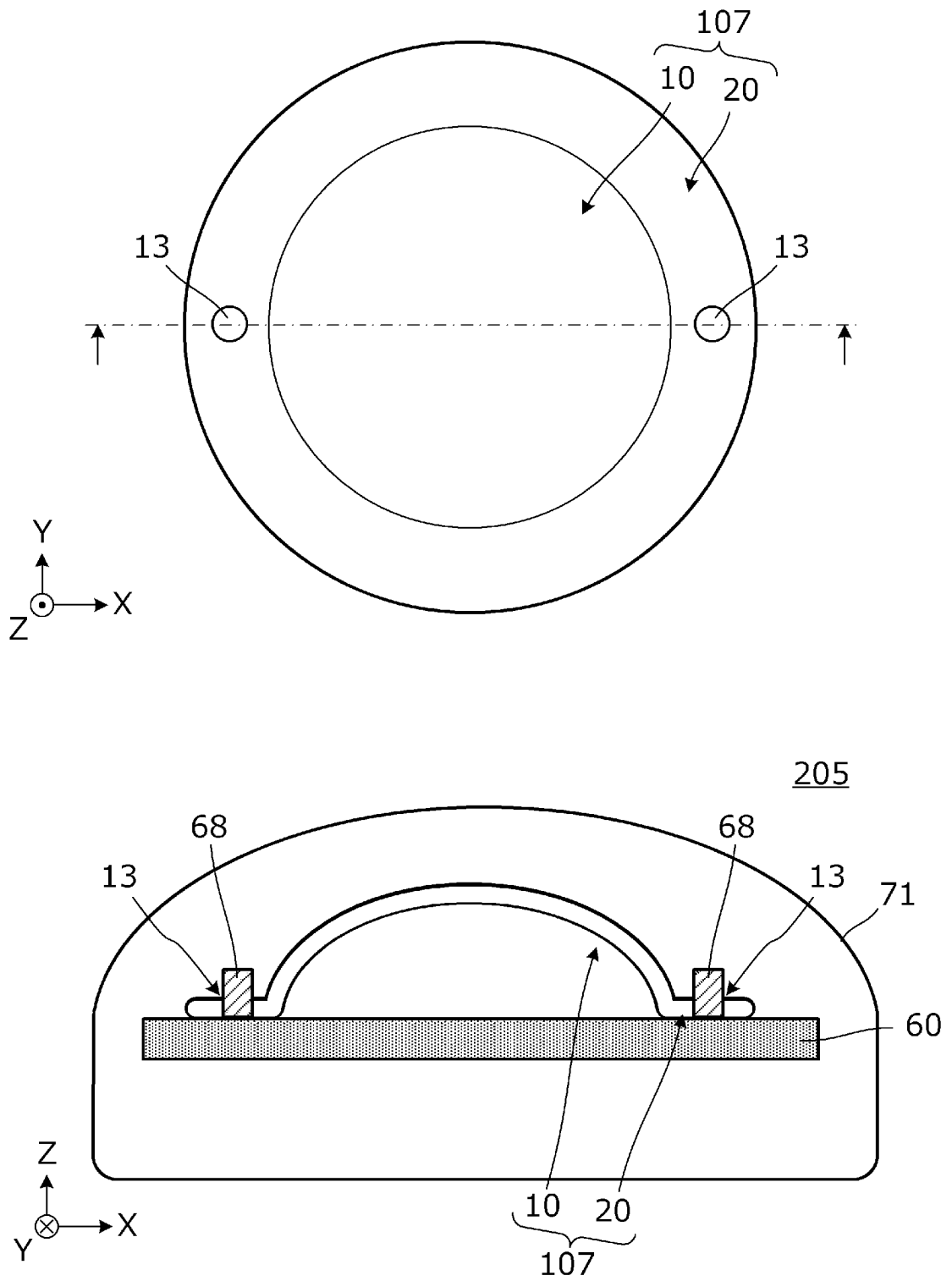
[図6]



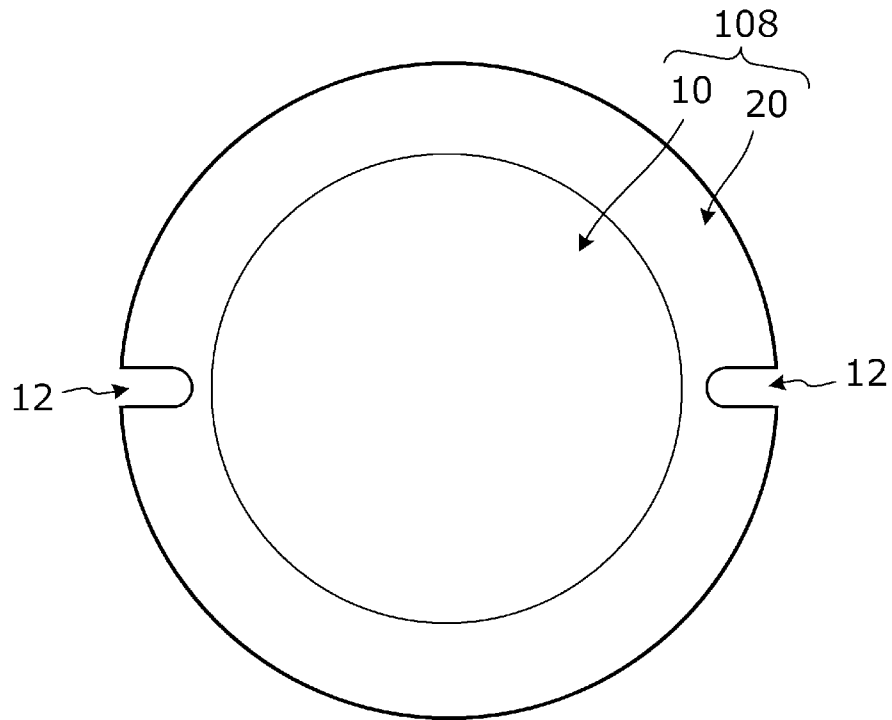
[図7]



[図8]

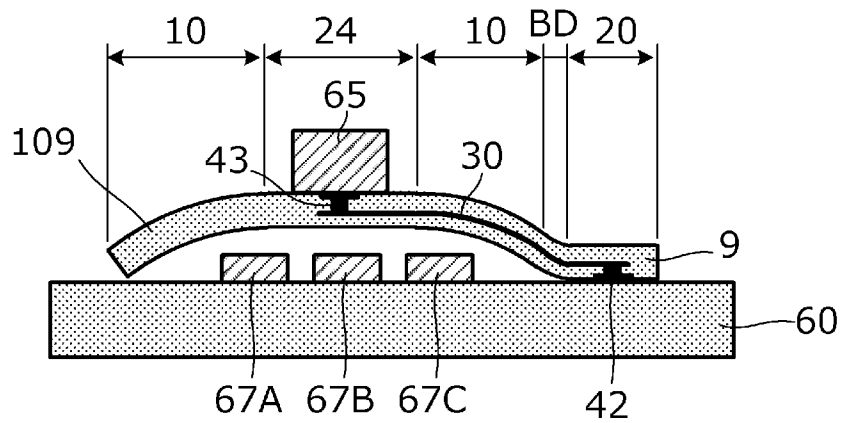


[図9]



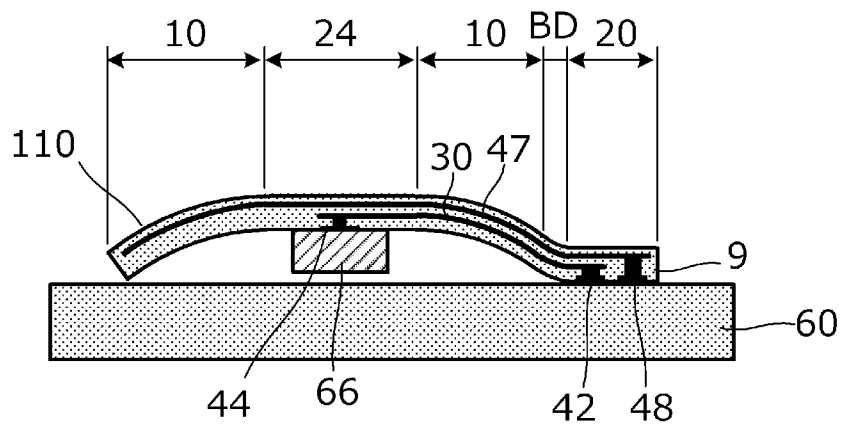
[図10]

206

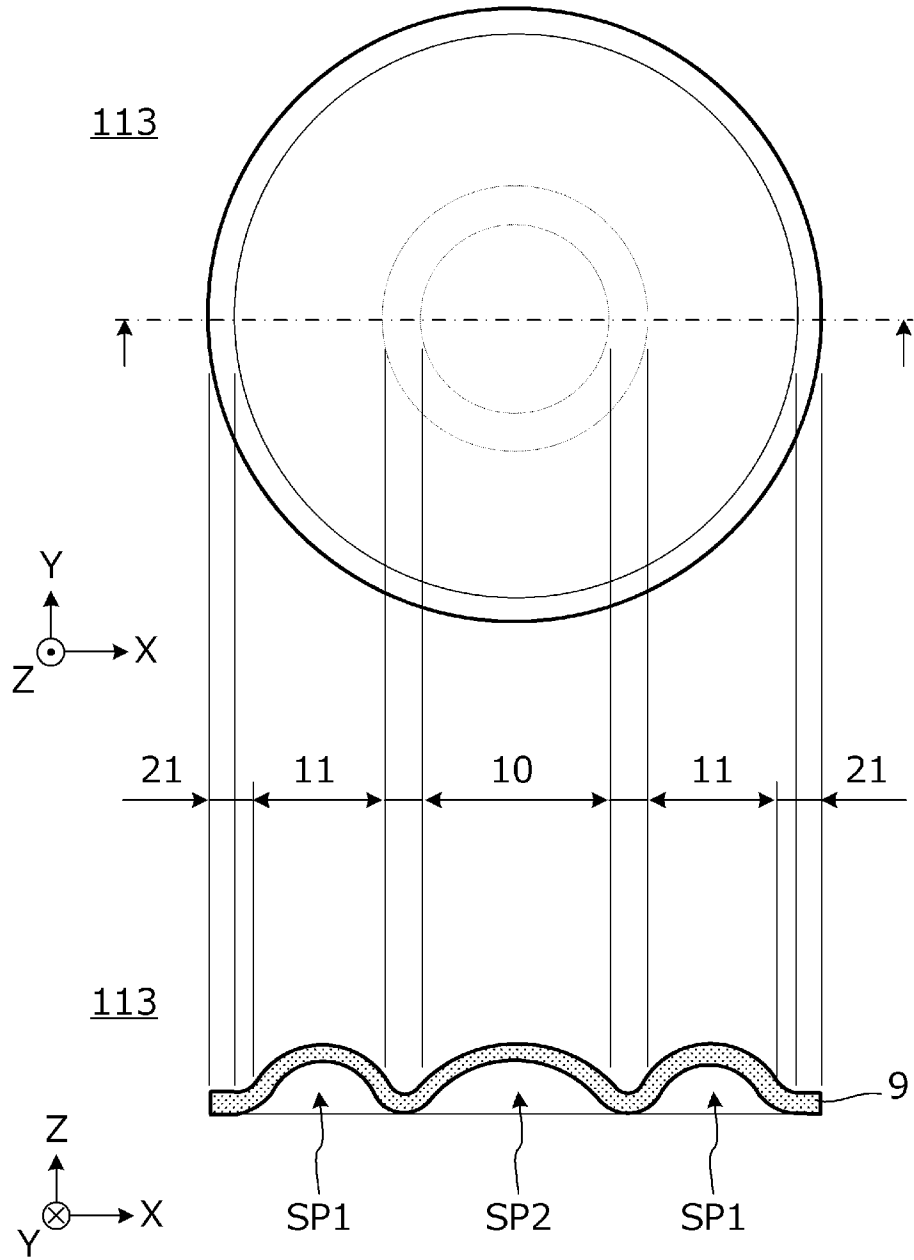


[図11]

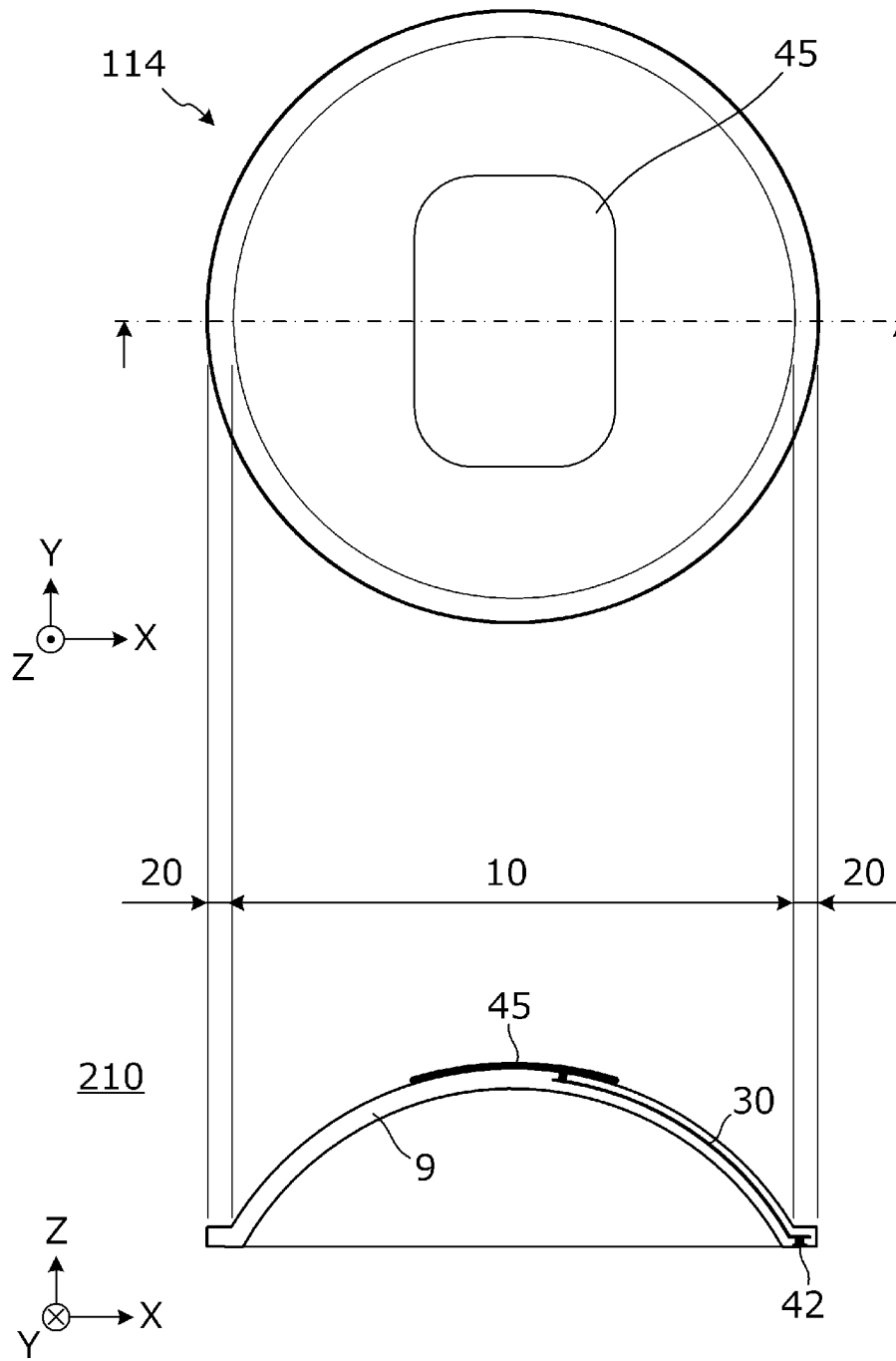
207



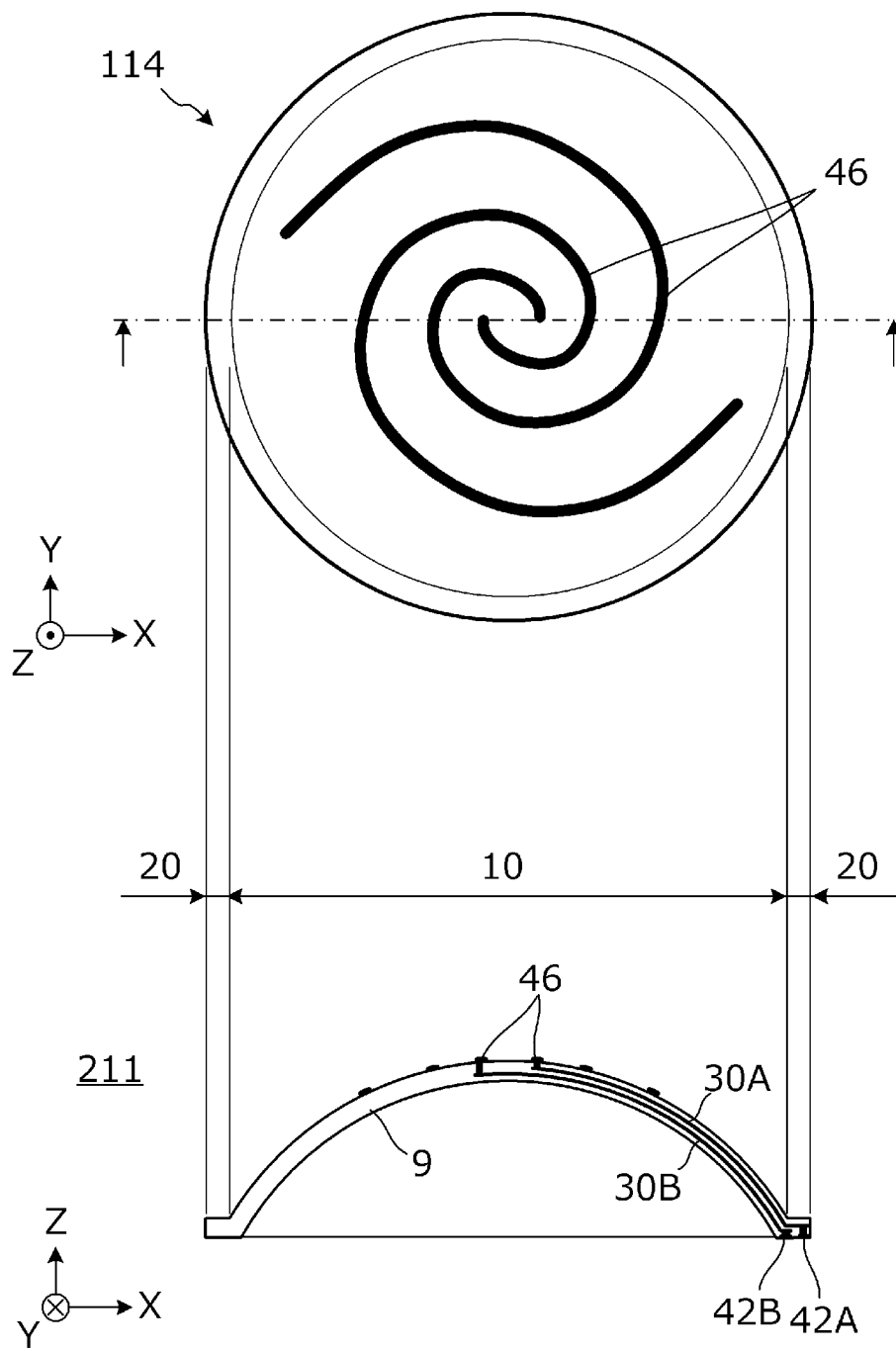
[図14]



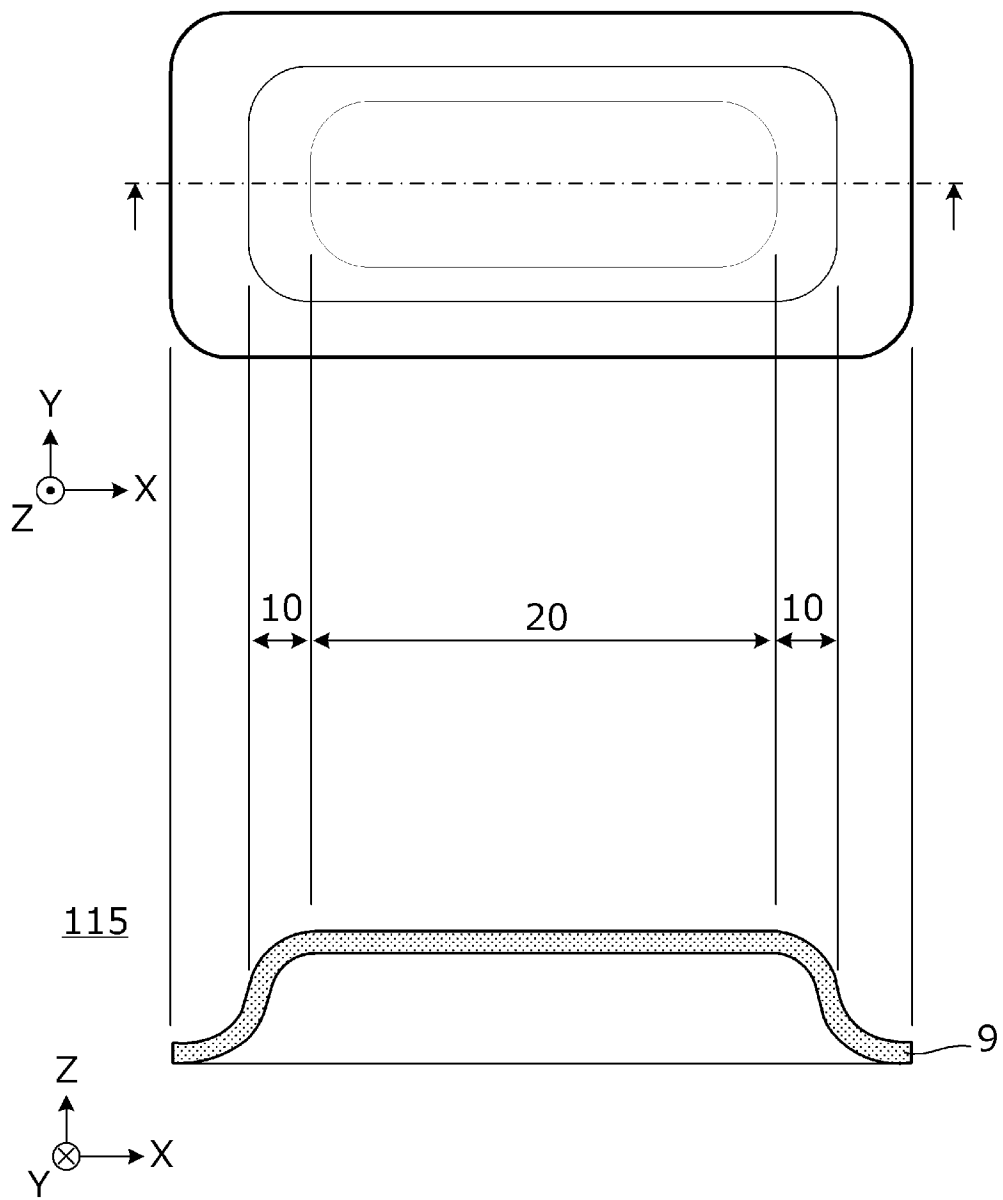
[図15]

210

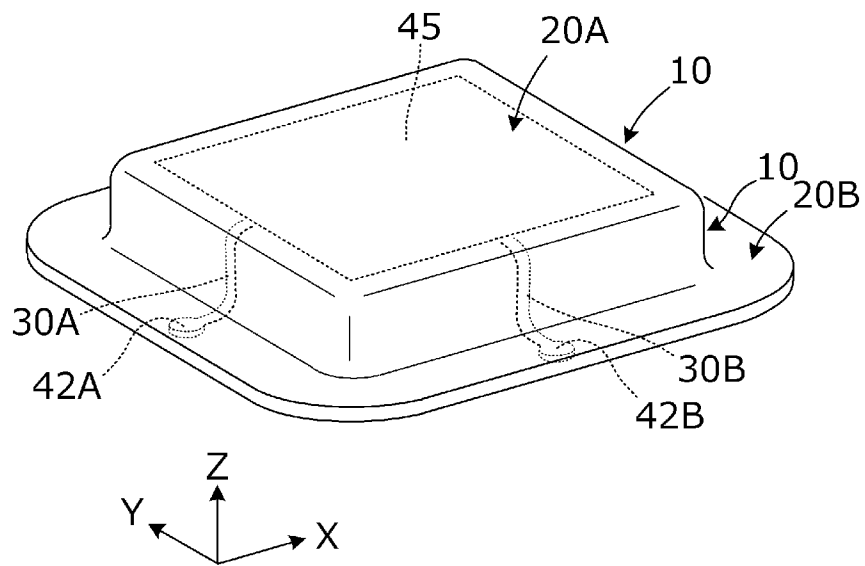
[図16]

211

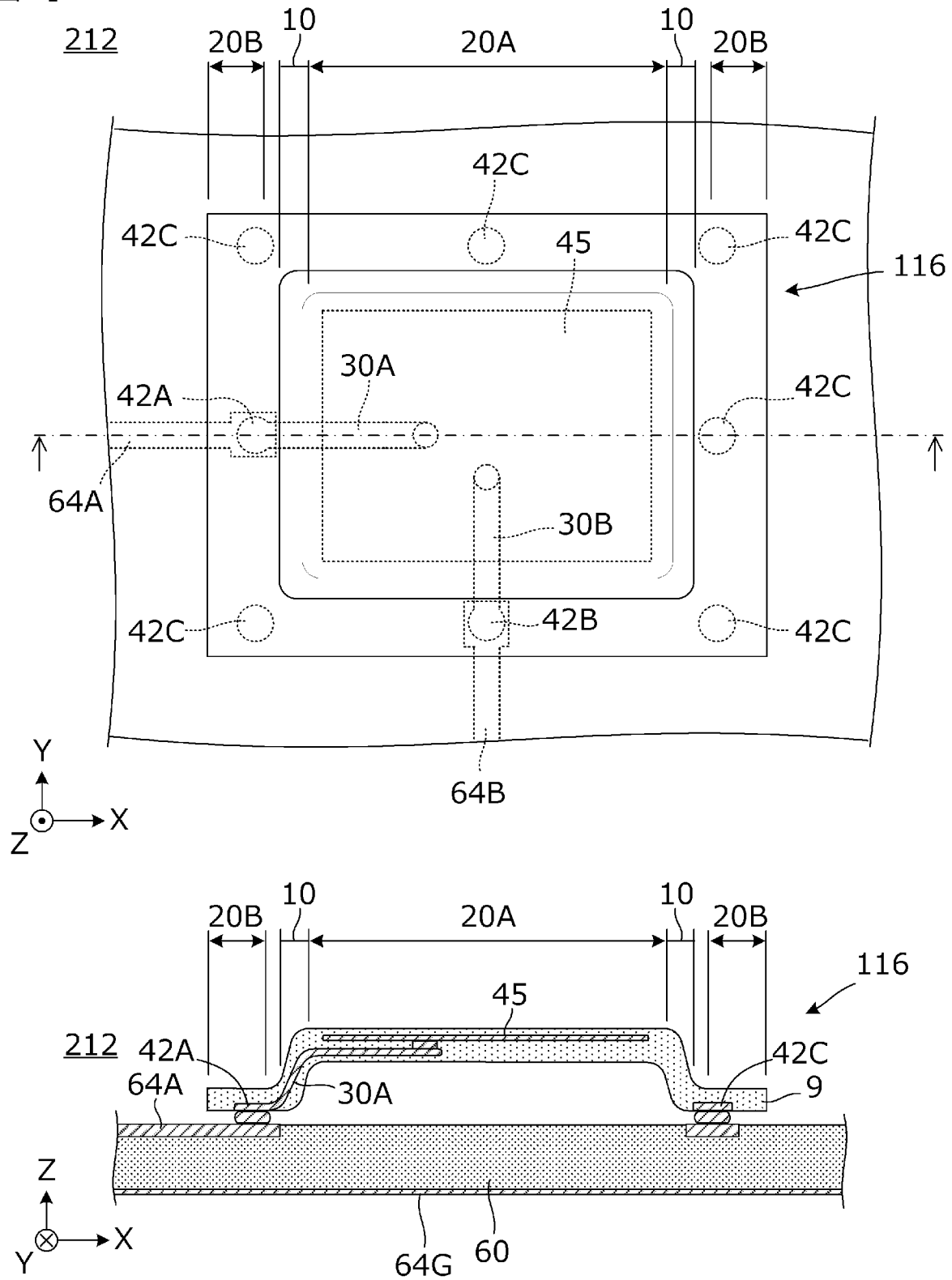
[図17]

115

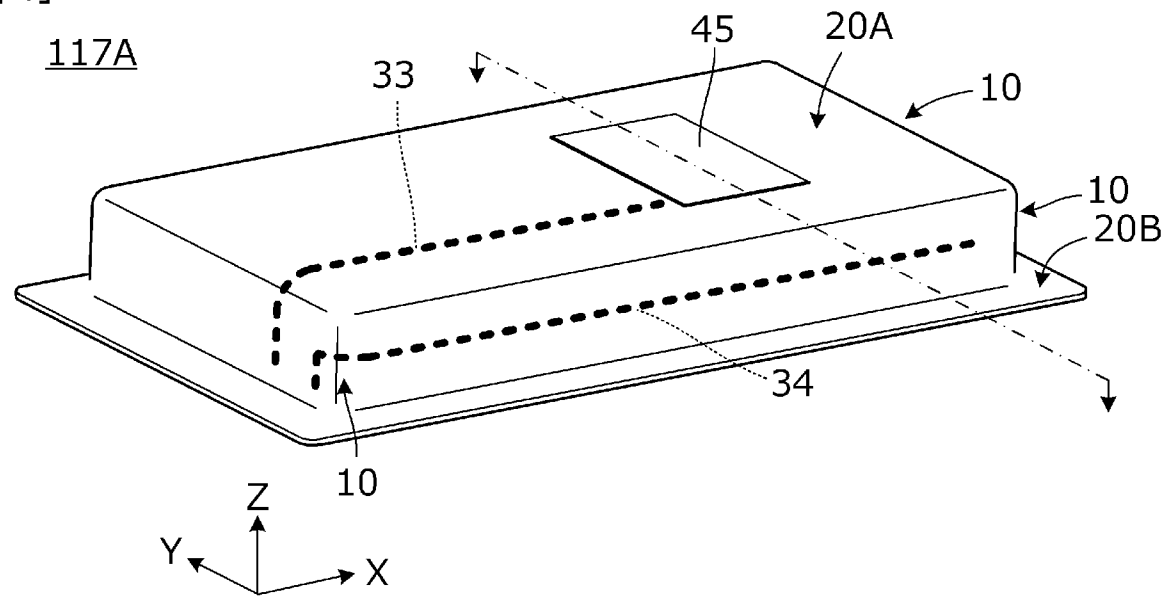
[図18]

116

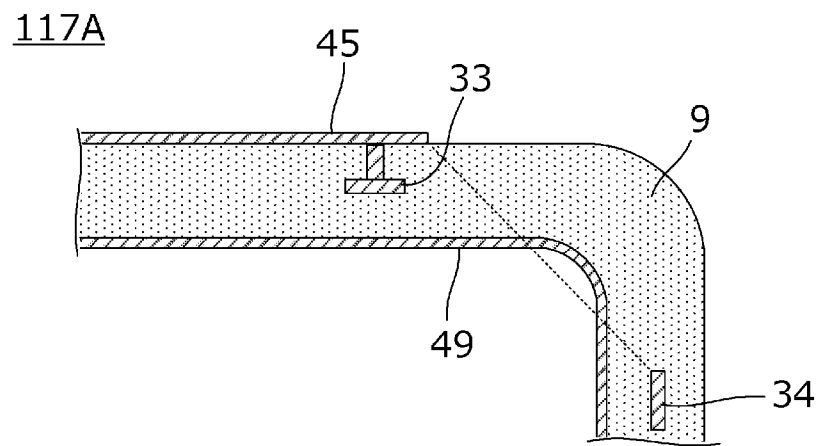
[図19]



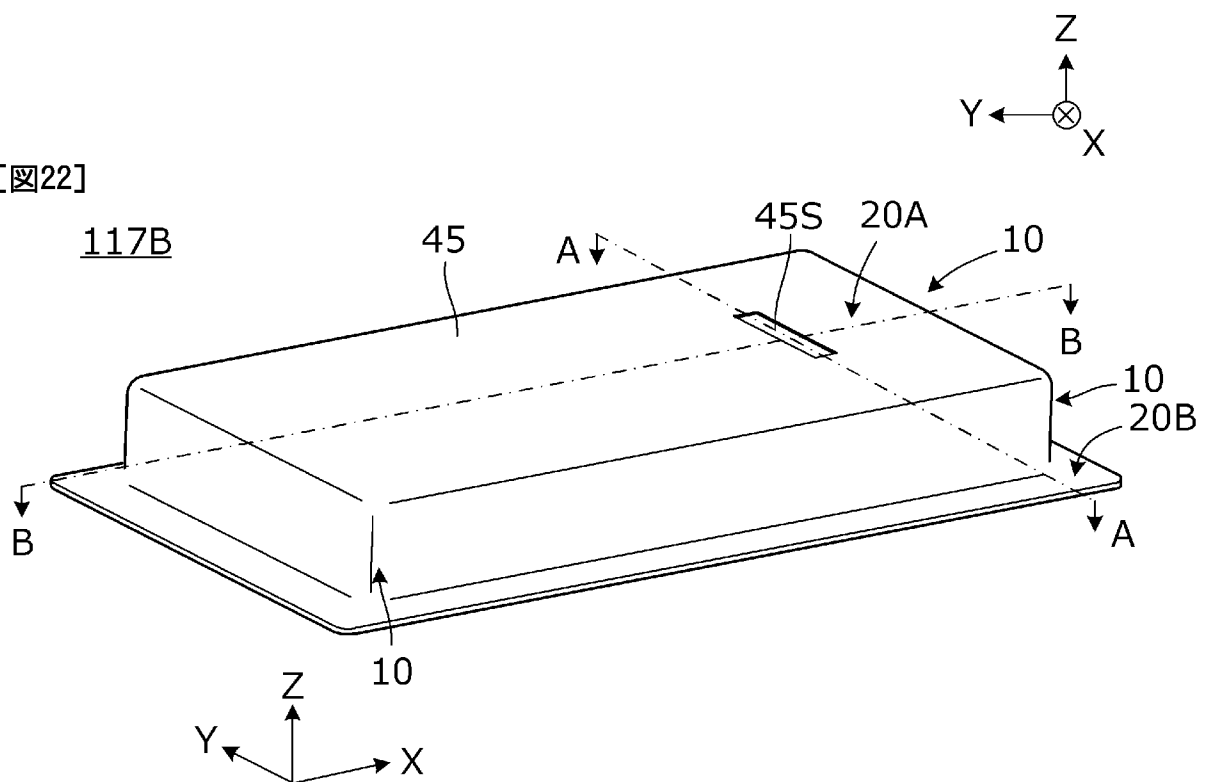
[図20]



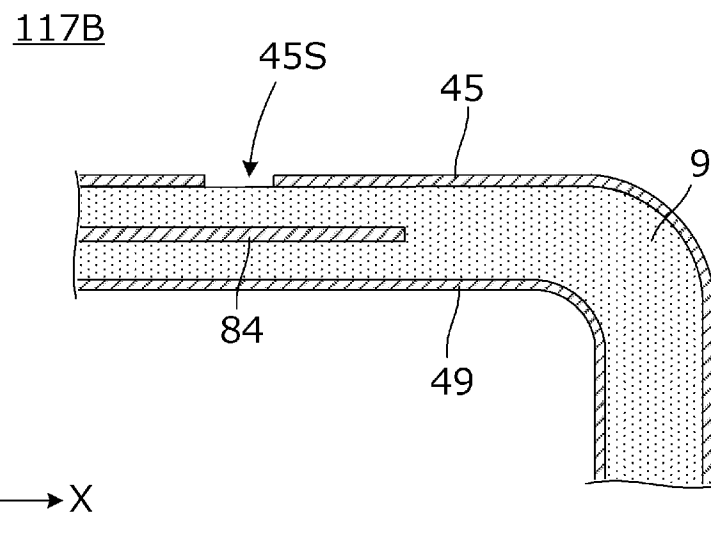
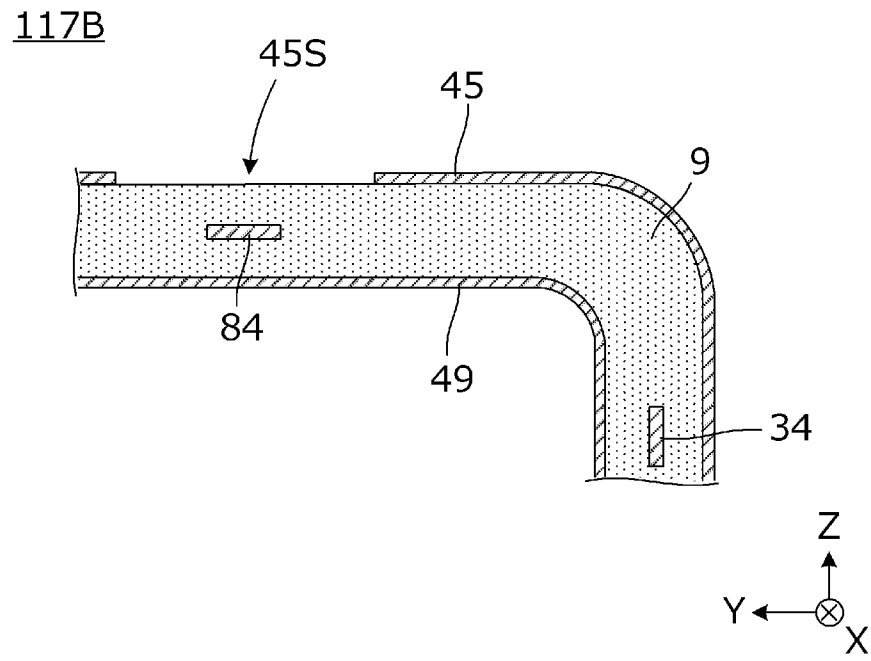
[図21]



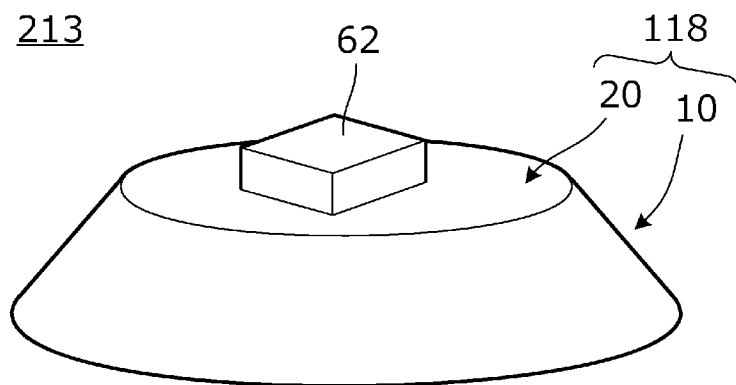
[図22]



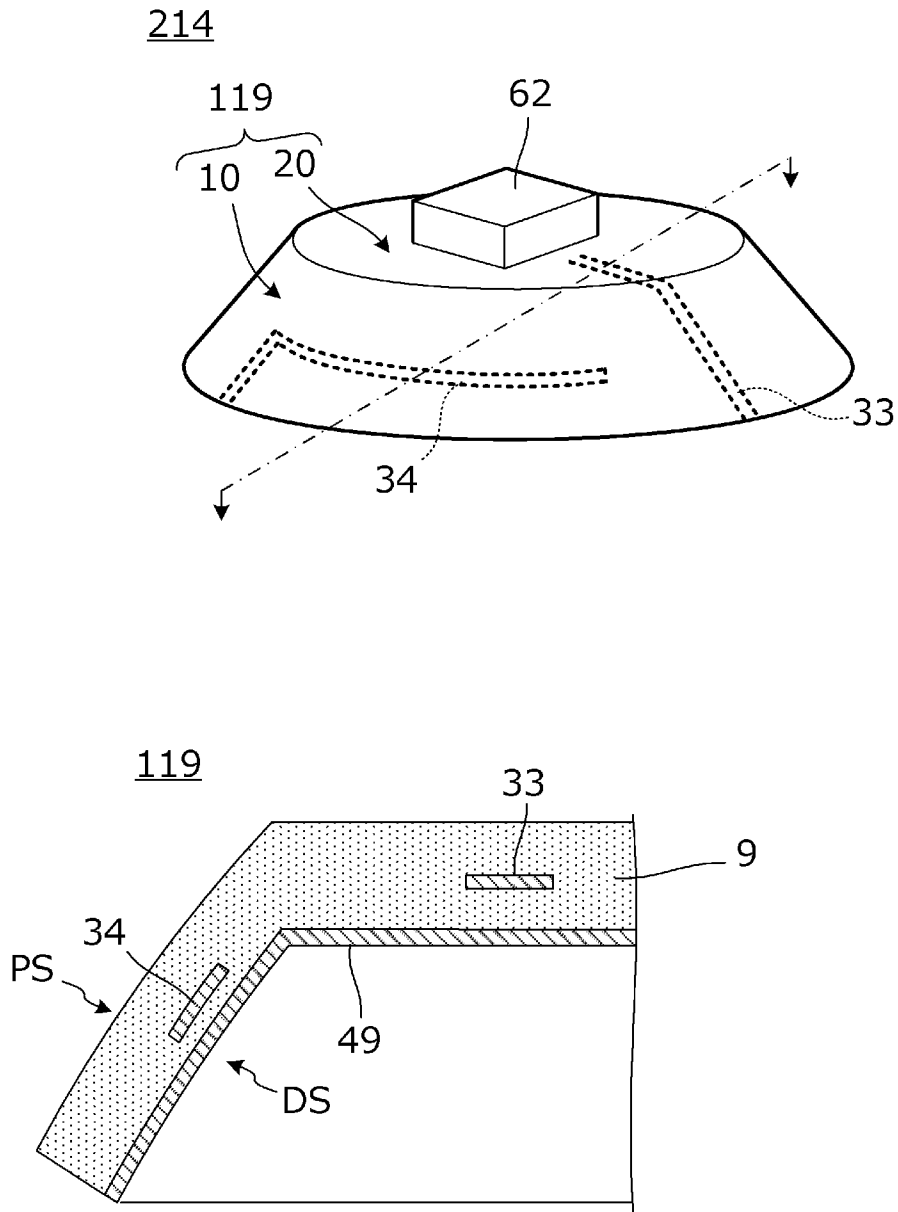
[図23]



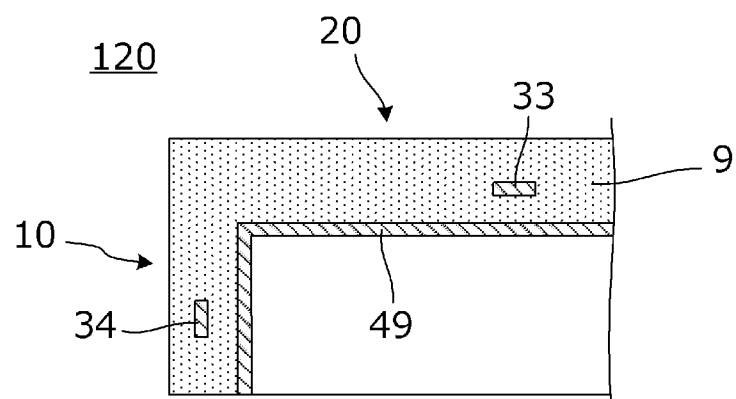
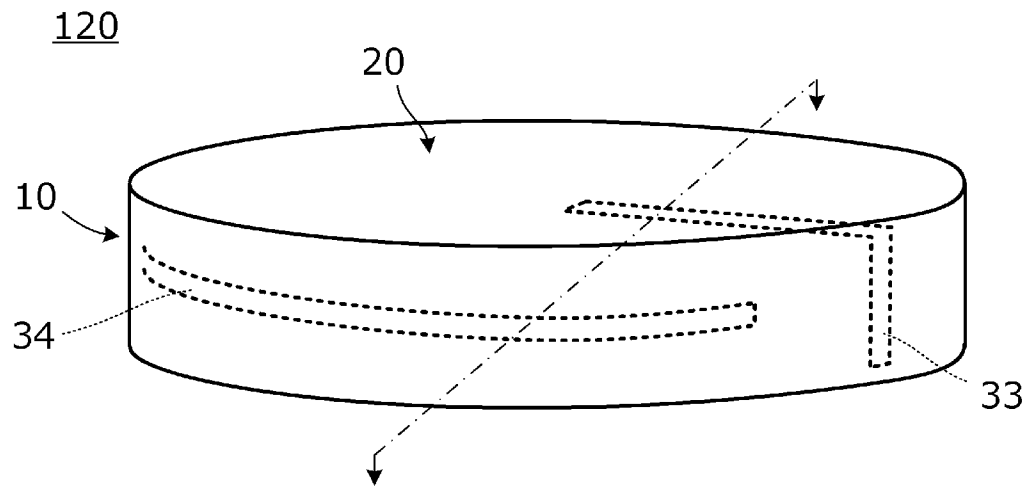
[図24]



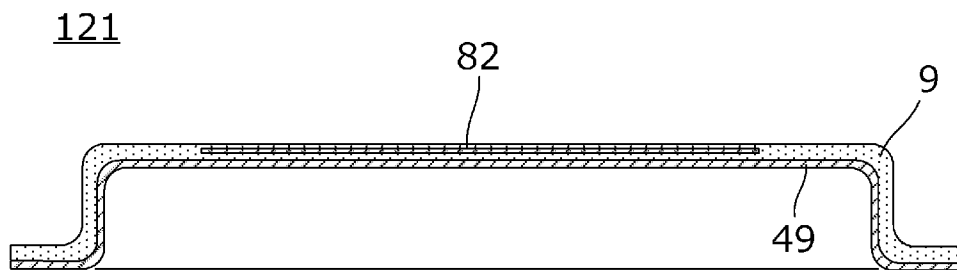
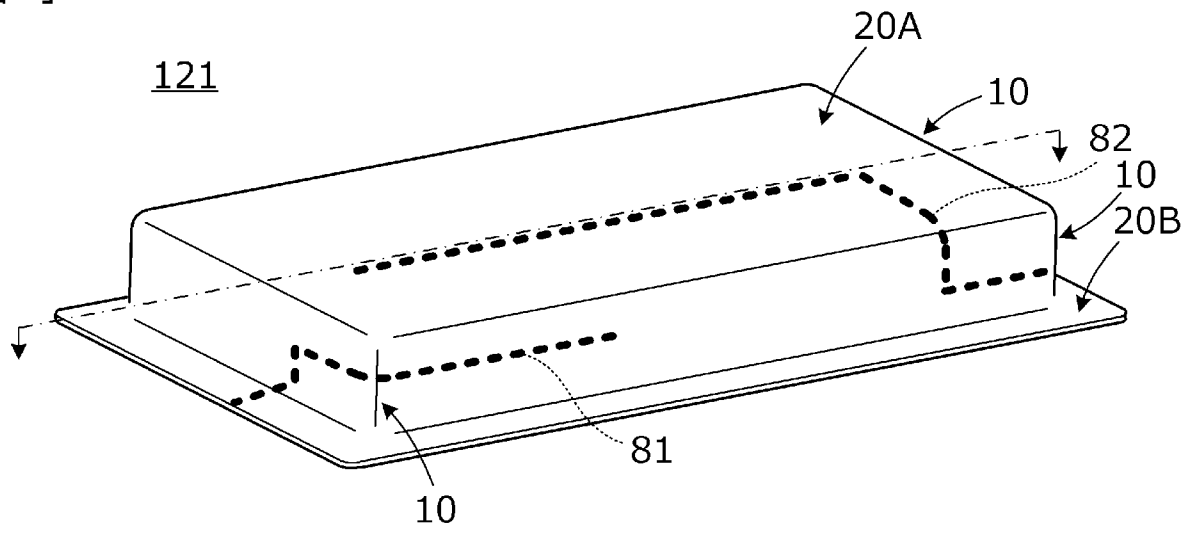
[図25]



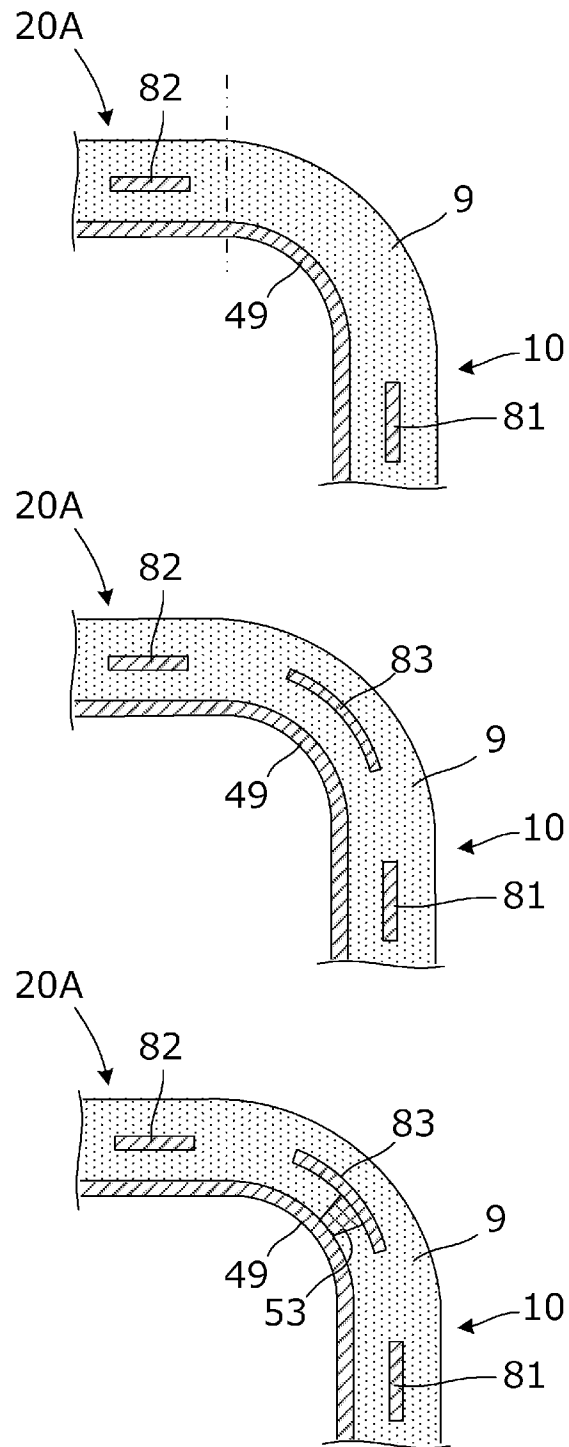
[図26]



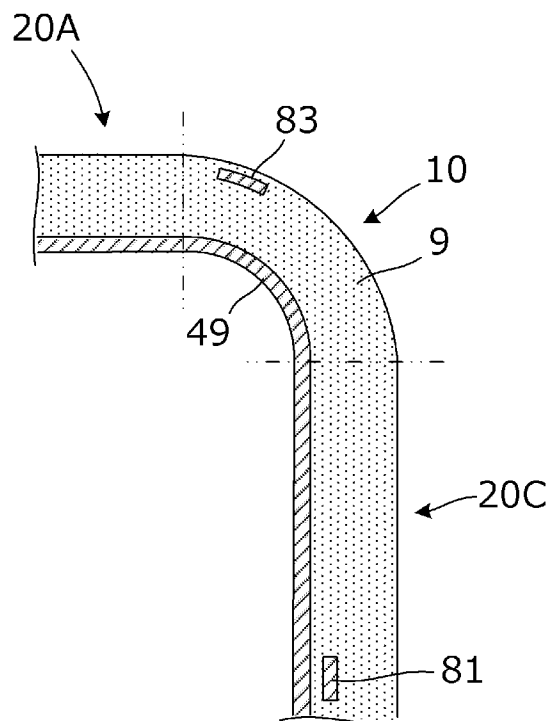
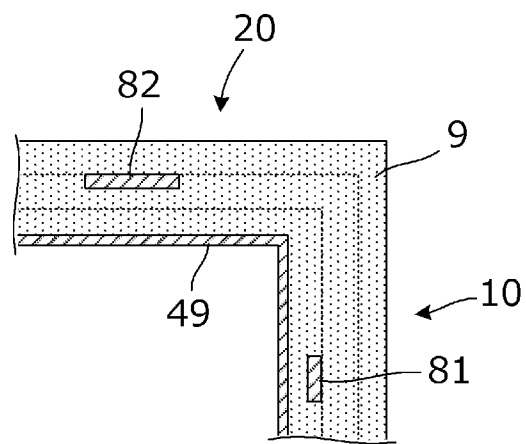
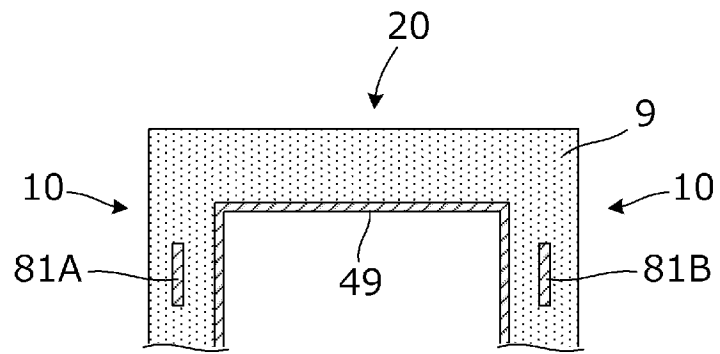
[図27]



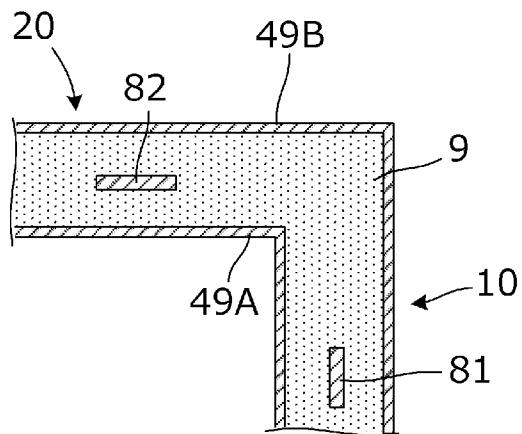
[図28]



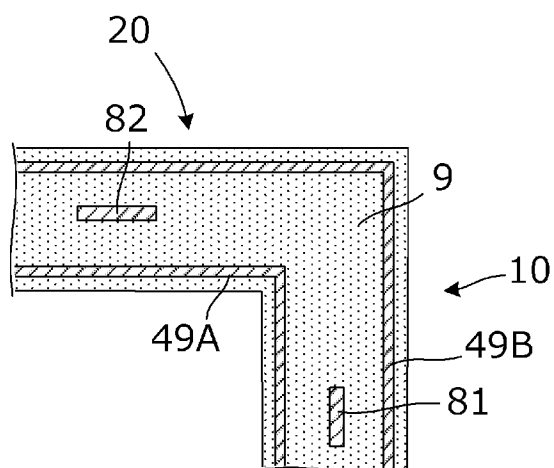
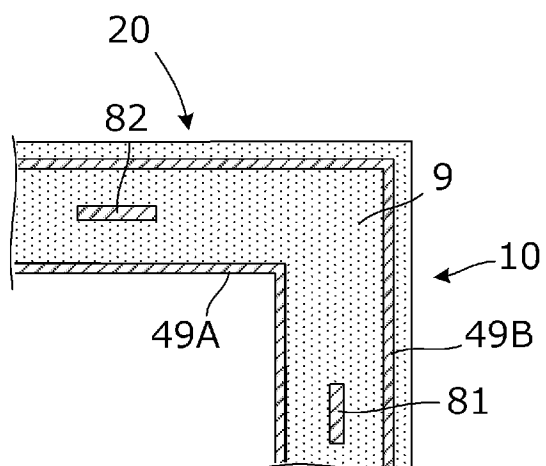
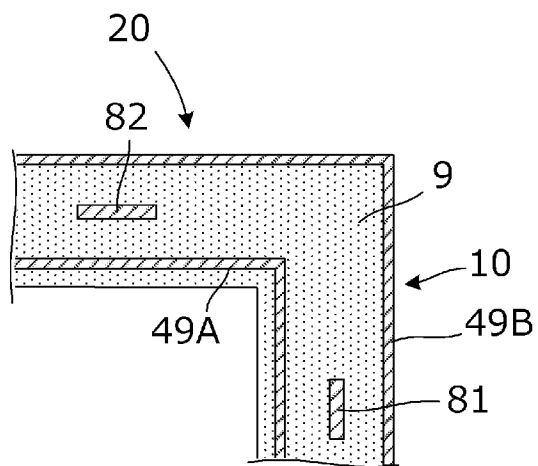
[図29]



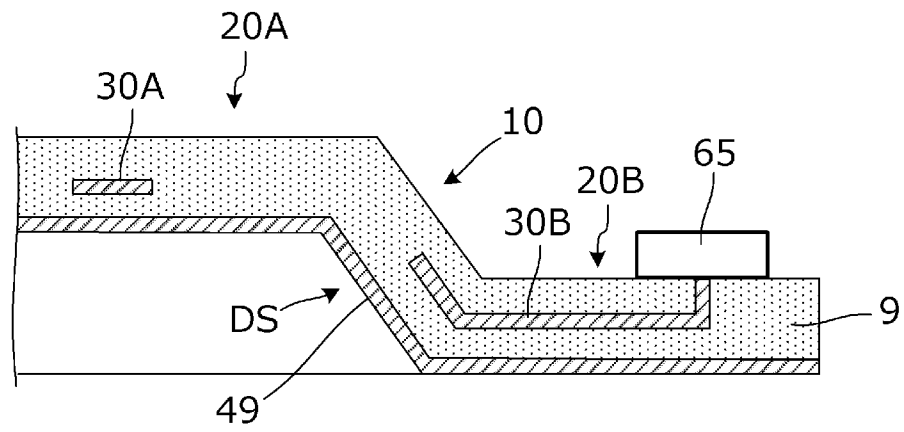
[図30]



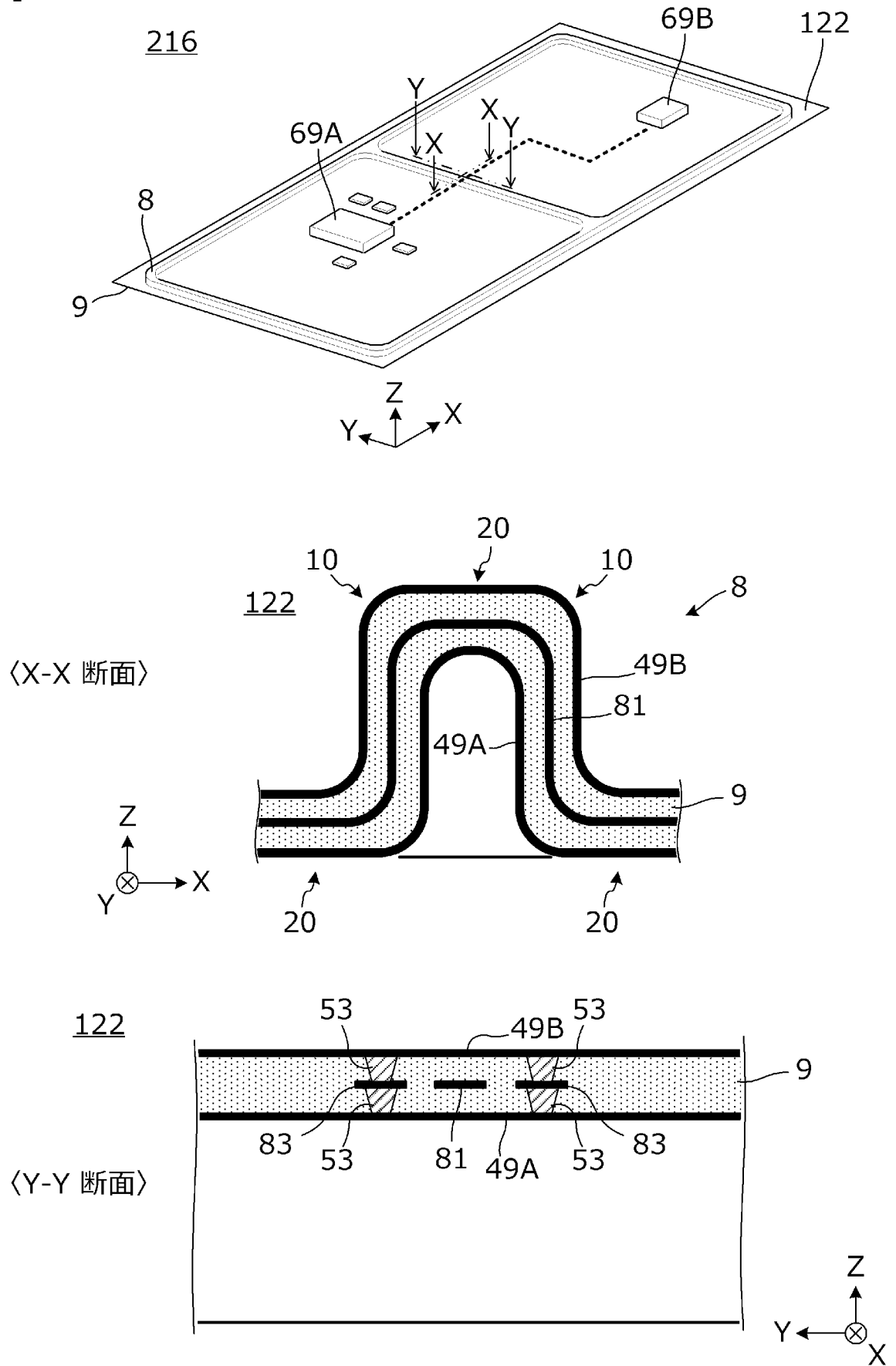
[図31]



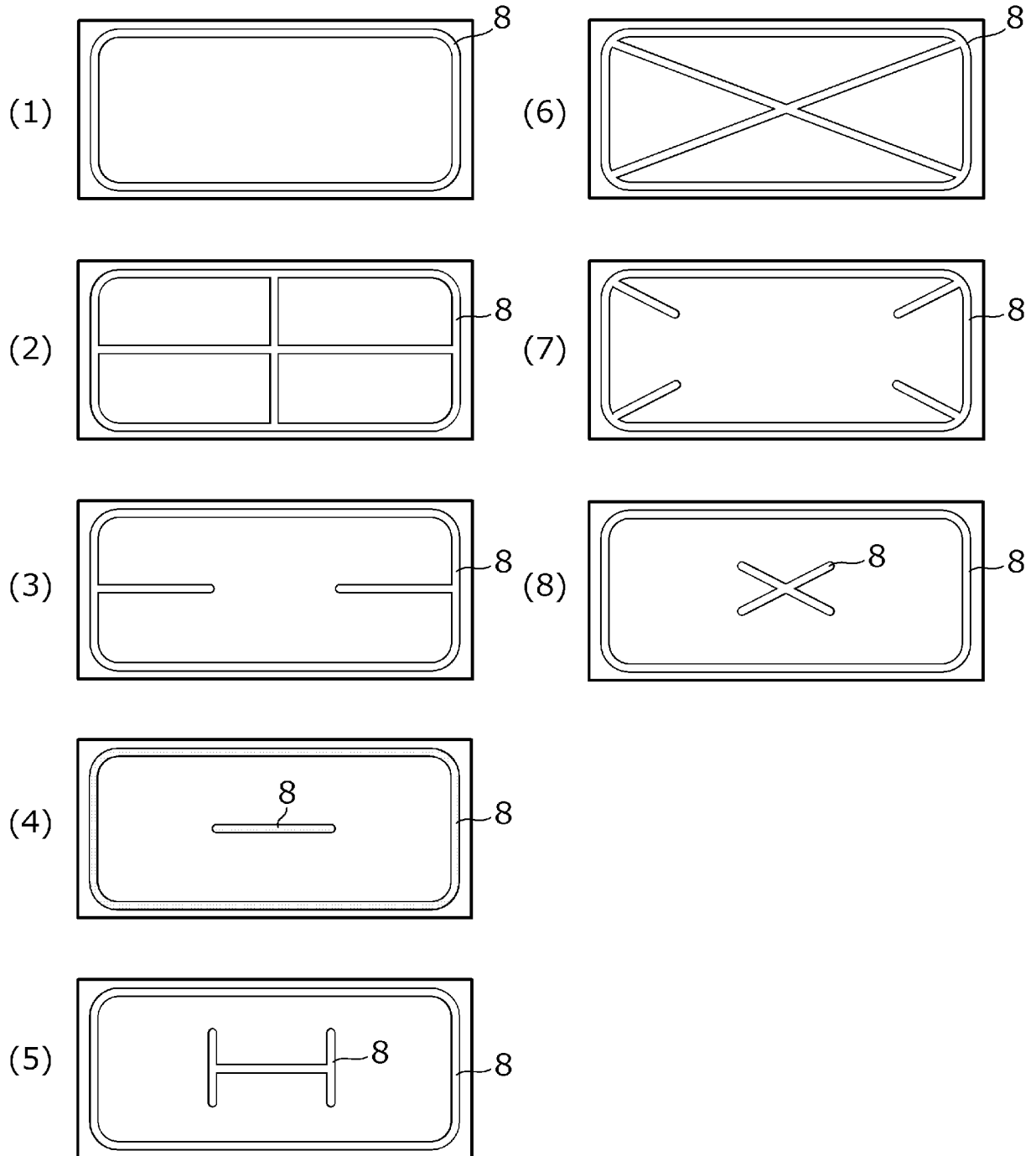
[図32]

215

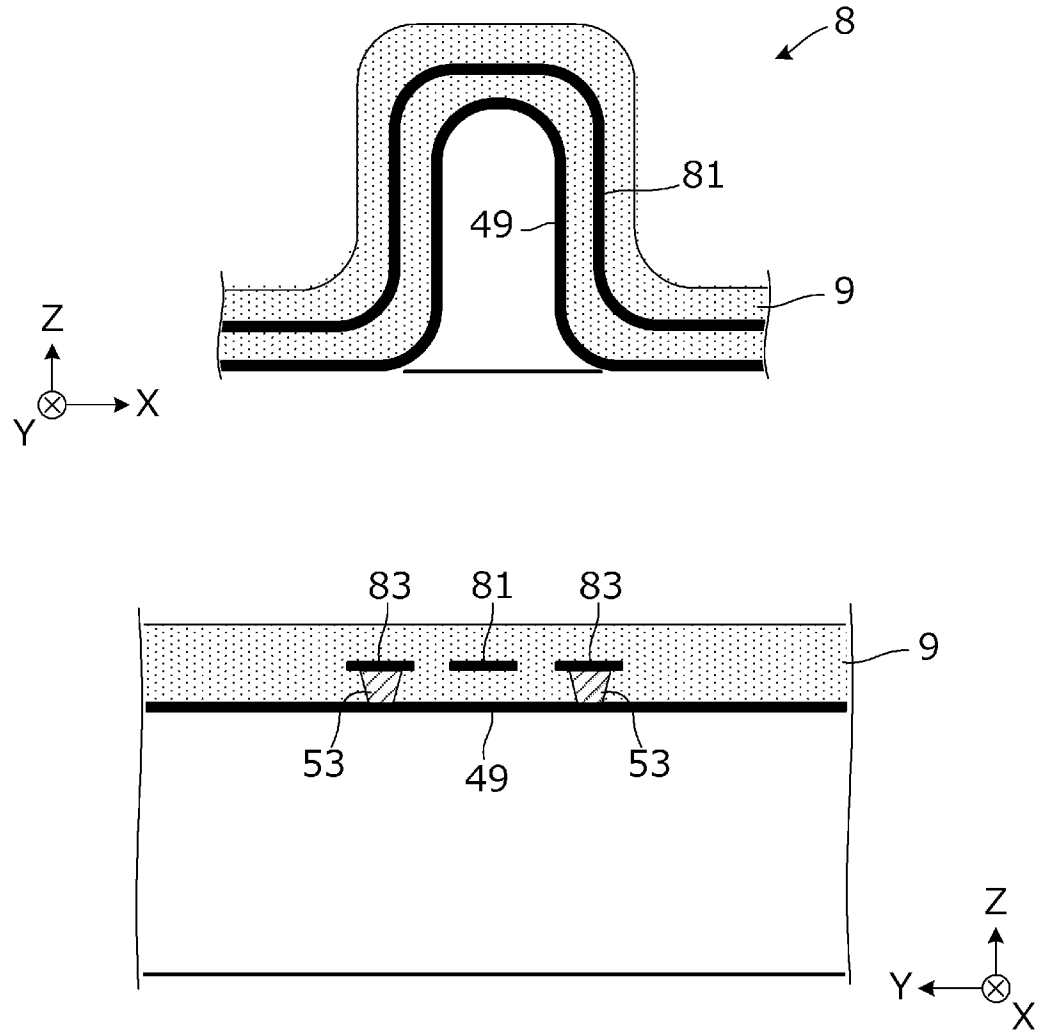
[図33]



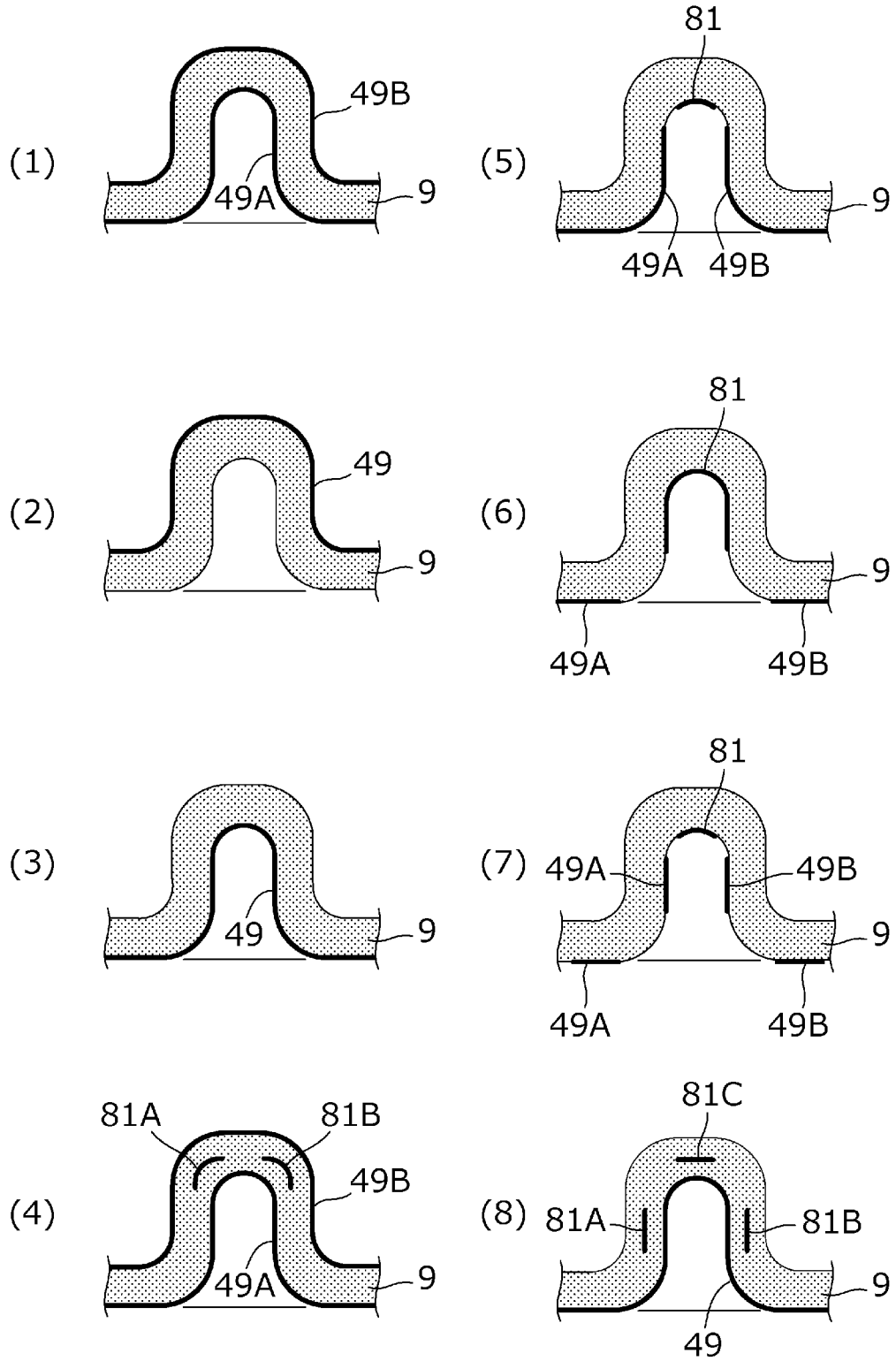
[図34]



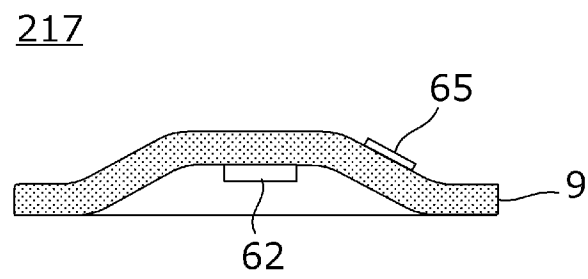
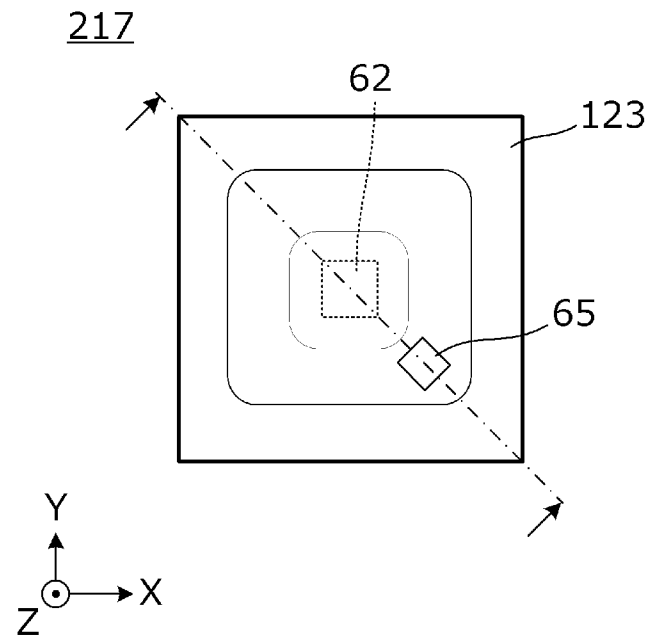
[図35]



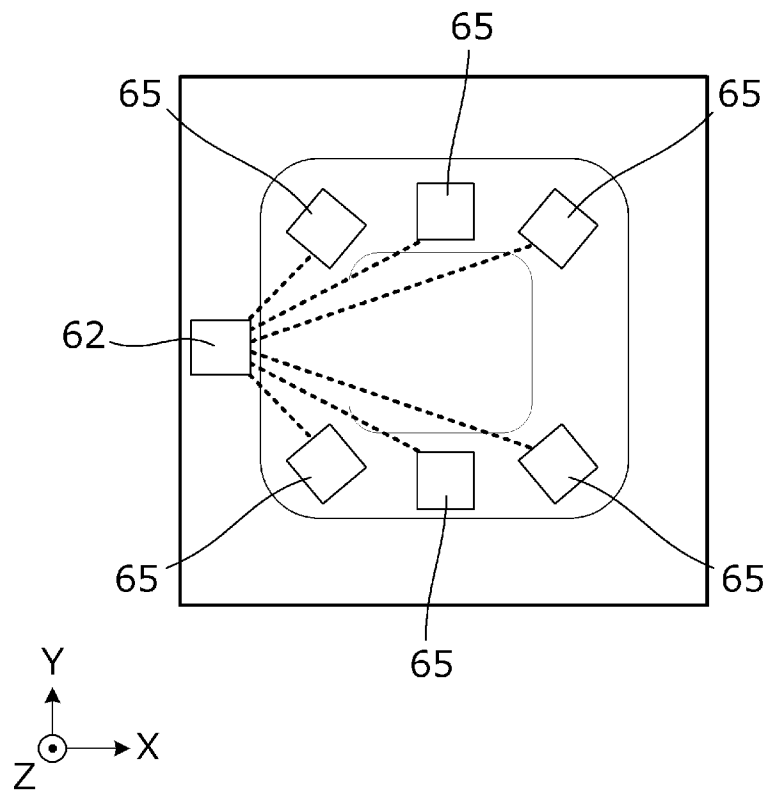
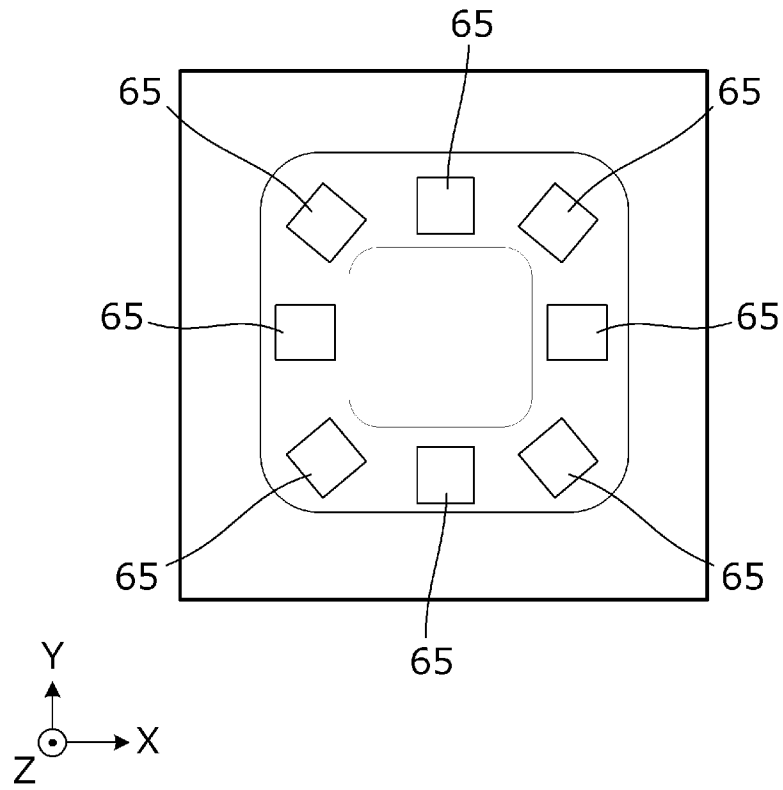
[図36]



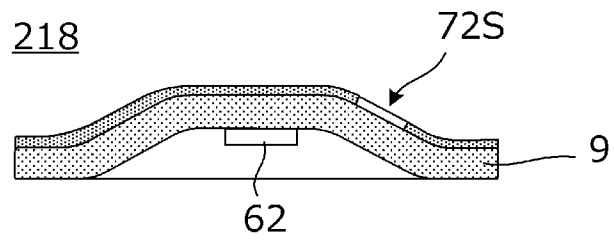
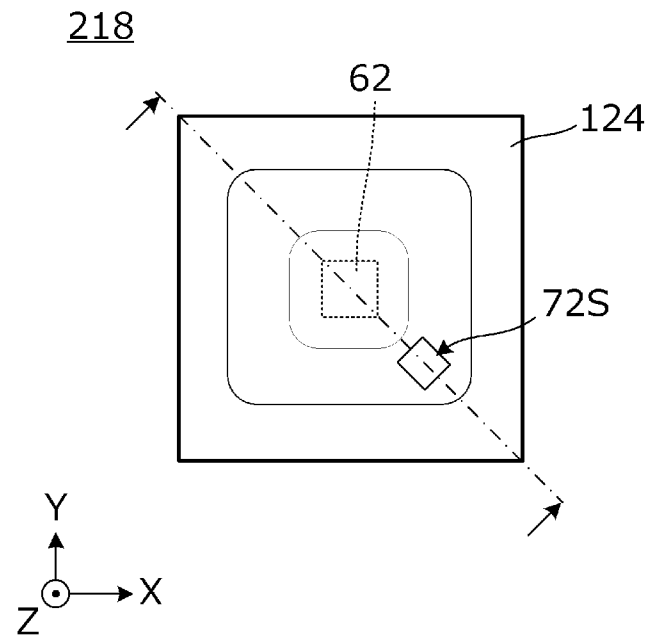
[図37]



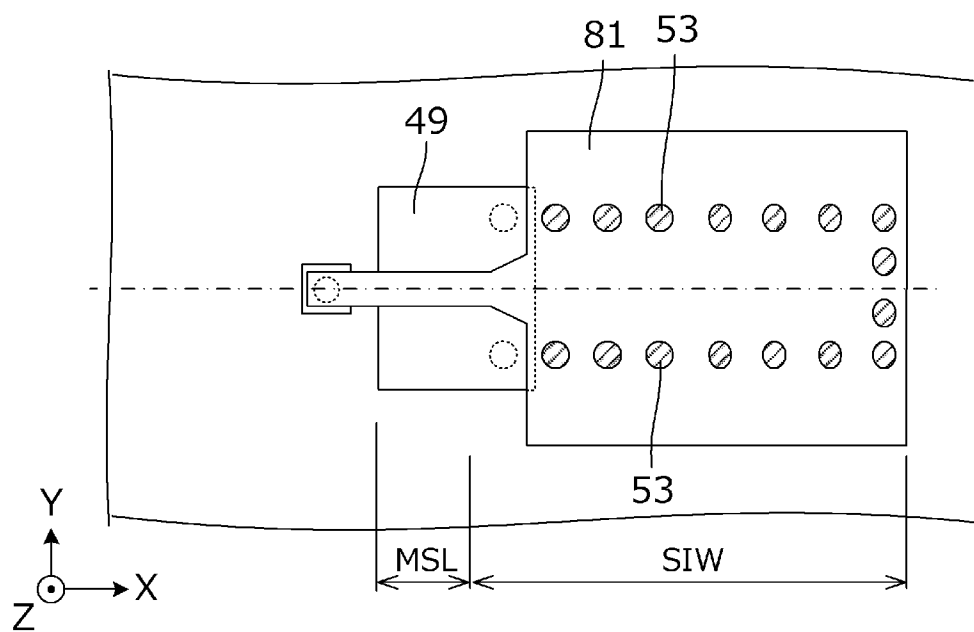
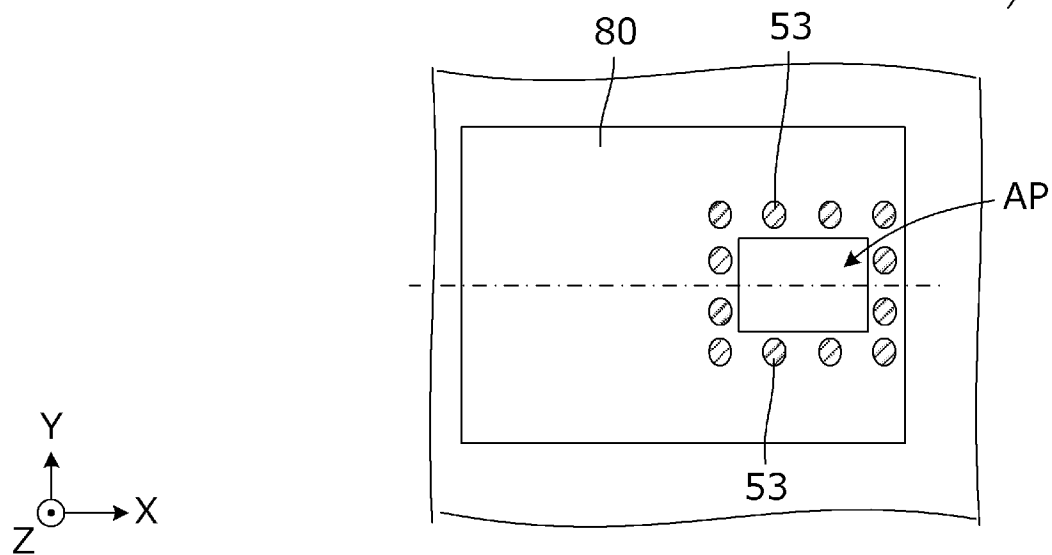
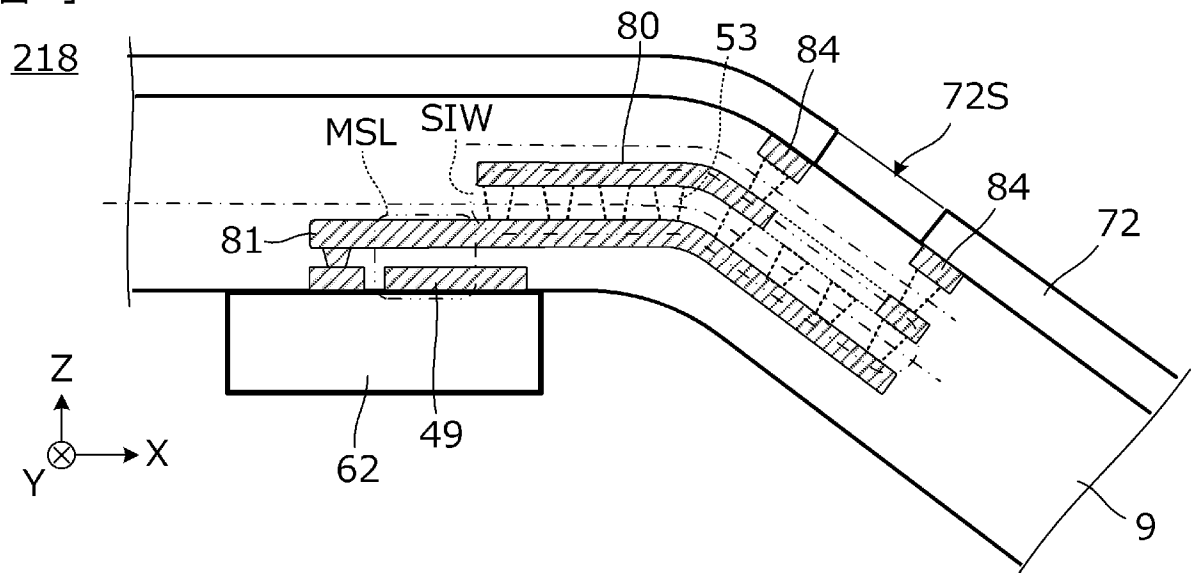
[図39]



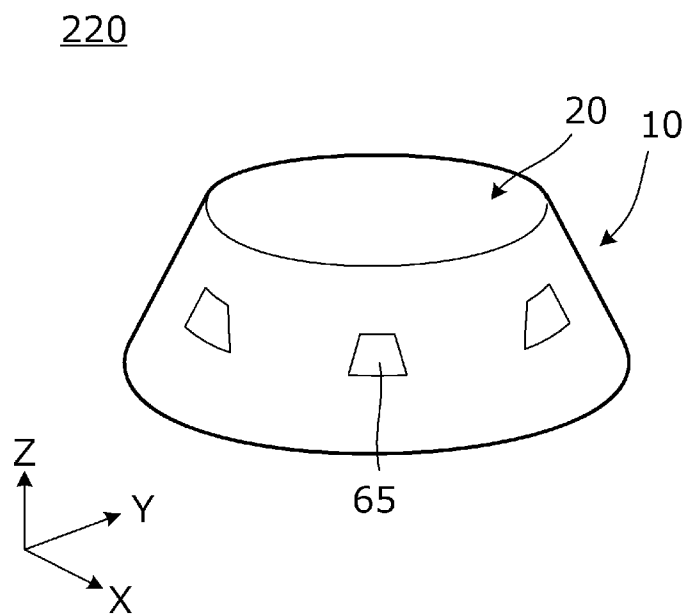
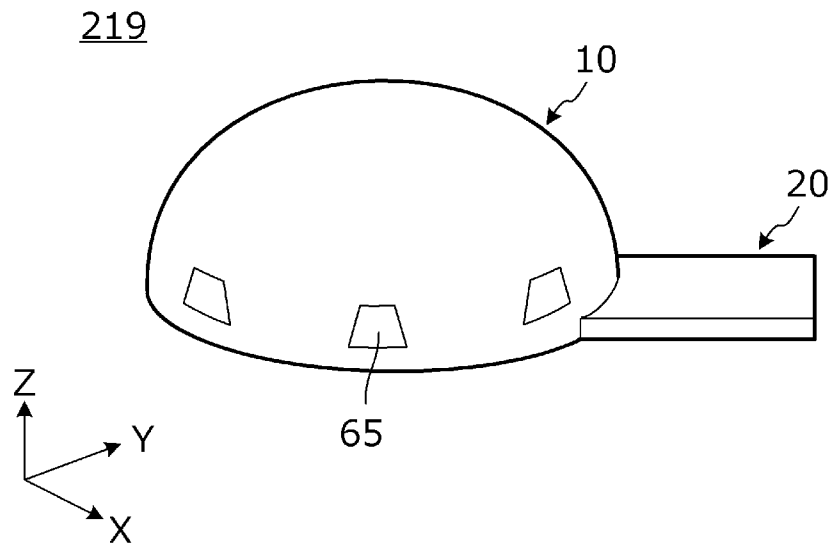
[図40]



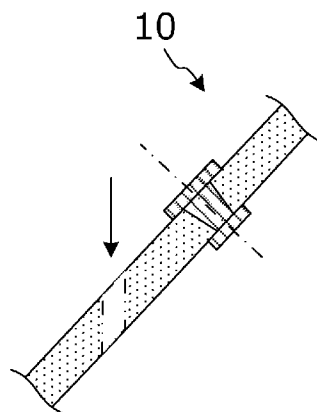
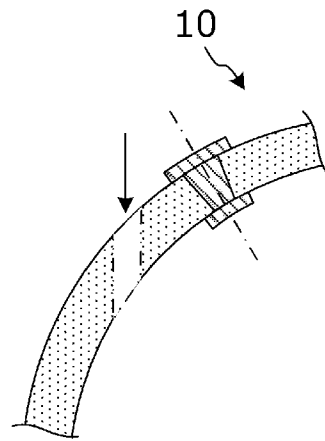
[図41]



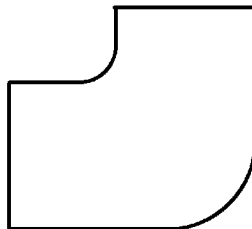
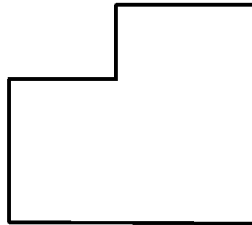
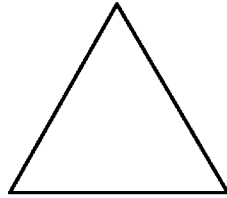
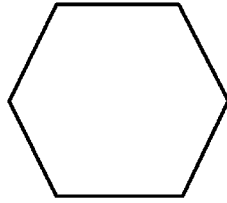
[図42]



[図43]



[図44]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/038490

A. CLASSIFICATION OF SUBJECT MATTER**H05K 1/02**(2006.01)i; **H01L 23/12**(2006.01)i; **H05K 3/46**(2006.01)i

FI: H05K1/02 B; H05K3/46 B; H05K1/02 L; H01L23/12 N; H01L23/12 Q

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K1/02; H01L23/12; H05K3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2024

Registered utility model specifications of Japan 1996-2024

Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2017/051649 A1 (MURATA MANUFACTURING CO., LTD.) 30 March 2017 (2017-03-30) paragraphs [0023]-[0027], [0051], [0061], [0063], fig. 1, 5	1-28
Y	JP 2015-115393 A (ALPS ELECTRIC CO., LTD.) 22 June 2015 (2015-06-22) paragraph [0031], fig. 3	1-28
Y	JP 2006-324617 A (MURATA MANUFACTURING CO., LTD.) 30 November 2006 (2006-11-30) fig. 4	17-23, 25-28
Y	JP 03-220787 A (YAZAKI CORPORATION) 27 September 1991 (1991-09-27) fig. 3	17-23, 25-28
Y	JP 2006-295038 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 26 October 2006 (2006-10-26) fig. 5	21-23, 25-28



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

09 December 2024

Date of mailing of the international search report

24 December 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2019/159521 A1 (MURATA MANUFACTURING CO., LTD.) 22 August 2019 (2019-08-22) paragraph [0071]	24-28
A	WO 2018/012535 A1 (FUJIFILM CORPORATION) 18 January 2018 (2018-01-18) entire text, all drawings	1-28
A	JP 2004-082564 A (KURARAY CO., LTD.) 18 March 2004 (2004-03-18) entire text, all drawings	1-28

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/038490

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2017/051649	A1	30 March 2017	US 2017/279177 A1 paragraphs [0037]-[0041], [0065], [0075], [0077], fig. 1, 5 US 2019/027801 A1 CN 207009625 U CN 207896252 U	
JP	2015-115393	A	22 June 2015	(Family: none)	
JP	2006-324617	A	30 November 2006	US 2008/308976 A1 fig. 4 WO 2006/114974 A1 EP 1873131 A1 CN 101180247 A KR 10-2007-0113247 A	
JP	03-220787	A	27 September 1991	(Family: none)	
JP	2006-295038	A	26 October 2006	(Family: none)	
WO	2019/159521	A1	22 August 2019	US 2020/315010 A1 paragraph [0084] CN 212677472 U	
WO	2018/012535	A1	18 January 2018	TW 201804305 A KR 10-2019-0015485 A CN 109479372 A	
JP	2004-082564	A	18 March 2004	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC））

H05K 1/02(2006.01)i; H01L 23/12(2006.01)i; H05K 3/46(2006.01)i
FI: H05K1/02 B; H05K3/46 B; H05K1/02 L; H01L23/12 N; H01L23/12 Q

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H05K1/02; H01L23/12; H05K3/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922-1996年

日本国公開実用新案公報1971-2024年

日本国実用新案登録公報1996-2024年

日本国登録実用新案公報1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2017/051649 A1（株式会社村田製作所） 30.03.2017（2017-03-30） 段落 [0023] - [0027]、[0051]、[0061]、[0063]、[図1]、[図5]	1-28
Y	JP 2015-115393 A（アルプス電気株式会社） 22.06.2015（2015-06-22） 段落 [0031]、[図3]	1-28
Y	JP 2006-324617 A（株式会社村田製作所） 30.11.2006（2006-11-30） [図4]	17-23、 25-28
Y	JP 03-220787 A（矢崎総業株式会社） 27.09.1991（1991-09-27） 第3図	17-23、 25-28
Y	JP 2006-295038 A（松下電器産業株式会社） 26.10.2006（2006-10-26） [図5]	21-23、 25-28
Y	WO 2019/159521 A1（株式会社村田製作所） 22.08.2019（2019-08-22） 段落 [0071]	24-28

☒ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日
09.12.2024

国際調査報告の発送日
24.12.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

片岡 弘之 3T 9521

電話番号 03-3581-1101 内線 3368

様式 PCT/ISA/210（第2ページ）（2022年7月）

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2018/012535 A1 (富士フイルム株式会社) 18.01.2018 (2018 - 01 - 18) 全文・全図	1 - 2 8
A	JP 2004-082564 A (株式会社クラレ) 18.03.2004 (2004 - 03 - 18) 全文・全図	1 - 2 8

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/038490

引用文献			公表日	パテントファミリー文献	公表日
WO	2017/051649	A1	30.03.2017	US 2017/279177 A1 段落 [0037] - [0041]、[0065]、 [0075]、[0077]、Fig. 1、Fig. 5 US 2019/027801 A1 CN 207009625 U CN 207896252 U	
JP	2015-115393	A	22.06.2015	(ファミリーなし)	
JP	2006-324617	A	30.11.2006	US 2008/308976 A1 FIG. 4 WO 2006/114974 A1 EP 1873131 A1 CN 101180247 A KR 10-2007-0113247 A	
JP	03-220787	A	27.09.1991	(ファミリーなし)	
JP	2006-295038	A	26.10.2006	(ファミリーなし)	
WO	2019/159521	A1	22.08.2019	US 2020/315010 A1 段落 [0084] CN 212677472 U	
WO	2018/012535	A1	18.01.2018	TW 201804305 A KR 10-2019-0015485 A CN 109479372 A	
JP	2004-082564	A	18.03.2004	(ファミリーなし)	