



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 薄膜トランジスタ基板及びその製造方法

技術分野

[0001] 本発明は、薄膜トランジスタ基板及びその製造方法に関し、特に、表示パネルを構成する薄膜トランジスタ基板及びその製造方法に関するものである。

背景技術

[0002] アクティブマトリクス駆動方式の液晶表示パネルは、画像の最小単位である各画素毎に、スイッチング素子として、例えば、薄膜トランジスタ（Thin Film Transistor、以下、「T F T」とも称する）が設けられたT F T基板を備えている。

[0003] T F Tは、例えば、ガラス基板上に設けられたゲート電極と、ゲート電極を覆うように設けられたゲート絶縁膜と、ゲート絶縁膜上にゲート電極に重なるように島状に設けられた半導体層と、半導体層上にゲート電極に重なりと共に、互いに対峙するように設けられたソース電極及びドレイン電極とを備えている。ここで、ゲート電極、ソース電極及びドレイン電極などは、基板に複数の金属膜を連続的に成膜して金属積層膜を形成した後に、その金属積層膜をパターニングすることにより、形成される場合が多い。

[0004] 例えば、特許文献1には、リン酸三アンモニウム三水和物、酢酸モノエタノールアミン塩、過酸化水素及び水を含む、C u又はC u合金とM o又はM o合金とからなる積層金属層のC u又はC u合金とM o又はM o合金とを一度にエッチングするためのエッチング組成物が開示されている。

先行技術文献

特許文献

[0005] 特許文献1：特開2009-91656号公報

発明の概要

発明が解決しようとする課題

[0006] ところで、TFTのゲート電極を形成するために、例えば、ガラス基板上に、スパッタリング法により、Ti膜、Al膜及びTi膜を連続的に成膜して、Ti/Al/Tiの金属積層膜を形成した後に、その金属積層膜をウェットエッチングによりパターニングすると、ゲート電極を構成する上層Tiの表層の周端部が庇状に側方に突出して形成されることがある。そうになると、例えば、上層Tiの庇状の突出部分にエッチャントなどが残留し易くなったり、上層Tiの庇状の突出部分が静電気放電の起点となったりするので、後に続く製造工程や製造されたTFT基板において、不具合が発生するおそれがある。ここで、上層Tiの表層の周端部が庇状に突出して形成される理由としては、上層Tiが実際にはチタン膜とその表層に形成された酸化チタン膜とにより構成され易く、例えば、硝酸、酢酸、リン酸及び水を含む弱酸性エッチング液などのTi/Al/Tiの金属積層膜を一度にエッチング可能なエッチャントにおいて、表層の酸化チタン膜がその下層のチタン膜よりもエッチングされ難いことが考えられる。

[0007] 本発明は、かかる点に鑑みてなされたものであり、その目的とするところは、積層構造を有するゲート電極の表層において、庇状の突出部分の形成を抑制することにある。

課題を解決するための手段

[0008] 上記目的を達成するために、本発明は、エッチングレートが相対的に低いゲート電極の上層側を形成するための第2導電膜が酸化膜により構成されるようにしたものである。

[0009] 具体的に本発明に係る薄膜トランジスタ基板の製造方法は、エッチング液によるエッチングレートが相対的に高い第1導電膜、及び該エッチングレートが相対的に低い第2導電膜を基板に順に成膜して、積層導電膜を形成する導電膜成膜工程と、上記積層導電膜をフォトリソグラフィ及び上記エッチング液によるエッチングによってパターニングして、ゲート電極を形成するエッチング工程とを備える薄膜トランジスタ基板の製造方法であって、上記導電膜成膜工程では、水蒸気を含むプロセスガスの雰囲気中で上記第2導電膜

を成膜することを特徴とする。

- [0010] 上記の方法によれば、導電膜成膜工程では、エッチングレートが相対的に高い第1導電膜を成膜した後に、エッチングレートが相対的に低い第2導電膜を水蒸気を含むプロセスガスの雰囲気中で成膜するので、第2導電膜の全体が均一な酸化膜により構成される。そして、エッチング工程において、積層導電膜をエッチング液によるエッチングによってパターニングしてゲート電極を形成する際、すなわち、第2導電膜をエッチング液によるエッチングによってパターニングしてゲート電極の上層側を形成する際には、第2導電膜の膜質及びエッチングレートが厚さ方向に沿って均一であるので、第2導電膜が逆テーパ状にパターニングされても、その表層の周端部には、庇状の突出部分が形成され難くなる。したがって、第1導電膜及び第2導電膜からなる積層導電膜をパターニングして形成されるゲート電極の表層の周端部において、庇状の突出部分が形成され難いので、積層構造を有するゲート電極の表層において、庇状の突出部分の形成が抑制される。
- [0011] 上記第1導電膜は、アルミニウム膜であり、上記第2導電膜は、酸化チタン膜であってもよい。
- [0012] 上記の方法によれば、第1導電膜がアルミニウム膜であり、第2導電膜が酸化チタン膜であるので、例えば、硝酸、酢酸、リン酸及び水を含む弱酸性エッチング液において、第1導電膜のエッチングレートが具体的に相対的に高くなり、第2導電膜のエッチングレートが具体的に相対的に低くなる。
- [0013] 上記導電膜成膜工程では、上記第1導電膜を成膜する前に、該第1導電膜と上記基板との密着性を向上させるための第3導電膜を成膜してもよい。
- [0014] 上記の方法によれば、導電膜成膜工程において、第3導電膜、第1導電膜及び第2導電膜を基板に順に成膜することにより、第2導電膜（上層）／第1導電膜（中層）／第3導電膜（下層）の3層積層構造を有する積層導電膜が形成されるので、基板と積層導電膜との密着性が第3導電膜を介して向上する。
- [0015] 上記第3導電膜は、チタン膜であってもよい。

- [0016] 上記の方法によれば、第3導電膜がチタン膜であるので、例えば、ガラス基板と積層導電膜との密着性が具体的に向上する。
- [0017] 上記エッチング工程では、上記ゲート電極の上記第1導電膜に対応する部分の断面形状が上記基板側に向かって大きくなる順テーパー形状に該第1導電膜をパターンニングすると共に、上記ゲート電極の上記第2導電膜に対応する部分の断面形状が上記基板側に向かって小さくなる逆テーパー形状に該第2導電膜をパターンニングしてもよい。
- [0018] 上記の方法によれば、エッチング工程において、第1導電膜を順テーパー形状にパターンニングすると共に、第2導電膜を逆テーパー形状にパターンニングするので、例えば、硝酸、酢酸、リン酸及び水を含む弱酸性エッチング液を用いて、酸化チタン層（上層）／アルミニウム層（下層）の積層構造を有するゲート電極が具体的に形成される。
- [0019] また、本発明に係る薄膜トランジスタ基板は、エッチング液によるエッチングレートが相対的に高い第1導電層、及び該第1導電層上に設けられ、該エッチングレートが相対的に低い第2導電層を有するゲート電極が基板に設けられた薄膜トランジスタ基板であって、上記第2導電層は、酸化膜であることを特徴とする。
- [0020] 上記の構成によれば、第2導電層が酸化膜であるので、例えば、第2導電層となる第2導電膜の全体が均一な酸化膜により構成されることになる。そして、第2導電膜をエッチング液によるエッチングによってパターンニングしてゲート電極の上層側を形成する際には、第2導電膜の膜質及びエッチングレートが厚さ方向に沿って均一になっているので、第2導電膜が逆テーパー形状にパターンニングされても、その表層の周端部には、庇状の突出部分が形成され難い。したがって、第1導電層及び第2導電層からなるゲート電極の表層の周端部において、庇状の突出部分が形成され難いので、積層構造を有するゲート電極の表層において、庇状の突出部分の形成が抑制される。
- [0021] 上記第1導電層は、断面形状が上記基板側に向かって大きくなる順テーパー形状に設けられ、上記第2導電層は、断面形状が上記基板側に向かって小

さくなる逆テーパー形状に設けられていてもよい。

[0022] 上記の構成によれば、第 1 導電層の断面形状が基板側に向かって大きくなる順テーパー形状に設けられ、第 2 導電層の断面形状が基板側に向かって小さくなる逆テーパー形状に設けられているので、例えば、硝酸、酢酸、リン酸及び水を含む弱酸性エッチング液を用いて、酸化チタン層からなる第 2 導電層（上層）／アルミニウム層からなる第 1 導電層（下層）の積層構造を有するゲート電極が具体的に構成される。

発明の効果

[0023] 本発明によれば、エッチングレートが相対的に低いゲート電極の上層側を形成するための第 2 導電膜が酸化膜により構成されるので、積層構造を有するゲート電極の表層において、庇状の突出部分の形成を抑制することができる。

図面の簡単な説明

[0024] [図1] 図 1 は、本発明の一実施形態に係る T F T 基板の断面図である。

[図2] 図 2 は、本発明の一実施形態に係る T F T 基板の製造工程を示す断面図である。

発明を実施するための形態

[0025] 以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、本発明は、以下の実施形態に限定されるものではない。

[0026] 図 1 及び図 2 は、本発明に係る薄膜トランジスタ基板及びその製造方法の一実施形態を示している。具体的に図 1 は、本実施形態の T F T 基板 2 0 の断面図である。また、図 2（a）は、T F T 基板 2 0 の製造方法の導電膜成膜工程を示す断面図であり、図 2（b）は、そのエッチング工程を示す断面図である。

[0027] T F T 基板 2 0 は、図 1 に示すように、絶縁基板 1 0 と、絶縁基板 1 0 上に互いに平行に延びるように設けられた複数のゲート線（不図示）と、各ゲート線と直交する方向に互いに平行に延びるように設けられた複数のソース線（不図示）と、各ゲート線及び各ソース線の交差部分毎、すなわち、各画

素毎にそれぞれ設けられた複数のＴＦＴ５と、各ＴＦＴ５を覆うように設けられた層間絶縁膜１８と、層間絶縁膜１８上にマトリクス状に設けられた複数の画素電極１９と、各画素電極１９を覆うように設けられた配向膜（不図示）とを備えている。

[0028] ＴＦＴ５は、図１に示すように、絶縁基板１０上に設けられたゲート電極１４ａと、ゲート電極１４ａを覆うように設けられたゲート絶縁膜１５と、ゲート絶縁膜１５上にゲート電極１４ａに重なるように島状に設けられた半導体層１６と、半導体層１６上にゲート電極１４ａに重なりと共に互いに対峙するように設けられたソース電極１７ａ及びドレイン電極１７ｂとを備えている。

[0029] ゲート電極１４ａは、例えば、上記各ゲート線の側方への突出部分であり、図１に示すように、絶縁基板１０上に設けられた第３導電層１１ａと、第３導電層１１ａに積層された第１導電層１２ａと、第１導電層１２ａに積層された第２導電層１３ａとを備えている。ここで、第１導電層１２ａは、硝酸、酢酸、リン酸及び水を含む弱酸性エッチング液によるエッチングレートが相対的に高く、第２導電層１３ａ及び第３導電層１１ａは、その弱酸性エッチング液によるエッチングレートが相対的に低くなっている。また、第１導電層１２ａ及び第３導電層１１ａは、図１に示すように、その断面形状が絶縁基板１０側に向かって大きくなる順テーパ形状に設けられている。さらに、第２導電層１３ａは、酸化膜であり、図１に示すように、その断面形状が絶縁基板１０側に向かって小さくなる逆テーパ形状に設けられている。

[0030] 半導体層１６は、例えば、チャネル領域を有する真性アモルファスシリコン層（不図示）と、真性アモルファスシリコン層にそのチャネル領域が露出するように積層され、ソース電極１７ａ及びドレイン電極１７ｂに接続された n^+ アモルファスシリコン層（不図示）とを備えている。

[0031] ソース電極１７ａは、例えば、上記各ソース線の側方への突出した部分である。

[0032] ドレイン電極 17b は、図 1 に示すように、層間絶縁膜 18 に形成されたコンタクトホールを介して画素電極 19 に接続されている。

[0033] 上記構成の TFT 基板 20 は、それに対向して配置される対向基板と、それらの両基板の間に封入される液晶層と共に、アクティブマトリクス駆動方式の液晶表示パネルを構成するものである。

[0034] 次に、本実施形態の TFT 基板 20 を製造する方法について、図 1 及び図 2 を用いて説明する。ここで、本実施形態の製造方法は、導電膜成膜工程及びエッチング工程を備える。

[0035] まず、ガラス基板などの絶縁基板 10 の基板全体に、図 2 (a) に示すように、スパッタリング法により、例えば、チタン膜（厚さ 50 nm 程度）などの第 3 導電膜 11、アルミニウム膜（厚さ 400 nm 程度）などの第 1 導電膜 12、及び酸化チタン膜（厚さ 150 nm 程度）などの第 2 導電膜 12 を順に成膜して、積層導電膜 14 を形成する（導電膜成膜工程）。ここで、チタン膜を成膜する際には、チタターゲットが内部に配置された処理室の内部にプロセスガスとしてアルゴンガス（例えば、770 sccm）を導入し、酸化チタン膜を成膜する際には、その処理室の内部にアルゴンガス（例えば、770 sccm）及び水蒸気（例えば、20 sccm）を導入して、処理室の内部を水蒸気を含むプロセスガス G の雰囲気にする。なお、sccm は、「standard cubic centimeters per minute」という意味であり、1 分間当たり流量（cc）を示す単位である。また、本実施形態では、第 1 導電膜 12 として、アルミニウム膜を例示したが、第 2 導電膜 13 に用いる材料と比較して相対的にエッチングレートが高ければ、銅膜、チタン膜、クロム膜、銀膜、それらの膜の構成元素を少なくとも 1 つを含む合金膜などであってもよい。また、本実施形態では、第 2 導電膜 13 として、酸化チタン膜を例示したが、第 1 導電膜 12 に用いる材料と比較して相対的にエッチングレートが低ければ、酸化タンタル膜、酸化クロム膜、酸化タングステン膜、それらの膜の構成元素を少なくとも 1 つを含む合金酸化膜などであってもよい。また、本実施形態では、第 3 導電膜 11 として、チタン膜を例示したが、

第1導電膜12に用いる材料と比較して相対的にエッチングレートが低ければ、タンタル膜、クロム膜、タングステン膜、それらの膜の構成元素を少なくとも1つを含む合金膜などであってもよい。さらに、第3導電膜11は、ガラス製の絶縁基板10とアルミニウム製の第1導電膜12との密着性を向上させるために設けられている。また、第2導電膜13は、上記各ゲート線の端部に、画素電極19と同一層に同一材料により形成されたITO（Indium Tin Oxide）製のゲート端子とアルミニウム製の第1導電層12aとの間の電氣的な腐食（電蝕）反応を抑制するために設けられている。

[0036] 続いて、図2（b）に示すように、積層導電膜14が形成された基板上に、フォトリソグラフィを用いてレジストパターンRを形成した後に、レジストパターンRから露出する積層導電膜14に対して、硝酸、酢酸、リン酸及び水を含む弱酸性エッチング液Eによるエッチングを行うことにより、積層導電膜14をパターニングして、ゲート電極14a及びゲート線を形成する（エッチング工程）。ここで、積層導電膜14をパターニングする際には、第1導電膜12及び第3導電膜11のゲート電極14a及びゲート線となる部分の断面形状が絶縁基板10側に向かって大きくなる順テーパー形状に第1導電膜12及び第3導電膜11をパターニングすると共に、第2導電膜13のゲート電極14a及びゲート線となる部分の断面形状が絶縁基板10側に向かって小さくなる逆テーパー形状に第2導電膜13をパターニングすることになる。

[0037] その後、ゲート電極14a及びゲート線が形成された基板全体に、プラズマCVD（Chemical Vapor Deposition）法により、例えば、窒化シリコン膜（厚さ400nm程度）などを成膜し、ゲート絶縁膜15（図1参照）を形成する。

[0038] さらに、ゲート絶縁膜15が形成された基板全体に、プラズマCVD法により、例えば、真性アモルファスシリコン膜（厚さ100nm程度）、及びリンがドーピングされたn⁺アモルファスシリコン膜（厚さ50nm程度）を順に成膜した後に、真性アモルファスシリコン膜及びn⁺アモルファスシリコン膜

の積層膜をフォトリソグラフィを用いてゲート電極 14 a 上に島状にパターンニングすることにより、半導体層形成部を形成する。

[0039] 引き続き、上記半導体層形成部が形成された基板全体に、スパッタリング法により、例えば、アルミニウム膜（厚さ 400 nm 程度）及びチタン膜（厚さ 50 nm 程度）などを順に成膜して、金属積層膜を形成した後に、その金属積層膜をフォトリソグラフィを用いてパターンニングすることにより、ソース電極 17 a 及びドレイン電極 17 b（図 1 参照）並びにソース線を形成する。

[0040] そして、ソース電極 17 a 及びドレイン電極 17 b をマスクとして、上記半導体層形成部の n⁺アモルファスシリコン層をエッチングすることにより、チャネル領域を形成して、半導体層 16 及びそれを備えた TFT 5（図 1 参照）を形成する。

[0041] さらに、TFT 5 が形成された基板全体に、例えば、窒化シリコン膜（厚さ 200 nm 程度）などを成膜し、無機絶縁膜を形成する。

[0042] 続いて、上記無機絶縁膜が形成された基板全体に、スピンコート法により、例えば、アクリル系の感光性樹脂を厚さ 2 μm 程度に塗布し、その塗布された感光性樹脂をフォトマスクを介して露光した後に、現像することにより、ドレイン電極 17 b（図 1 参照）上にコンタクトホールを有する有機絶縁膜を形成する。

[0043] さらに、上記有機絶縁膜のコンタクトホールから露出する上記無機絶縁膜をエッチングすることにより、無機絶縁膜及び有機絶縁膜からなる層間絶縁膜 18（図 1 参照）を形成する。

[0044] 最後に、層間絶縁膜 18 が形成された基板全体に、スパッタリング法により、例えば、ITO 膜（厚さ 100 nm 程度）などの透明導電膜を成膜した後に、その透明導電膜をフォトリソグラフィを用いてパターンニングすることにより、画素電極 19 を形成する。

[0045] 以上のようにして、TFT 基板 20 を製造することができる。

[0046] 以上説明したように、本実施形態の TFT 基板 20 及びその製造方法によ

れば、導電膜成膜工程において、エッチングレートが相対的に高い第1導電膜12を成膜した後に、エッチングレートが相対的に低い第2導電膜13を水蒸気を含むプロセスガスGの雰囲気中で成膜するので、第2導電膜13の全体を均一な酸化膜により構成することができる。そして、エッチング工程において、積層導電膜14をエッチング液Eによるエッチングによってパターンニングしてゲート電極14aを形成する際、すなわち、第2導電膜13をエッチング液Eによるエッチングによってパターンニングしてゲート電極14aの上層側を形成する際には、第2導電膜13の膜質及びエッチングレートが厚さ方向に沿って均一であるので、第2導電膜13が逆テーパ状にパターンニングされても、その表層の周端部には、庇状の突出部分が形成され難くなる。したがって、第3導電膜11、第1導電膜12及び第2導電膜13からなる積層導電膜14をパターンニングして形成されるゲート電極14aの表層の周端部において、庇状の突出部分が形成され難いので、積層構造を有するゲート電極14aの表層において、庇状の突出部分の形成を抑制することができる。

[0047] なお、本実施形態では、ボトムゲート型のTFT5を備えたTFT基板20を例示したが、本発明は、トップゲート型のTFTを備えたTFT基板にも適用することができる。

[0048] また、本実施形態では、導電部材における庇状の突出部分の形成が抑制される対象として、ゲート電極を例示したが、本発明は、ゲート線やソース電極を含むソース線などの表示用配線にも適用することができる。

[0049] また、本実施形態では、画素電極19に接続されたTFT5の電極をドレイン電極17bとしたTFT基板20を例示したが、本発明は、画素電極に接続されたTFTの電極をソース電極と呼ぶTFT基板にも適用することができる。

産業上の利用可能性

[0050] 以上説明したように、本発明は、積層構造を有するゲート電極の表層において、庇状の突出部分の形成が抑制されるので、アクティブマトリクス駆動

方式の表示パネルを構成するＴＦＴ基板について有用である。

符号の説明

[0051]	E	エッチング液
	G	プロセスガス
	1 0	絶縁基板
	1 1	第 3 導電膜
	1 2	第 1 導電膜
	1 2 a	第 1 導電層
	1 3	第 2 導電膜
	1 3 a	第 2 導電層
	1 4	積層導電膜
	1 4 a	ゲート電極
	2 0	ＴＦＴ基板

請求の範囲

- [請求項1] エッチング液によるエッチングレートが相対的に高い第1導電膜、及び該エッチングレートが相対的に低い第2導電膜を基板に順に成膜して、積層導電膜を形成する導電膜成膜工程と、
- 上記積層導電膜をフォトリソグラフィ及び上記エッチング液によるエッチングによってパターニングして、ゲート電極を形成するエッチング工程とを備える薄膜トランジスタ基板の製造方法であって、
- 上記導電膜成膜工程では、水蒸気を含むプロセスガスの雰囲気中で上記第2導電膜を成膜することを特徴とする薄膜トランジスタ基板の製造方法。
- [請求項2] 請求項1に記載された薄膜トランジスタ基板の製造方法において、
- 上記第1導電膜は、アルミニウム膜であり、
- 上記第2導電膜は、酸化チタン膜であることを特徴とする薄膜トランジスタ基板の製造方法。
- [請求項3] 請求項1又は2に記載された薄膜トランジスタ基板の製造方法において、
- 上記導電膜成膜工程では、上記第1導電膜を成膜する前に、該第1導電膜と上記基板との密着性を向上させるための第3導電膜を成膜することを特徴とする薄膜トランジスタ基板の製造方法。
- [請求項4] 請求項3に記載された薄膜トランジスタ基板の製造方法において、
- 上記第3導電膜は、チタン膜であることを特徴とする薄膜トランジスタ基板の製造方法。
- [請求項5] 請求項1乃至4の何れか1つに記載された薄膜トランジスタ基板の製造方法において、
- 上記エッチング工程では、上記ゲート電極の上記第1導電膜に対応する部分の断面形状が上記基板側に向かって大きくなる順テーパ形状に該第1導電膜をパターニングすると共に、上記ゲート電極の上記第2導電膜に対応する部分の断面形状が上記基板側に向かって小さく

なる逆テーパ形状に該第2導電膜をパターンニングすることを特徴とする薄膜トランジスタ基板の製造方法。

[請求項6]

エッチング液によるエッチングレートが相対的に高い第1導電層、及び該第1導電層上に設けられ、該エッチングレートが相対的に低い第2導電層を有するゲート電極が基板に設けられた薄膜トランジスタ基板であって、

上記第2導電層は、酸化膜であることを特徴とする薄膜トランジスタ基板。

[請求項7]

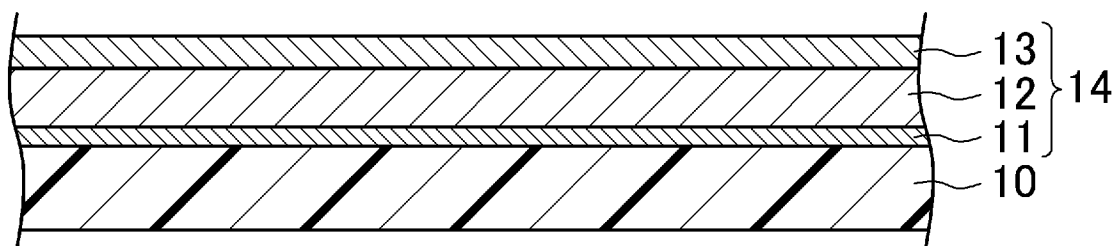
請求項6に記載された薄膜トランジスタ基板において、

上記第1導電層は、断面形状が上記基板側に向かって大きくなる順テーパ形状に設けられ、

上記第2導電層は、断面形状が上記基板側に向かって小さくなる逆テーパ形状に設けられていることを特徴とする薄膜トランジスタ基板。

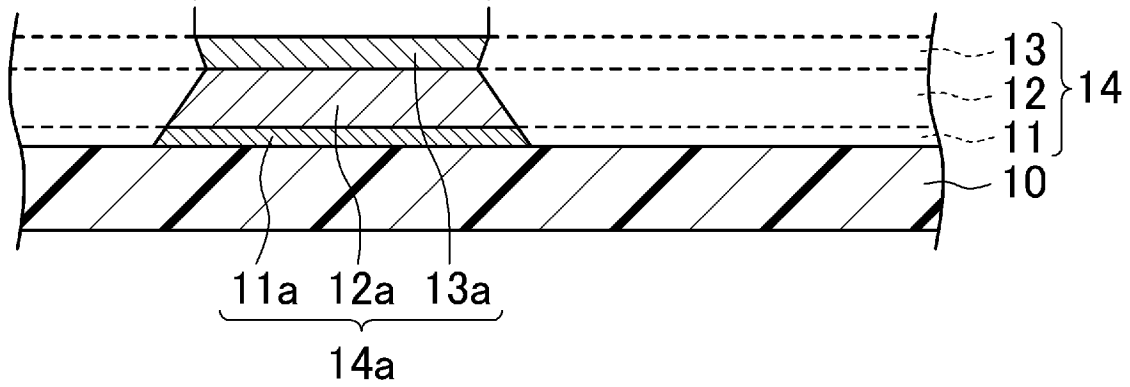
[図2]

(a)

G

(b)

R

E

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/007225

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/28(2006.01)i, G02F1/1368(2006.01)i, H01L21/285(2006.01)i, H01L21/306(2006.01)i, H01L21/308(2006.01)i, H01L21/3205(2006.01)i, H01L21/3213(2006.01)i, H01L23/52(2006.01)i, H01L29/423(2006.01)i,

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/28, G02F1/1368, H01L21/285, H01L21/306, H01L21/308, H01L21/3205, H01L21/3213, H01L23/52, H01L29/423, H01L29/49, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2009-016756 A (NEC LCD Technologies, Ltd.), 22 January 2009 (22.01.2009), paragraphs [0010] to [0042]; fig. 5 to 7 & US 2009/0014722 A1 & CN 101345246 A	6-7 1-5
Y A	JP 2005-044851 A (Seiko Epson Corp.), 17 February 2005 (17.02.2005), paragraph [0041]; fig. 4 (Family: none)	6-7 1-5
Y A	JP 2007-294928 A (Semiconductor Energy Laboratory Co., Ltd.), 08 November 2007 (08.11.2007), paragraphs [0090], [0138]; fig. 13 & US 2008/0029807 A1 & KR 10-2007-0098581 A	6-7 1-5



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 January, 2011 (06.01.11)

Date of mailing of the international search report
25 January, 2011 (25.01.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/007225

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-009061 A (NEC Kagoshima, Ltd.), 11 January 2002 (11.01.2002), entire text; fig. 1 to 2 (Family: none)	1-7
A	JP 2000-047263 A (Fujitsu Ltd.), 18 February 2000 (18.02.2000), entire text; fig. 1 to 12 & US 2001/0019127 A1 & US 6335290 B1 & TW 486584 B & KR 10-2000-0011242 A	1-7
A	JP 6-177381 A (Fujitsu Ltd.), 24 June 1994 (24.06.1994), entire text; fig. 1 to 2 (Family: none)	1-7
A	JP 2000-171834 A (Hitachi, Ltd.), 23 June 2000 (23.06.2000), entire text; fig. 1 to 19 & US 6392721 B1 & KR 10-2000-0028792 A	1-7
A	JP 2005-316399 A (Sharp Corp.), 10 November 2005 (10.11.2005), paragraphs [0002] to [0031]; fig. 45 to 52 & US 2005/0186359 A1 & KR 10-2006-0042994 A & CN 1658032 A	1-7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/007225

Continuation of A. CLASSIFICATION OF SUBJECT MATTER
(International Patent Classification (IPC))

H01L29/49(2006.01)i, H01L29/786(2006.01)i

(According to International Patent Classification (IPC) or to both national
classification and IPC)

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/28(2006.01)i, G02F1/1368(2006.01)i, H01L21/285(2006.01)i, H01L21/306(2006.01)i, H01L21/308(2006.01)i, H01L21/3205(2006.01)i, H01L21/3213(2006.01)i, H01L23/52(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/28, G02F1/1368, H01L21/285, H01L21/306, H01L21/308, H01L21/3205, H01L21/3213, H01L23/52, H01L29/423, H01L29/49, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2009-016756 A（NEC液晶テクノロジー株式会社）2009.01.22, 段落番号[0010]-[0042], 図5-7 & US 2009/0014722 A1 & CN 101345246 A	6-7 1-5
Y A	JP 2005-044851 A（セイコーエプソン株式会社）2005.02.17, 段落番号[0041], 図4 （ファミリーなし）	6-7 1-5

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 6 . 0 1 . 2 0 1 1

国際調査報告の発送日

2 5 . 0 1 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

早川 朋一

電話番号 03-3581-1101 内線 3498

4 L

9 7 3 3

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2007-294928 A (株式会社半導体エネルギー研究所) 2007.11.08, 段落番号[0090], [0138], 図 13 & US 2008/0029807 A1 & KR 10-2007-0098581 A	6-7 1-5
A	JP 2002-009061 A (鹿児島日本電気株式会社) 2002.01.11, 全文, 図 1-2 (ファミリーなし)	1-7
A	JP 2000-047263 A (富士通株式会社) 2000.02.18, 全文, 図 1-12 & US 2001/0019127 A1 & US 6335290 B1 & TW 486584 B & KR 10-2000-0011242 A	1-7
A	JP 6-177381 A (富士通株式会社) 1994.06.24, 全文, 図 1-2 (ファミリーなし)	1-7
A	JP 2000-171834 A (株式会社日立製作所) 2000.06.23, 全文, 図 1-19 & US 6392721 B1 & KR 10-2000-0028792 A	1-7
A	JP 2005-316399 A (シャープ株式会社) 2005.11.10, 段落番号[0002]-[0031], 図 45-52 & US 2005/0186359 A1 & KR 10-2006-0042994 A & CN 1658032 A	1-7