



(12)

## Patentschrift

(21) Deutsches Aktenzeichen: **11 2006 001 280.0**  
(86) PCT-Aktenzeichen: **PCT/JP2006/302516**  
(87) PCT-Veröffentlichungs-Nr.: **WO 2006/123458**  
(86) PCT-Anmeldetag: **14.02.2006**  
(87) PCT-Veröffentlichungstag: **23.11.2006**  
(43) Veröffentlichungstag der PCT Anmeldung  
in deutscher Übersetzung: **13.03.2008**  
(45) Veröffentlichungstag  
der Patenterteilung: **18.08.2016**

(51) Int Cl.: **H01L 29/78 (2006.01)**  
**H01L 21/336 (2006.01)**  
**H01L 29/161 (2006.01)**

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:  
**2005-147088**                      **19.05.2005**      **JP**

(73) Patentinhaber:  
**Mitsubishi Denki K.K., Tokyo, JP**

(74) Vertreter:  
**Meissner Bolte Patentanwälte Rechtsanwälte  
Partnerschaft mbB, 80538 München, DE**

(72) Erfinder:  
**Ootsuka, Kenichi, Tokyo, JP; Takami, Tetsuya,  
Tokyo, JP; Minato, Tadaharu, Tokyo, JP**

(56) Ermittelter Stand der Technik:

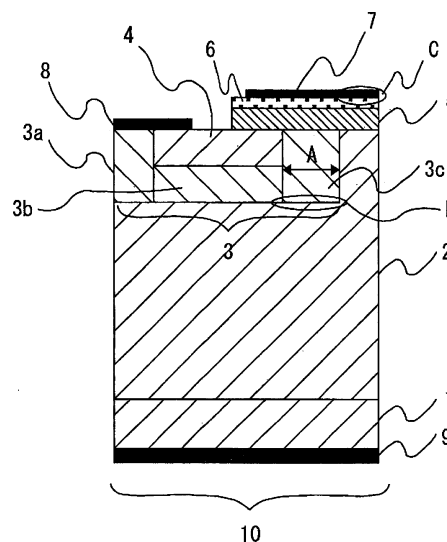
**US**                      **6 246 077**      **B1**  
**US**                      **2004 / 0 079 989**      **A1**

(54) Bezeichnung: **Halbleitervorrichtung und Verfahren zu deren Herstellung**

(57) Hauptanspruch: Halbleitervorrichtung, die folgendes aufweist:

- ein Halbleitersubstrat (1) eines ersten Leitfähigkeitstyps;
- eine Driftschicht (2), die den ersten Leitfähigkeitstyp hat und auf einer Hauptfläche des Halbleitersubstrats (1) gebildet ist;
- einen Basisbereich (3) eines zweiten Leitfähigkeitstyps, der in einem vorbestimmten Bereich eines Oberflächenbereichs der Driftschicht (2) gebildet ist, wobei der Basisbereich (3) eine vorbestimmte Tiefe aufweist;
- einen Sourcebereich (4), der den ersten Leitfähigkeitstyp hat und in einem vorbestimmten Bereich eines Oberflächenbereichs des Basisbereichs (3) gebildet ist, wobei der Sourcebereich (4) eine geringere Tiefe als der Basisbereich (3) aufweist;
- einen Kanalbereich (5), der den zweiten Leitfähigkeitstyp hat und auf einer Oberfläche des Sourcebereichs (4) und der Driftschicht (2) gebildet ist, um den Sourcebereich (4) und die Driftschicht (2) miteinander zu verbinden;
- eine Isolierschicht (6), die auf einer Oberfläche des Kanalbereichs (5) gebildet ist;
- eine Gateelektrode (7), die auf einer Oberfläche der Isolierschicht (6) gebildet ist;
- eine Sourceelektrode (8), die auf einer Oberfläche des Basisbereichs (3) und des Sourcebereichs (4) gebildet ist; und
- eine Drainelektrode (0), die an einer unteren Oberfläche des Halbleitersubstrats (1) gebildet ist.

dadurch gekennzeichnet,  
dass der Kanalbereich (5) des zweiten Leitfähigkeitstyps durch epitaxiales Aufwachsen gebildet ist und seine Oberfläche eben ist, und  
dass das Halbleitersubstrat (1), die Driftschicht (2), der Basisbereich (3), der Sourcebereich (4) und der Kanalbereich (5) aus SiC gebildet sind, wobei der erste Leitfähigkeitstyp entgegengesetzt zum zweiten Leitfähigkeitstyp ist.



**Beschreibung**

## Technisches Gebiet

**[0001]** Die vorliegende Erfindung bezieht sich auf Feldeffekttransistoren mit Metalloxid-Silizium-Gatestrukturen (die im folgenden als MOSFETs bezeichnet werden) und betrifft insbesondere Hochleistungs-MOSFETs mit verbessertem Durchlaßwiderstand und verbesserter Durchbruchspannung sowie ein Verfahren zum Herstellen von derartigen Komponenten.

## Stand der Technik

**[0002]** Aus den Druckschriften US 2004/0 079 989 A1 und US 6 246 077 B1 ist jeweils eine Halbleitervorrichtung gemäß dem Oberbegriff des unabhängigen Patentanspruches 1 bekannt.

**[0003]** In den letzten Jahren expandiert der Marktumfang von Leistungshalbleitern, wie zum Beispiel IGBTs (Bipolartransistoren mit isoliertem Gate) und Leistungs-MOSFETs aufgrund solcher Faktoren, wie etwa der Elektronisierung von Steuervorrichtungen für Kraftfahrzeuge, der Verbreitung von digitalen Haushaltsgeräten sowie der Verwendung von Inverttern für die Reduzierung des Energieverbrauchs bei Weißwaren. Derzeit werden Forschungen hinsichtlich Leistungshalbleitern angestellt, um deren Eigenschaften vom Standpunkt eines reduzierten Energieverbrauchs zu verbessern.

**[0004]** Insbesondere bietet Siliziumkarbid (das im folgenden als SiC bezeichnet wird) einen reduzierten Durchlaßwiderstand, da seine dielektrische Durchschlagfestigkeit im elektrischen Feld etwa zehnmal höher ist als die von Silizium (das im folgenden als Si bezeichnet wird) und da es auch aufgrund seiner hohen Bandbreite von 3 eV oder mehr Vorgänge bei höheren Temperaturen ermöglicht. Aus diesem Grund werden die SiC verwendenden MOS-(Metalloxid-Halbleiter-)FETs als Schaltvorrichtungen der nächsten Generation mit hoher Spannung und geringem Verlust als am vielversprechendsten betrachtet.

**[0005]** Bei einer MOS-Struktur mit Si handelt es sich um eine allgemein bekannte Bauform, jedoch weist eine SiC verwendende Struktur das Problem einer reduzierten Kanalbeweglichkeit auf, da die Oxid-Halbleiter-Grenzfläche eine höhere Grenzflächendichte aufweist, wenn eine Schicht aus thermischem Oxid als Oxid verwendet wird.

**[0006]** Daher offenbart das Patentedokument 1 eine MOSFET-Struktur, die durch Herstellen einer Driftschicht auf einem SiC-Substrat gebildet ist, wobei p-leitende Basisbereiche und n-leitende Sourcebereiche durch photolithographische und Ionem-

plantationstechniken gebildet werden, eine n-leitende Schicht als Kanalschicht gebildet wird und anschließend eine Gatestruktur gebildet wird, die aus einer Gateisolierschicht beispielsweise aus thermischem Oxid und einer Gateelektrode besteht.

**[0007]** Dies ermöglicht eine Reduzierung des Einflusses der Oxid-Halbleiter-Grenzflächenzustände auf die Träger in der Kanalschicht. Auch müssen die Leistungshalbleiter einen normalen Ruhebetrieb ausführen, in dem kein Strom zwischen Source und Drain fließt, wenn die Gate-Spannung Null beträgt, um dadurch einen sicheren Betrieb des Systems zu gewährleisten. Wenn jedoch in der vorstehend beschriebenen Weise eine n-leitende Schicht als Kanalschicht verwendet wird, dann ist es manchmal schwierig, Bedingungen im normalen Ruhebetrieb mit guter Steuerbarkeit zu erzielen.

**[0008]** Daher offenbart das Patentedokument 2 eine Ausführungsform, bei der eine normale p-leitende Schicht in einem invertierten Zustand betrieben wird (Inversions-MOS), und das Dokument beschreibt, daß der Einfluß der Oxid-Halbleiter-Grenzflächenzustände dadurch reduziert werden kann, daß die Konzentration des als Kanalschicht dienenden p-leitenden Bereichs auf  $1 \times 10^{16}/\text{cm}^3$  oder weniger eingestellt wird.

**[0009]** Ferner ist es zum Erzielen eines verminderten Durchlaßwiderstands und einer verbesserten Durchbruchspannung, bei denen es sich um Indizes zum Veranschaulichen des Leistungsvermögens von Leistungsvorrichtungen handelt, wirksam, die Vorrichtunggröße zu reduzieren und eine größere Anzahl von Vorrichtungen pro Flächeneinheit herzustellen. Zu diesem Zweck werden Herstellungsverfahren mit Selbstausrichtung vorgeschlagen, die in der Lage sind, eine gute Steuerbarkeit beim Bilden der Kanallänge zu erzielen, die durch die Abmessungen des p-leitenden Basisbereichs und des n-leitenden Sourcebereichs des MOSFET bestimmt wird.

**[0010]** Zum Beispiel offenbart das Patentedokument 3 ein Verfahren, das eine zweilagige Ionenimplantationsmaske verwendet und die Ausbreitung bei dem Ionenimplantationsvorgang nutzt, so daß eine einzige Implantationsmaske anstatt von zwei unabhängigen Implantationsmasken verwendet werden kann, wobei die Abmessungen selbst dann gesteuert werden können, wenn die Kanallänge nur etwa  $1 \mu\text{m}$  oder weniger beträgt.

Patentdokument 1: Japanische Patentanmeldungs-Offenlegungsschrift JP H10-308 510 A (Seiten 5–6, **Fig. 1**)

Patentdokument 2: Japanische Patentanmeldungs-Offenlegungsschrift JP 2000-150 866 A (Seiten 3–4, **Fig. 1**)

Patentdokument 3: Japanische Patentanmeldungs-Offenlegungsschrift JP 2004-363 515 A (Seite 4, **Fig. 1**).

#### Offenbarung der Erfindung

##### Mit der Erfindung zu lösende Probleme

**[0011]** Wenn jedoch ein p-leitender Basisbereich und ein n-leitender Sourcebereich in selbstausrichtender Weise gebildet werden, zeigt die p-leitende Fremdstoffkonzentration in dem p-leitenden Basisbereich unmittelbar unter der Kanalschicht tendenziell einen geringeren Wert als die p-leitende Fremdstoffkonzentration unter dem Sourcebereich. Wenn in einem derartigen Fall eine hohe Spannung zwischen Source und Drain angelegt wird, kommt es zur Verarmung des p-leitenden Bereichs unmittelbar unter der Kanalschicht, und die Durchbruchspannung wird vermindert.

**[0012]** Insbesondere kommt es dann, wenn die Kanalschicht n-leitend ist, wie dies in dem Patentdokument 1 gezeigt ist, zu einer Verarmung des p-leitenden Bereichs unmittelbar unter der Kanalschicht zwischen der darüberliegenden Kanalschicht und diesem Bereich, wobei sich die Eigenschaften dann noch weiter verschlechtern.

**[0013]** Der Erfindung liegt daher die Aufgabe zugrunde, eine Halbleitervorrichtung sowie ein Verfahren zu deren Herstellung anzugeben, die in selbstausrichtender Weise herstellbar ist und die mit hoher Durchbruchspannung im Betrieb zuverlässig arbeitet.

##### Mittel zum Lösen der Probleme

**[0014]** Die der Erfindung zu Grunde liegende Aufgabe wird durch eine Halbleitervorrichtung gemäß dem unabhängigen Patentanspruch 1 sowie durch ein Verfahren zum Herstellen einer Halbleitervorrichtung gemäß den nebengeordneten Patentansprüchen 7 und 8 gelöst, wobei vorteilhafte Weiterbildungen der erfindungsgemäßen Halbleitervorrichtung in den entsprechenden abhängigen Ansprüchen angegeben sind.

##### Wirkungen der Erfindung

**[0015]** Die Kanalschicht und der Basisbereich unmittelbar unter der Kanalschicht sind mit dem gleichen Leitfähigkeitstyp ausgebildet, so daß die in dem Basisbereich unmittelbar unter der Kanalschicht gebildete Verarmungsschicht auch dann vermindert wird,

wenn die Vorrichtung in selbstausrichtender Weise gebildet wird, so daß eine hohe Durchbruchspannung erzielt wird. Da die Vorrichtung in selbstausrichtender Weise gebildet werden kann, so kann ferner die Vorrichtungsgröße reduziert werden, so daß eine größere Anzahl von Vorrichtungen auf einer bestimmten Fläche hergestellt werden kann und der Durchlaßwiderstand reduziert werden kann.

#### Kurzbeschreibung der Zeichnungen

**[0016]** In den Zeichnungen zeigen:

**[0017]** **Fig. 1** eine Schnittdarstellung zur Erläuterung eines MOSFET gemäß einem ersten bevorzugten Ausführungsbeispiel der vorliegenden Erfindung;

**[0018]** **Fig. 2** eine schematische Darstellung zur Erläuterung eines Teils eines Verfahrens zum Herstellen eines MOSFET gemäß dem ersten bevorzugten Ausführungsbeispiel der vorliegenden Erfindung;

**[0019]** **Fig. 3** eine schematische Darstellung zur Erläuterung eines Teils des Verfahrens zum Herstellen eines MOSFET gemäß dem ersten bevorzugten Ausführungsbeispiel der vorliegenden Erfindung;

**[0020]** **Fig. 4** eine schematische Darstellung zur Erläuterung eines Teils des Verfahrens zum Herstellen eines MOSFET gemäß dem ersten bevorzugten Ausführungsbeispiel der vorliegenden Erfindung;

**[0021]** **Fig. 5** eine schematische Darstellung zur Erläuterung eines Teils des Verfahrens zum Herstellen eines MOSFET gemäß dem ersten bevorzugten Ausführungsbeispiel der vorliegenden Erfindung;

**[0022]** **Fig. 6** eine schematische Darstellung zur Erläuterung eines Teils des Verfahrens zum Herstellen eines MOSFET gemäß dem ersten bevorzugten Ausführungsbeispiel der vorliegenden Erfindung;

**[0023]** **Fig. 7** eine schematische Darstellung zur Erläuterung eines Teils des Verfahrens zum Herstellen eines MOSFET gemäß dem ersten bevorzugten Ausführungsbeispiel der vorliegenden Erfindung;

**[0024]** **Fig. 8** eine schematische Darstellung zur Erläuterung eines Teils des Verfahrens zum Herstellen eines MOSFET gemäß dem ersten bevorzugten Ausführungsbeispiel der vorliegenden Erfindung;

**[0025]** **Fig. 9** eine Schnittdarstellung zur Erläuterung eines MOSFET gemäß dem ersten bevorzugten Ausführungsbeispiel der vorliegenden Erfindung;

**[0026]** **Fig. 10** eine schematische Darstellung zur Erläuterung eines Teils eines Verfahrens zum Herstellen eines MOSFET gemäß einem zweiten bevorzugten Ausführungsbeispiel der vorliegenden Erfindung;

**[0027]** Fig. 11 eine schematische Darstellung zur Erläuterung eines Teils des Verfahrens zum Herstellen eines MOSFET gemäß dem zweiten bevorzugten Ausführungsbeispiel der vorliegenden Erfindung;

**[0028]** Fig. 12 eine schematische Darstellung zur Erläuterung eines Teils des Verfahrens zum Herstellen eines MOSFET gemäß dem zweiten bevorzugten Ausführungsbeispiel der vorliegenden Erfindung;

**[0029]** Fig. 13 eine schematische Darstellung zur Erläuterung eines Teils des Verfahrens zum Herstellen eines MOSFET gemäß dem zweiten bevorzugten Ausführungsbeispiel der vorliegenden Erfindung;

**[0030]** Fig. 14 eine schematische Darstellung zur Erläuterung eines Teils des Verfahrens zum Herstellen eines MOSFET gemäß dem zweiten bevorzugten Ausführungsbeispiel der vorliegenden Erfindung;

**[0031]** Fig. 15 eine schematische Darstellung zur Erläuterung eines Teils des Verfahrens zum Herstellen eines MOSFET gemäß dem zweiten bevorzugten Ausführungsbeispiel der vorliegenden Erfindung;

**[0032]** Fig. 16 eine schematische Darstellung zur Erläuterung eines Teils des Verfahrens zum Herstellen eines MOSFET gemäß dem zweiten bevorzugten Ausführungsbeispiel der vorliegenden Erfindung.

Beste Art und Weise zum Ausführen der Erfindung

Erstes bevorzugtes Ausführungsbeispiel

**[0033]** Im folgenden werden ein SiC verwendender MOSFET sowie das Verfahren zum Herstellen von diesem unter Bezugnahme auf ein erstes bevorzugtes Ausführungsbeispiel der vorliegenden Erfindung beschrieben. **Fig. 1** zeigt eine Schnittdarstellung des MOSFET gemäß dem ersten bevorzugten Ausführungsbeispiel. Es ist darauf hinzuweisen, daß bei einer echten MOSFET-Struktur die in **Fig. 1** im Schnitt dargestellte Struktur sich an der rechten Seite der Schnittdarstellung der **Fig. 1** in symmetrischer Weise wiederholt und daß eine Vielzahl von solchen Strukturen nacheinander angeordnet ist, wobei die Elektroden gleicher Art parallel miteinander verbunden sind.

**[0034]** Als erstes wird die Vorrichtungsstruktur des MOSFET unter Bezugnahme auf **Fig. 1** beschrieben. Der MOSFET weist ein n-leitendes SiC-Substrat **1** als Halbleitersubstrat eines ersten Leitfähigkeitstyps auf, und eine n-leitende SiC-Driftschicht **2** ist auf einer Hauptfläche des n-leitenden SiC-Substrats **1** durch epitaxiales Aufwachsen in Form einer Driftschicht vom ersten Leitfähigkeitstyp gebildet, die die Durchbruchspannung hält, wenn eine Spannung zwischen Source und Drain des MOSFET angelegt wird.

**[0035]** In einem vorbestimmten Bereich des Oberflächenbereichs der n-leitenden SiC-Driftschicht **2** ist ein p-leitender SiC-Basisbereich **3** als Basisbereich eines zweiten Leitfähigkeitstyps mit einer vorbestimmten Tiefe gebildet. In einem vorbestimmten Bereich des Oberflächenbereichs des p-leitenden SiC-Basisbereichs **3** ist ein n-leitender SiC-Sourcebereich **4** als Sourcebereich des ersten Leitfähigkeitstyps gebildet, der eine geringere Tiefe aufweist als der p-leitende SiC-Basisbereich **3**.

**[0036]** In einem Bereich der Oberfläche des n-leitenden SiC-Sourcebereichs **4** ist eine p-leitende SiC-Kanalschicht **5** durch epitaxiales Aufwachsen als Kanalschicht des zweiten Leitfähigkeitstyps gebildet, die den n-leitenden SiC-Sourcebereich **4** und die n-leitende SiC-Driftschicht **2** miteinander verbindet. Eine Isolierschicht **6** ist auf der Oberfläche der p-leitenden SiC-Kanalschicht **5** gebildet, indem eine Siliziumoxidschicht oder eine Silizium-Oxynitridschicht oder dergleichen durch thermische Oxidation, Nidridation oder Isolierschicht-Aufbringung oder eine Kombination von diesen gebildet wird.

**[0037]** Eine Gateelektrode **7** ist auf der Isolierschicht **6** gebildet, eine Sourceelektrode **8** ist auf einem weiteren Bereich der Oberfläche des n-leitenden SiC-Sourcebereichs **4** gebildet, und eine Drainelektrode **9** ist auf der Rückseite des n-leitenden SiC-Substrats **1** gebildet, womit der MOSFET **10** fertiggestellt ist.

**[0038]** Der p-leitende SiC-Basisbereich **3** beinhaltet einen p-leitenden SiC-Bereich **3a**, der unter der Sourceelektrode **8** gebildet ist und zumindest an seinem Oberflächenbereich eine höhere Konzentration aufweist, einen p-leitenden SiC-Bereich **3b**, der unmittelbar unter dem n-leitenden SiC-Sourcebereich **4** gebildet ist und eine niedrigere Fremdstoff-Implantationskonzentration als der p-leitende SiC-Bereich **3a** aufweist, sowie einen p-leitenden SiC-Bereich **3c**, der unmittelbar unter der Kanalschicht gebildet ist und eine niedrigere Fremdstoff-Implantationskonzentration als der p-leitende SiC-Bereich **3b** aufweist.

**[0039]** Als nächstes wird die Arbeitsweise des MOSFET **10** gemäß dem ersten bevorzugten Ausführungsbeispiel kurz beschrieben. Wenn in **Fig. 1** eine positive Spannung an die Gateelektrode **7** angelegt wird, so wird die Oberfläche der p-leitenden SiC-Kanalschicht **5** invertiert, um einen Kanal zu bilden, so daß dort ein Stromweg gebildet wird. Wenn eine Spannung zwischen der Sourceelektrode **8** und der Drainelektrode **9** anliegt, werden somit der n-leitenden SiC-Sourcebereich **4** und die n-leitende SiC-Driftschicht **2** leitend, und es fließt ein Strom zwischen der Sourceelektrode **8** und der Drainelektrode **9**. Auf diese Weise führt der MOSFET **10** einen Schaltvorgang aus, wenn die der Gateelektrode **7** zugeführte Spannung eingeschaltet/ausgeschaltet wird.

**[0040]** Als nächstes wird ein Verfahren zum Herstellen des MOSFET **10** gemäß dem ersten bevorzugten Ausführungsbeispiel unter Bezugnahme auf die **Fig. 2 bis Fig. 8** beschrieben. Als erstes wird die n-leitende SiC-Driftschicht **2** durch epitaxiales Aufwachsen auf der Hauptfläche des n-leitenden SiC-Substrats **1** mit einer Dotierstoffkonzentration von  $1 \times 10^{15}$  bis  $2 \times 10^{16}/\text{cm}^3$  und einer Schichtdicke von 4 bis 15  $\mu\text{m}$  beispielsweise durch Kristallwachstum durch ein CVD-Verfahren (chemisches Abscheidungsverfahren aus der Dampfphase) gebildet (vgl. **Fig. 2**). Als nächstes werden die p-leitenden SiC-Bereiche **3b** und **3c** des p-leitenden SiC-Basisbereichs in vorbestimmten Bereichen des Oberflächenbereichs der n-leitenden SiC-Driftschicht **2** mit einer Dotierstoffkonzentration von  $5 \times 10^{17}$  bis  $2 \times 10^{18}/\text{cm}^3$  und einer Schichtdicke von etwa 0,7 bis 1  $\mu\text{m}$  gebildet (vgl. **Fig. 3**).

**[0041]** Als nächstes wird in einem Oberflächenbereich des p-leitenden SiC-Bereichs **3b** der n-leitende SiC-Sourcebereich **4** mit einer Dotierstoffkonzentration von  $1 \times 10^{19}$  bis  $3 \times 10^{19}/\text{cm}^3$  und einer Schichtdicke von etwa 0,2 bis 0,4  $\mu\text{m}$  gebildet (vgl. **Fig. 4**). Danach wird in einem dem p-leitenden SiC-Basisbereich **3b** benachbarten Bereich der p-leitende SiC-Bereich **3a** des p-leitenden SiC-Basisbereichs mit einer Dotierstoffkonzentration von  $5 \times 10^{18}$  bis  $1 \times 10^{20}/\text{cm}^3$  und einer Schichtdicke von etwa 0,7 bis 1  $\mu\text{m}$  in einer derartigen Weise gebildet, daß er mit der Sourceelektrode **8** in Kontakt tritt (vgl. **Fig. 5**). Die p-leitenden SiC-Basisbereiche **3a**, **3b**, **3c** und der n-leitende SiC-Sourcebereich **4** werden durch Ionenimplantation und aktivierende Wärmebehandlung gebildet.

**[0042]** Die Ausbildung der p-leitenden SiC-Bereiche **3b**, **3c** und des n-leitenden SiC-Sourcebereichs **4** lassen sich unter Verwendung von separaten Implantationsmasken erzielen, jedoch können sie auch in selbstausrichtender Weise unter Verwendung einer einzigen Maske oder mit einer Struktur, die man durch Bearbeiten einer einzelnen Maske erhält, unter Verwendung einer zweilagigen Implantationsmaske oder unter Verwendung eines schräg erfolgenden Ionenimplantationsvorgangs gebildet werden.

**[0043]** Wenn die in **Fig. 1** dargestellte Kanallänge A etwa 1  $\mu\text{m}$  oder weniger beträgt, ist es insbesondere bevorzugt, diese Bereiche in selbstausrichtender Weise zu bilden, da sie dann exakter ausgebildet werden können. In diesem Fall ist der p-leitende SiC-Bereich **3c** in dem p-leitenden SiC-Basisbereich **3** mit einer niedrigeren Dotierstoffkonzentration oder einer geringeren Schichtdicke als der p-leitende SiC-Bereich **3b** ausgebildet.

**[0044]** Auf dieser Konstruktion wird dann die p-leitende Kanalschicht **5** durch epitaxiales Aufwachsen mit einer Dotierstoffkonzentration von  $1 \times 10^{15}$  bis  $5 \times 10^{16}/\text{cm}^3$  und einer Schichtdicke von etwa 0,1

bis 1  $\mu\text{m}$  gebildet. Die Oberfläche wird durch das epitaxiale Aufwachsen mit einer Rauheit von weniger als 2 nm in ebener Weise gebildet (vgl. **Fig. 6**). Als nächstes wird auf der p-leitenden Kanalschicht **5** die Gateisolierschicht **6** gebildet, indem eine Siliziumoxidschicht oder eine Silizium-Oxynitridschicht oder dergleichen durch thermische Oxidation, Nitridation oder Isolierschicht-Aufbringung oder eine Kombination davon gebildet wird, und im Anschluß daran wird die Gateelektrode **7** darauf gebildet (vgl. **Fig. 7**).

**[0045]** Als nächstes wird die Sourceelektrode **8** in einem weiteren Bereich der Oberfläche des n-leitenden SiC-Sourcebereichs **4** gebildet, und die Drainelektrode **9** wird auf der Rückseite des n-leitenden SiC-Substrats **1** gebildet, womit der MOSFET **10** fertiggestellt ist (vgl. **Fig. 8**).

**[0046]** Wie in **Fig. 9** gezeigt, ist in der n-leitenden SiC-Driftschicht **2** der p-leitende SiC-Basisbereich **3** in einem n-leitenden Verarmungsbereich **11** nicht vorhanden, und die Dotierstoffkonzentration in dem n-leitenden Verarmungsbereich **11** kann so belassen bleiben, wie sie ist, oder der n-leitende Verarmungsbereich **11** kann durch einen weiteren Ionenimplantationsvorgang mit einer höheren n-leitenden Dotierstoffkonzentration versehen werden.

**[0047]** Im Vergleich mit einem üblichen Inversions-MOS kann der p-leitende SiC-Basisbereich **3** um die Dicke der Kanalschicht **5** bei dem ersten bevorzugten Ausführungsbeispiel tiefer ausgebildet werden, um dadurch die Distanz zwischen dem Ende C der Isolierschicht **6** und dem Ende B des durch den p-leitenden SiC-Bereich **3c** und die n-leitende SiC-Driftschicht **2** gebildeten pn-Übergangs zu vergrößern und dadurch den Wert des elektrischen Feldes an dem Ende C der Isolierschicht **6** zu verringern.

**[0048]** In diesem Fall wird jedoch die Widerstandskomponente des Verarmungsbereichs aufgrund der vergrößerten Tiefe des p-leitenden SiC-Basisbereichs **3** erhöht, wobei dann der Widerstand der Vorrichtung, d. h. der Verlust im eingeschwungenen Betriebszustand, zunimmt. Auch wenn die Dicke des p-leitenden SiC-Basisbereichs **3** tiefer ist als 1  $\mu\text{m}$ , ist dies nicht bevorzugt, da der Ionenimplantationsvorgang eine Beschleunigungsspannung der Klasse MeV erforderlich macht und der Vorgang zum Erzielen einer Selbstausrichtung kompliziert ist, da die Notwendigkeit zum Verändern des Materials der Ionenimplantationsmaske sowie zum Erhöhen ihrer Dicke besteht.

**[0049]** Wie vorstehend beschrieben, ist es bei dem MOSFET **10** gemäß dem ersten bevorzugten Ausführungsbeispiel selbst beim Anlegen einer Spannung nahe der idealen Haltespannung (etwa 500 bis 2000 V), wie diese durch die Schichtdicke und die Dotierung der n-leitenden SiC-Driftschicht **2** bestimmt ist,

möglich, eine Durchbruchspannung nahe der idealen Haltespannung ohne Verarmung zu erzielen, wenn die Konzentration des p-leitenden Bereichs **3c** unmittelbar unter dem Kanalbereich **5** etwa  $1 \times 10^{17}/\text{cm}^3$  oder mehr beträgt, wobei dies etwa 5 bis 20% der Konzentration des p-leitenden SiC-Bereichs **3b** entspricht.

**[0050]** Bei der Technik des Patendokuments **1**, bei der die Kanalschicht **5** im Gegensatz zu dem ersten bevorzugten Ausführungsbeispiel n-leitend ist, ist es notwendig, daß die Konzentration in dem p-leitenden SiC-Bereich **3c** unmittelbar unter der Kanalschicht etwa  $3 \times 10^{17}/\text{cm}^3$  oder mehr beträgt, wobei dies einer Konzentration von etwa 15 bis 50% der Konzentration des p-leitenden SiC-Bereichs **3b** unter dem n-leitenden SiC-Sourcebereich **4** entspricht, so daß ein Herstellen des p-leitenden SiC-Basisbereichs **3** und des n-leitenden SiC-Sourcebereichs **4** in selbstausrichtender Weise eine exakte Steuerung der Formgebung der Maske und des Bereichs der Ionenimplantationswinkel erforderlich macht, wobei dies zu höheren Herstellungskosten führt.

**[0051]** Ferner wird bei dem MOSFET **10** gemäß dem ersten bevorzugten Ausführungsbeispiel die p-leitenden Kanalschicht **5** durch epitaxiales Aufwachsen gebildet, und die Halbleiteroberfläche wird vor dem Bilden der Gatestruktur eben ausgebildet, so daß die Elektronenbeweglichkeit in der Kanalschicht nicht durch Streuen usw. verringert wird, wie dies durch Rauheit in der Nahe der SiC-Oberfläche hervorgerufen würde.

**[0052]** Damit ist es möglich, eine MOS-Struktur mit einem besseren Inversionskanal zu erzielen sowie Kanaleigenschaften mit ausreichend niedrigem Widerstand zu erzielen. Darüber hinaus ist die Inversionskanalstruktur von Vorteil, da sie das Erzielen des normalen Ruhebetriebs vereinfacht, in dem kein Strom zwischen Source und Drain fließt, wenn die Gatespannung Null beträgt.

**[0053]** Im Hinblick auf die Verteilung des elektrischen Feldes in der Vorrichtung ist ferner beim Anlegen einer hohen Spannung zwischen Source und Drain das elektrische Feld an dem Ende B des durch den p-leitenden SiC-Basisbereich **3** und die n-leitende SiC-Driftschicht **2** gebildeten pn-Übergangs sowie an dem Ende C der Isolierschicht **6** hoch. Wenn die Kanalschicht **5** n-leitend ist, so wird dann der Wert des elektrischen Feldes an dem Ende C der Isolierschicht **6** auf etwa 70% im Vergleich zu der üblichen Inversions-MOS-Struktur ohne Kanalschicht reduziert, da die Distanz von dem Ende B des pn-Übergangs bis zu dem Ende C der Isolierschicht **6** größer ist.

**[0054]** Ferner wird auch der Wert des elektrischen Feldes an dem Ende C der Isolierschicht **6** weiter ver-

mindert, wenn die Kanalschicht **5** und der unmittelbar darunter befindliche p-leitende SiC-Basisbereich den gleichen Leitfähigkeitstyp aufweisen, wie dies bei dem ersten bevorzugten Ausführungsbeispiel dargestellt ist, wobei der Wert des elektrischen Feldes an dem Ende C der Isolierschicht **6** etwa 60% im Vergleich zu einer üblichen Inversions-MOS-Struktur ohne Kanalschicht beträgt, so daß eine weiter verbesserte Zuverlässigkeit der Isolierschicht **6** geschaffen wird.

**[0055]** Durch Erhöhen der Dotierstoffkonzentration des n-leitenden Verarmungsbereichs **11** kann ferner der Vorrichtungswiderstand des n-leitenden Verarmungsbereichs **11** selbst dann reduziert werden, wenn die Vorrichtungsabmessungen vermindert sind und eine größere Anzahl von MOSFETs pro Flächeneinheit hergestellt wird, so daß sich der Vorrichtungswiderstand insgesamt reduzieren läßt.

#### Zweites bevorzugtes Ausführungsbeispiel

**[0056]** In dem ersten bevorzugten Ausführungsbeispiel ist ein Verfahren zum Herstellen eines MOSFET veranschaulicht worden, bei dem der p-leitende SiC-Basisbereich **3** und der n-leitende SiC-Sourcebereich **4** durch Ionenimplantation in der n-leitenden SiC-Driftschicht **2** gebildet werden. Ein zweites bevorzugtes Ausführungsbeispiel veranschaulicht nun ein weiteres Verfahren zum Herstellen eines MOSFET unter Bezugnahme auf die **Fig. 10** bis **Fig. 16**.

**[0057]** Wie bei dem ersten bevorzugten Ausführungsbeispiel beschrieben worden ist, wird die n-leitende SiC-Driftschicht **2** durch epitaxiales Aufwachsen auf der Hauptfläche des n-leitenden SiC-Substrats **1** gebildet. Anschließend läßt man eine p-leitende SiC-Schicht **20** mit einer Dotierstoffkonzentration von etwa  $1 \times 10^{16}/\text{cm}^3$  oder mehr über dem gesamten Oberflächenbereich der n-leitenden SiC-Driftschicht **2** durch Aufwachsen entstehen (vgl. **Fig. 10**).

**[0058]** In einem vorbestimmten Bereich des Oberflächenbereichs der p-leitenden SiC-Schicht **20** wird als nächstes ein p-leitender SiC-Bereich **21b** eines p-leitenden SiC-Basisbereichs **21** mit einer Dotierstoffkonzentration von  $5 \times 10^{17}$  bis  $2 \times 10^{18}/\text{cm}^3$  und einer Schichtdicke von etwa 0,7 bis 1  $\mu\text{m}$  gebildet. In dem p-leitenden Basisbereich **21** bleibt die Dotierung in einem p-leitenden SiC-Bereich **21c** die gleiche wie in der p-leitenden SiC-Schicht **20**, und daher ist seine Konzentration niedriger als in dem p-leitenden SiC-Bereich **21b** (vgl. **Fig. 11**).

**[0059]** Als nächstes wird in einem Oberflächenbereich des p-leitenden SiC-Bereichs **21b** ein n-leitender SiC-Sourcebereich **23** mit einer Dotierstoffkonzentration von  $1 \times 10^{19}$  bis  $3 \times 10^{19}/\text{cm}^3$  und mit einer Schichtdicke von etwa 0,2 bis 0,4  $\mu\text{m}$  unter Verwendung der Ionenimplantationsmaske gebildet, die

auch zum Bilden des p-leitenden SiC-Bereichs **21b** verwendet worden ist (vgl. **Fig. 12**).

**[0060]** In einem vorbestimmten Bereich des Oberflächenbereichs der p-leitenden SiC-Schicht **20** wird dann ein n-leitender SiC-Verarmungsbereich **22** bis zum Erreichen der Driftschicht **2** gebildet (vgl. **Fig. 13**). Anschließend erfolgen in einem dem n-leitenden Sourcebereich **23** benachbarten Bereich eine Ionenimplantation und eine aktivierende Wärmebehandlung auf eine Dotierstoffkonzentration von  $5 \times 10^{18}$  bis  $1 \times 10^{20}/\text{cm}^3$  und eine Schichtdicke von etwa 0,7 bis 1  $\mu\text{m}$ , um dadurch einen p-leitende SiC-Bereich **21a** in dem p-leitenden Basisbereich **21** in einer derartigen Weise zu bilden, daß er mit der Sourceelektrode **8** in Kontakt tritt (vgl. **Fig. 14**). Die Basisbereiche **21a** und **21b**, der Sourcebereich **23** und der n-leitende SiC-Verarmungsbereich **22** werden durch Ionenimplantation und aktivierende Wärmebehandlung gebildet.

**[0061]** Als nächstes wird auf dieser Struktur eine p-leitende Kanalschicht **5** durch epitaxiales Aufwachsen mit einer Dotierstoffkonzentration von  $1 \times 10^{15}$  bis  $5 \times 10^{16}/\text{cm}^3$  und einer Schichtdicke von etwa 0,1 bis 1  $\mu\text{m}$  gebildet. Die Oberfläche wird mit einer Rauheit von weniger als 2 nm eben ausgebildet (vgl. **Fig. 15**). Als nächstes wird auf der p-leitenden Kanalschicht **5** eine Isolierschicht **6** gebildet, indem eine Siliziumoxidschicht oder eine Silizium-Oxynitridschicht oder dergleichen durch thermische Oxidation, Nitridation oder Isolierschichtaufbringung oder durch eine Kombination davon gebildet wird, und darauf wird eine Gateelektrode **7** gebildet. Weiterhin wird eine Sourceelektrode **8** in einem anderen Oberflächenbereich des n-leitenden SiC-Sourcebereichs **23** gebildet, und eine Drainelektrode **9** wird auf der Rückseite des n-leitenden SiC-Substrats **1** gebildet, so daß ein MOSFET **24** fertiggestellt ist (vgl. **Fig. 16**).

**[0062]** Wie vorstehend beschrieben, ist zum Ausbilden des n-leitenden SiC-Verarmungsbereichs **22** mit einer höheren Dotierstoffkonzentration als der ursprünglichen Dotierstoffkonzentration der Driftschicht **2** bei dem Vorgang eine Ionenimplantation (a) in dem p-leitenden SiC-Basisbereich und dem n-leitenden SiC-Sourcebereich, (b) in dem Kontaktbereich in dem p-leitenden SiC-Basisbereich und (c) in dem n-leitenden SiC-Verarmungsbereich erforderlich. Wenn bei dem ersten bevorzugten Ausführungsbeispiel der Vorgang gemäß (a) nicht in selbstausrichtender Weise erfolgt, dann muß der Maskenbildungsvorgang für den Vorgang (a) zweimal ausgeführt werden, so daß der photolithographische Vorgang zum Ausbilden der Implantationsmaske dreimal oder viermal ausgeführt werden muß.

**[0063]** Bei dem Verfahren zum Herstellen des MOSFET **24** gemäß dem zweiten bevorzugten Ausführungsbeispiel dagegen erfordert der Vorgang (a) kei-

ne separate Handhabung des p-leitenden SiC-Basisbereichs und des n-leitenden Sourcebereichs, so daß der photolithographische Vorgang zum Ausbilden der Implantationsmaske stets dreimal ausgeführt wird und kein Selbstausrichtungsvorgang erforderlich ist. Der durch das Verfahren gemäß dem zweiten bevorzugten Ausführungsbeispiel hergestellte MOSFET **24** bietet die gleichen Eigenschaften wie der MOSFET **10**, der bei dem ersten bevorzugten Ausführungsbeispiel beschrieben worden ist.

**[0064]** Bei den MOSFETs, die bei dem ersten und dem zweiten bevorzugten Ausführungsbeispiel beschrieben worden sind, können das p-leitende SiC und das n-leitende SiC ausgetauscht werden. Während die bei dem ersten und dem zweiten bevorzugten Ausführungsbeispiel beschriebenen MOSFETs aus SiC-Halbleitermaterial gebildet sind, ist die Erzielung der gleichen Effekte sowie eine Verbesserung der Leistungseigenschaften der Halbleitervorrichtung auch unter Verwendung von einen breiten Bandabstand aufweisenden Halbleitermaterialien möglich, die Bandabstände von etwa 2 eV oder mehr aufweisen, wie zum Beispiel GaN, ZnO, Diamant usw.

#### Bezugszeichenliste

<b>1</b>	n-leitendes SiC-Substrat
<b>2</b>	n-leitende SiC-Driftschicht
<b>3</b>	p-leitender SiC-Basisbereich
<b>3a</b>	p-leitender SiC-Bereich
<b>3b</b>	p-leitender SiC-Bereich
<b>3c</b>	p-leitender SiC-Bereich
<b>4</b>	n-leitender SiC-Sourcebereich
<b>5</b>	p-leitende SiC-Kanalschicht
<b>6</b>	Isolierschicht
<b>7</b>	Gateelektrode
<b>8</b>	Sourceelektrode
<b>9</b>	Drainelektrode
<b>10</b>	MOSFET
<b>11</b>	n-leitender SiC-Verarmungsbereich

#### Patentansprüche

- Halbleitervorrichtung, die folgendes aufweist:
  - ein Halbleitersubstrat (**1**) eines ersten Leitfähigkeitstyps;
  - eine Driftschicht (**2**), die den ersten Leitfähigkeitstyp hat und auf einer Hauptfläche des Halbleitersubstrats (**1**) gebildet ist;
  - einen Basisbereich (**3**) eines zweiten Leitfähigkeitstyps, der in einem vorbestimmten Bereich eines Oberflächenbereichs der Driftschicht (**2**) gebildet ist, wobei der Basisbereich (**3**) eine vorbestimmte Tiefe aufweist;
  - einen Sourcebereich (**4**), der den ersten Leitfähigkeitstyp hat und in einem vorbestimmten Bereich eines Oberflächenbereichs des Basisbereichs (**3**) gebildet ist, wobei der Sourcebereich (**4**) eine geringere Tiefe als der Basisbereich (**3**) aufweist;

- einen Kanalbereich (5), der den zweiten Leitfähigkeitstyp hat und auf einer Oberfläche des Sourcebereichs (4) und der Driftschicht (2) gebildet ist, um den Sourcebereich (4) und die Driftschicht (2) miteinander zu verbinden;
- eine Isolierschicht (6), die auf einer Oberfläche des Kanalbereichs (5) gebildet ist;
- eine Gateelektrode (7), die auf einer Oberfläche der Isolierschicht (6) gebildet ist;
- eine Sourceelektrode (8), die auf einer Oberfläche des Basisbereichs (3) und des Sourcebereichs (4) gebildet ist; und
- eine Drainelektrode (0), die an einer unteren Oberfläche des Halbleitersubstrats (1) gebildet ist.

**dadurch gekennzeichnet,**

dass der Kanalbereich (5) des zweiten Leitfähigkeitstyps durch epitaxiales Aufwachsen gebildet ist und seine Oberfläche eben ist, und dass das Halbleitersubstrat (1), die Driftschicht (2), der Basisbereich (3), der Sourcebereich (4) und der Kanalbereich (5) aus SiC gebildet sind, wobei der erste Leitfähigkeitstyp entgegengesetzt zum zweiten Leitfähigkeitstyp ist.

2. Halbleitervorrichtung nach Anspruch 1, wobei es sich bei dem ersten Leitfähigkeitstyp um einen n-leitenden Halbleiter handelt und es sich bei dem zweiten Leitfähigkeitstyp um einen p-leitenden Halbleiter handelt.

3. Halbleitervorrichtung nach Anspruch 1, wobei es sich bei dem ersten Leitfähigkeitstyp um einen p-leitenden Halbleiter handelt und es sich bei dem zweiten Leitfähigkeitstyp um einen n-leitenden Halbleiter handelt.

4. Halbleitervorrichtung nach einem der Ansprüche 1 bis 3, wobei der Basisbereich (3) des zweiten Leitfähigkeitstyps und der Sourcebereich (4) des ersten Leitfähigkeitstyps in selbstausrichtender Weise gebildet sind unter Verwendung einer einzigen Maske oder unter Verwendung einer zweilagigen Implantationsmaske oder unter Verwendung eines schräg erfolgenden Ionenimplantationsvorgangs.

5. Halbleitervorrichtung nach einem der Ansprüche 1 bis 4, wobei in der Driftschicht (2) des ersten Leitfähigkeitstyps ein Verarmungsbereich (11) des ersten Leitfähigkeitstyps, in dem der Basisbereich des zweiten Leitfähigkeitstyps nicht vorhanden ist, eine Fremdstoffkonzentration aufweist, die höher ist als die der Driftschicht (2).

6. Halbleitervorrichtung mit einer Vielzahl von Halbleitervorrichtungen gemäß einem der Ansprüche 1 bis 5, wobei Elektroden der gleichen Art der Vielzahl von Halbleitervorrichtungen parallel miteinander verbunden sind.

7. Verfahren zum Herstellen einer Halbleitervorrichtung, wobei das Verfahren folgende Schritte aufweist:

- Bilden einer Driftschicht (2) eines ersten Leitfähigkeitstyps auf einer Hauptfläche eines Halbleitersubstrats (1) des ersten Leitfähigkeitstyps;
- Bilden eines Basisbereichs (3) eines zweiten Leitfähigkeitstyps in einem vorbestimmten Bereich eines Oberflächenbereichs der Driftschicht (2), wobei der Basisbereich (3) eine vorbestimmte Tiefe aufweist;
- Bilden eines Sourcebereichs (4) des ersten Leitfähigkeitstyps in einem vorbestimmten Bereich eines Oberflächenbereichs des Basisbereichs (3), wobei der Sourcebereich (4) eine geringere Tiefe aufweist als der Basisbereich (3); und
- Bilden eines Kanalbereichs (5) des zweiten Leitfähigkeitstyps durch epitaxiales Aufwachsen auf einer Oberfläche des Sourcebereichs (4) und der Driftschicht (2).

**dadurch gekennzeichnet,**

dass der Kanalbereich (5) des zweiten Leitfähigkeitstyps durch epitaxiales Aufwachsen gebildet wird und seine Oberfläche eben ist, und dass das Halbleitersubstrat (1), die Driftschicht (2), der Basisbereich (3), der Sourcebereich (4) und der Kanalbereich (5) aus SiC gebildet werden, wobei der erste Leitfähigkeitstyp entgegengesetzt zum zweiten Leitfähigkeitstyp ist.

8. Verfahren zum Herstellen einer Halbleitervorrichtung, wobei das Verfahren folgende Schritte aufweist:

- Bilden einer Driftschicht (2) eines ersten Leitfähigkeitstyps auf einer Hauptfläche eines Halbleitersubstrats (1) des ersten Leitfähigkeitstyps;
- Bilden einer Schicht (20) eines zweiten Leitfähigkeitstyps über der gesamten Oberfläche der Driftschicht (2);
- Bilden eines Basisbereichs (3) des zweiten Leitfähigkeitstyps in einem vorbestimmten Bereich eines Oberflächenbereichs der Schicht (20) des zweiten Leitfähigkeitstyps, wobei der Basisbereich (3) eine vorbestimmte Tiefe aufweist;
- Bilden eines Sourcebereichs (23) des ersten Leitfähigkeitstyps in einem vorbestimmten Bereich eines Oberflächenbereichs des Basisbereichs (3), wobei der Sourcebereich (23) eine geringere Tiefe aufweist als der Basisbereich (3);
- Bilden eines Verarmungsbereichs (22) des ersten Leitfähigkeitstyps in einem vorbestimmten Bereich des Oberflächenbereichs der Schicht (20) des zweiten Leitfähigkeitstyps, wobei der Verarmungsbereich (22) eine Fremdstoffkonzentration aufweist, die höher ist als die der Driftschicht (2);
- in einem vorbestimmten Bereich des Oberflächenbereichs der Schicht des zweiten Leitfähigkeitstyps erfolgendes Bilden eines Bereichs (21a) mit einer höheren Fremdstoffkonzentration als in dem Basisbereich (23) zum Herstellen eines Kontakts mit einer mit

dem Sourcebereich (23) verbundenen Sourceelektrode (8); und

– Bilden eines Kanalbereichs (5) des zweiten Leitfähigkeitstyps durch epitaxiales Aufwachsen auf einer Oberfläche des Sourcebereichs (23) und des Verarmungsbereichs (22).

**dadurch gekennzeichnet,**

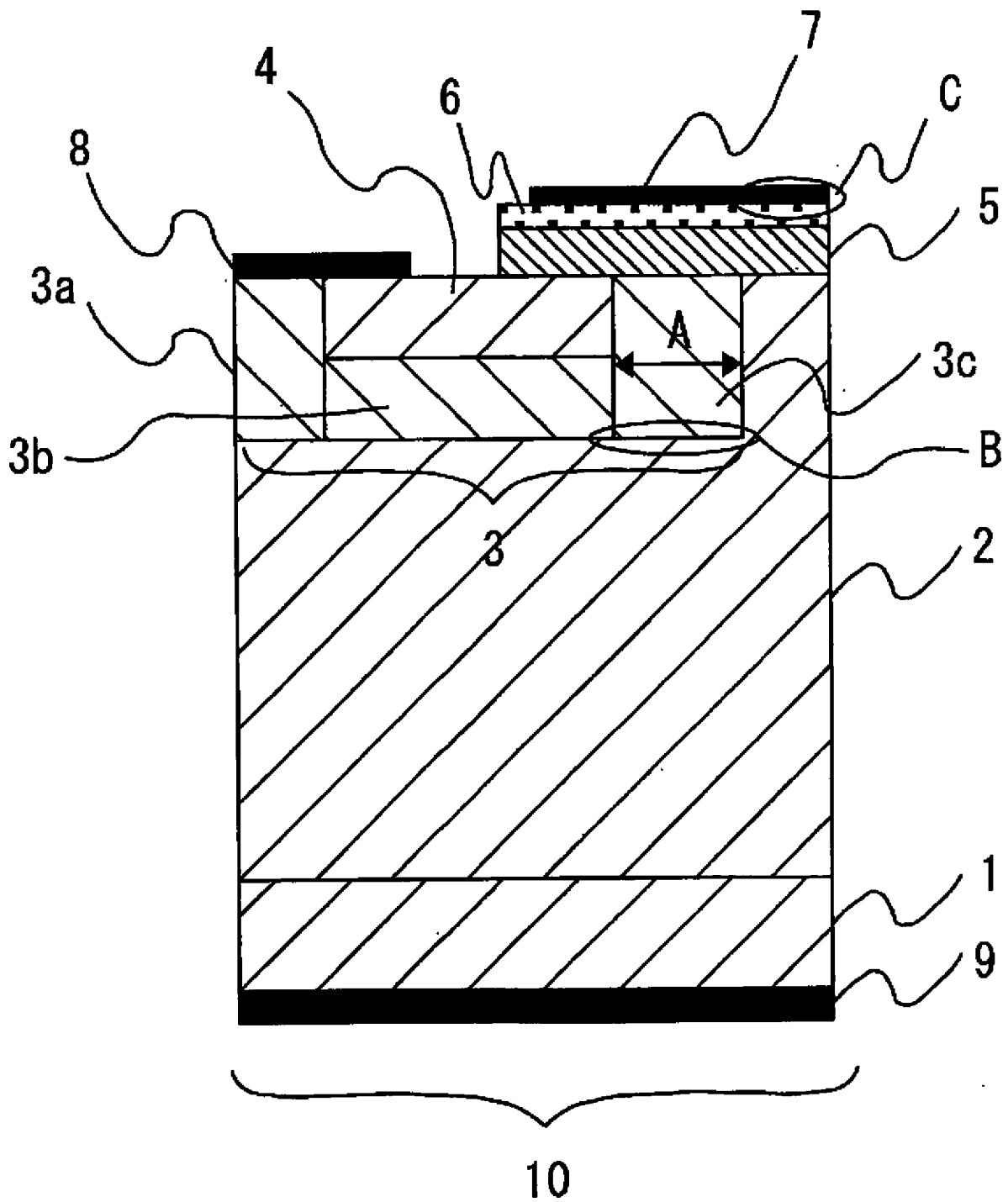
dass der Kanalbereich (5) des zweiten Leitfähigkeitstyps durch epitaxiales Aufwachsen gebildet wird und seine Oberfläche eben ist, und

dass das Halbleitersubstrat (1), die Driftschicht (2), der Basisbereich (3), der Sourcebereich (4) und der Kanalbereich (5) aus SiC gebildet werden, wobei der erste Leitfähigkeitstyp entgegengesetzt zum zweiten Leitfähigkeitstyp ist.

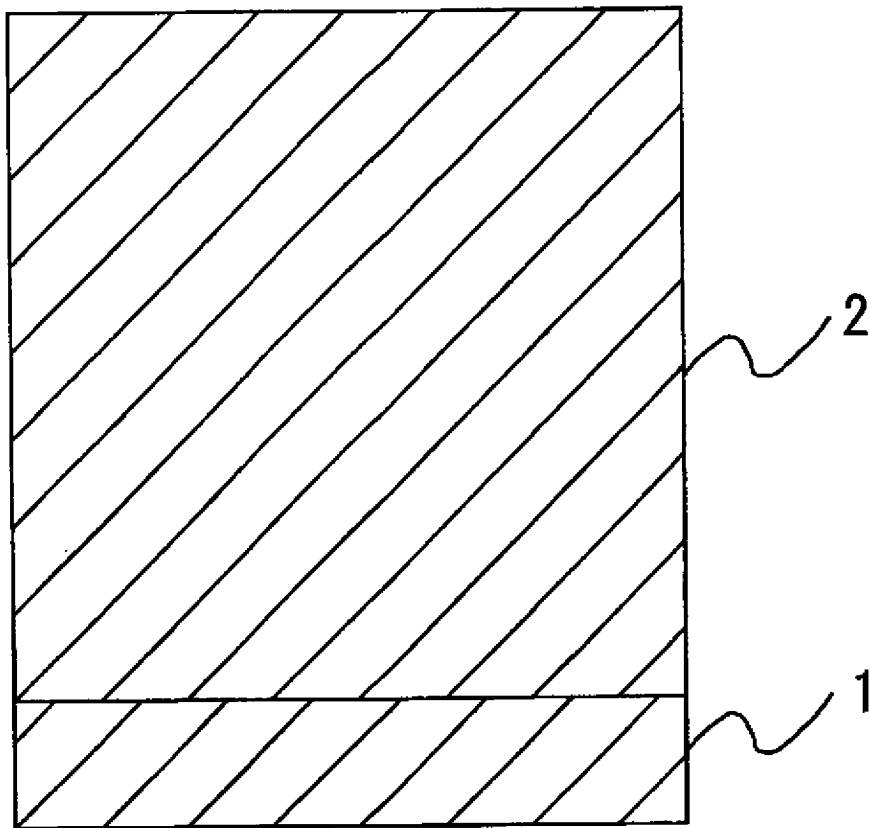
Es folgen 14 Seiten Zeichnungen

Anhängende Zeichnungen

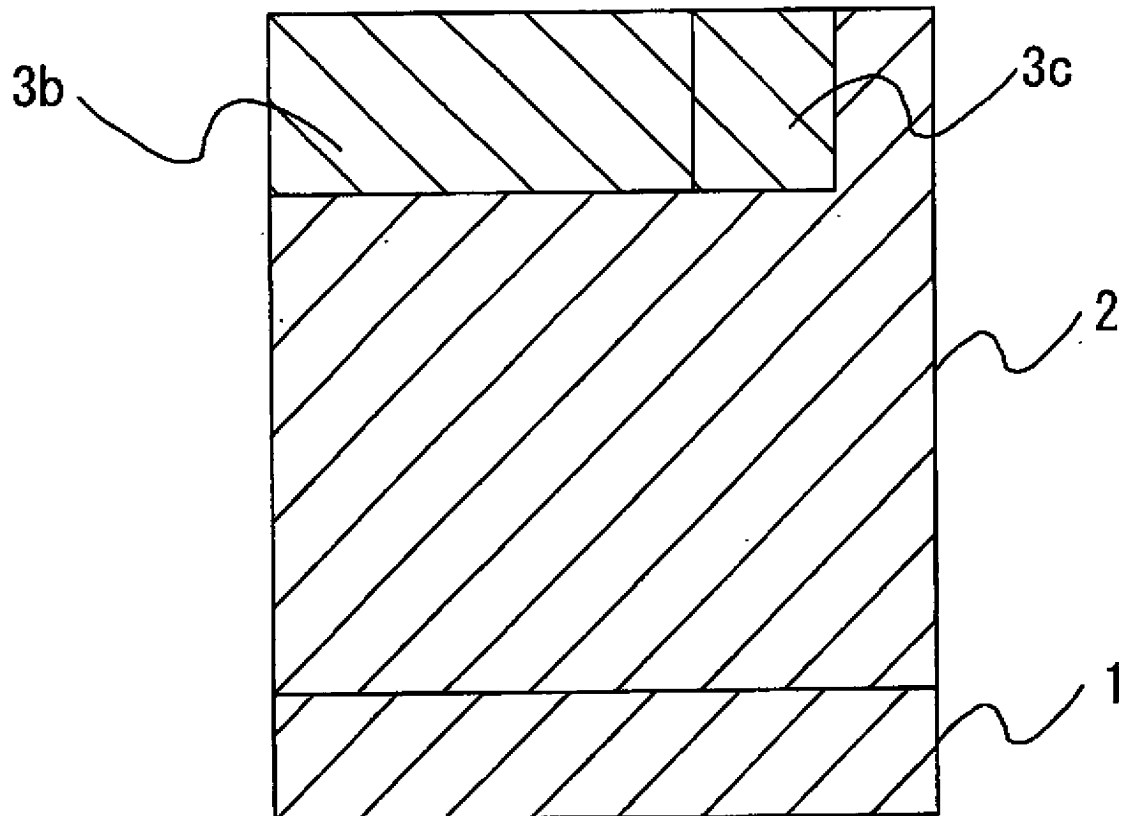
F I G . 1



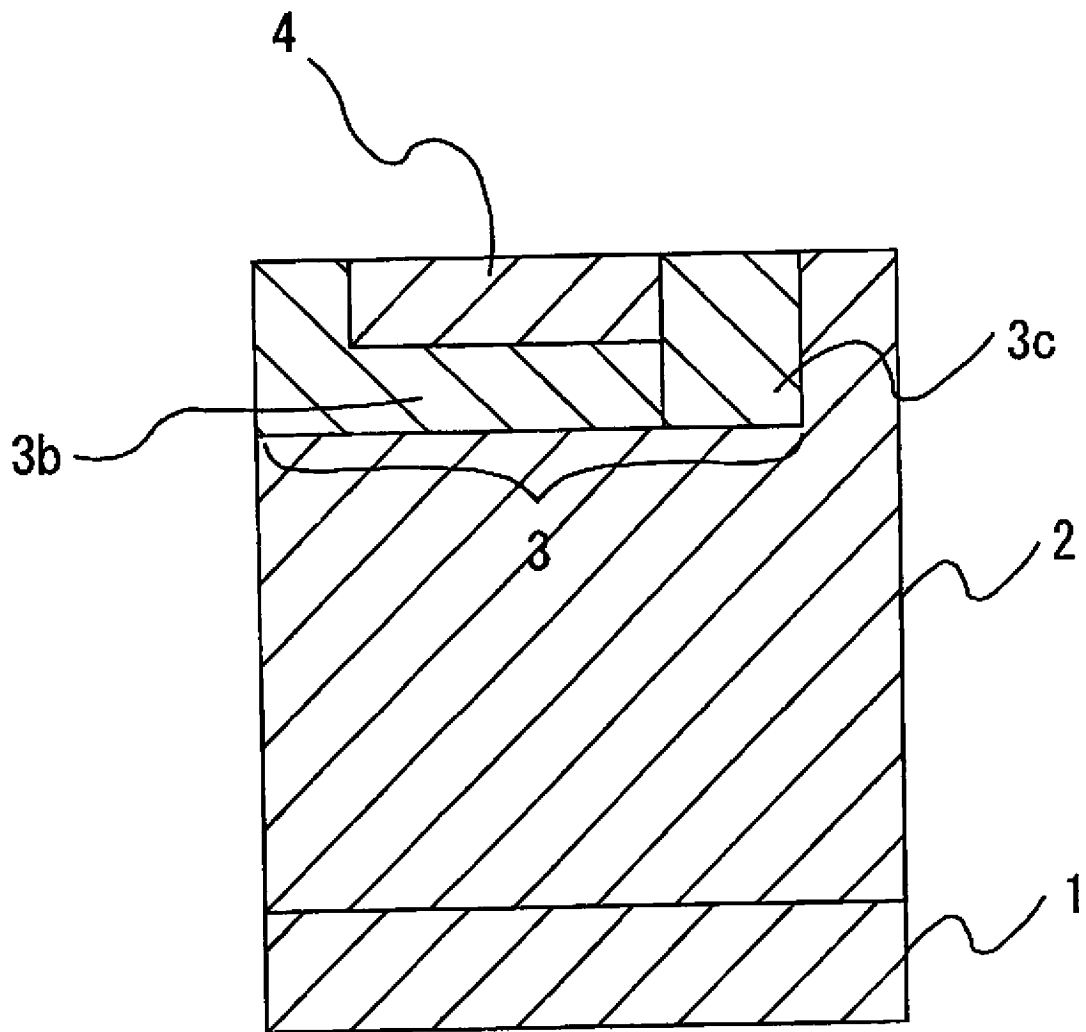
F I G . 2



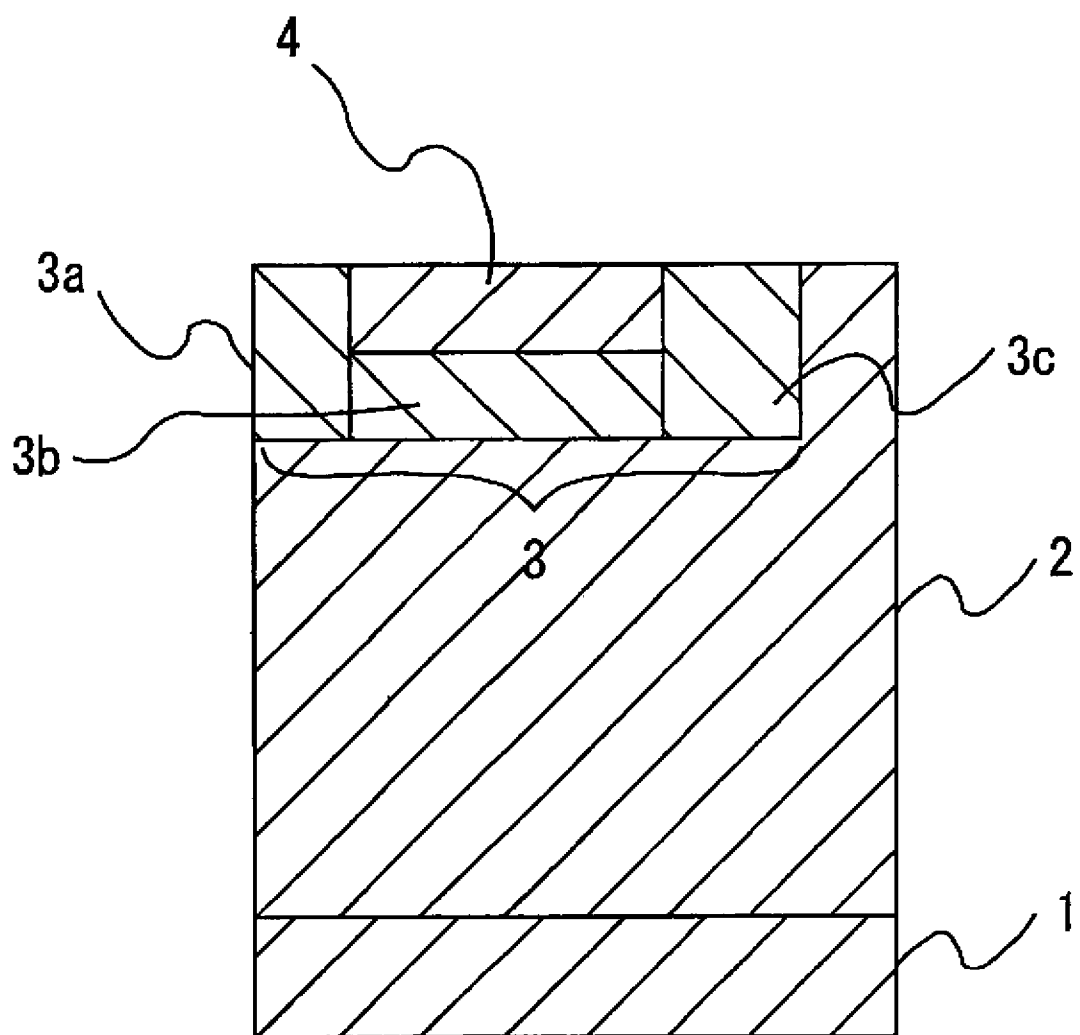
F I G . 3



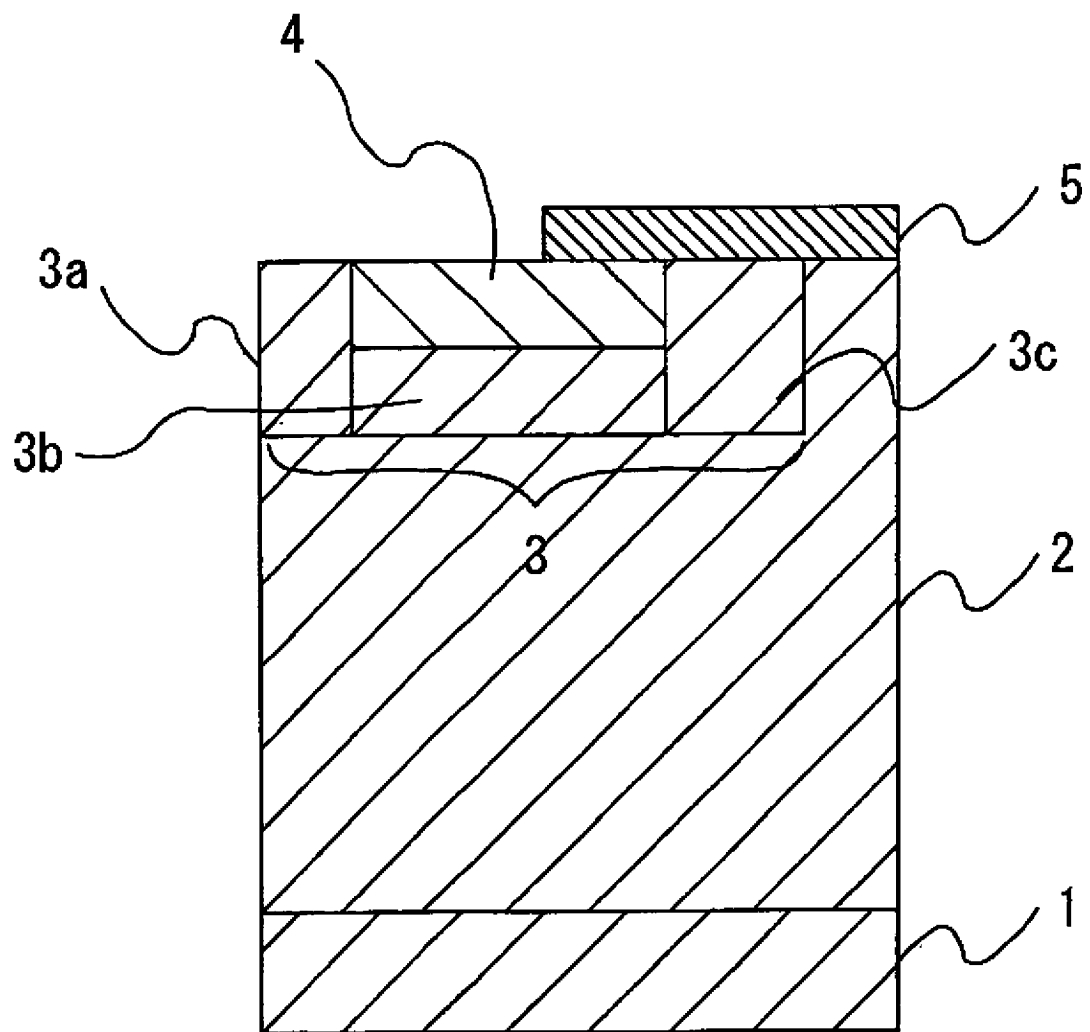
F I G . 4



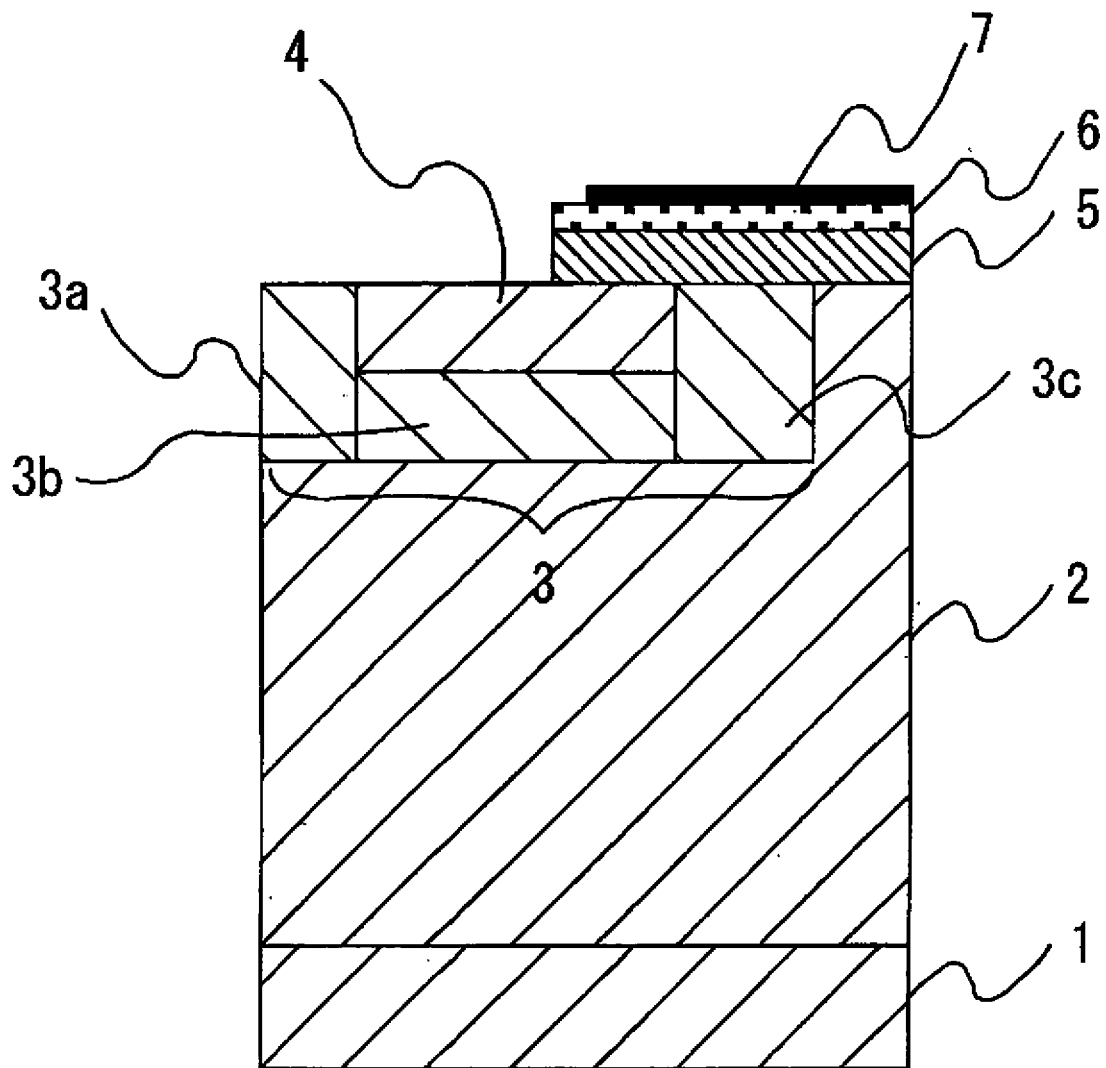
F I G . 5



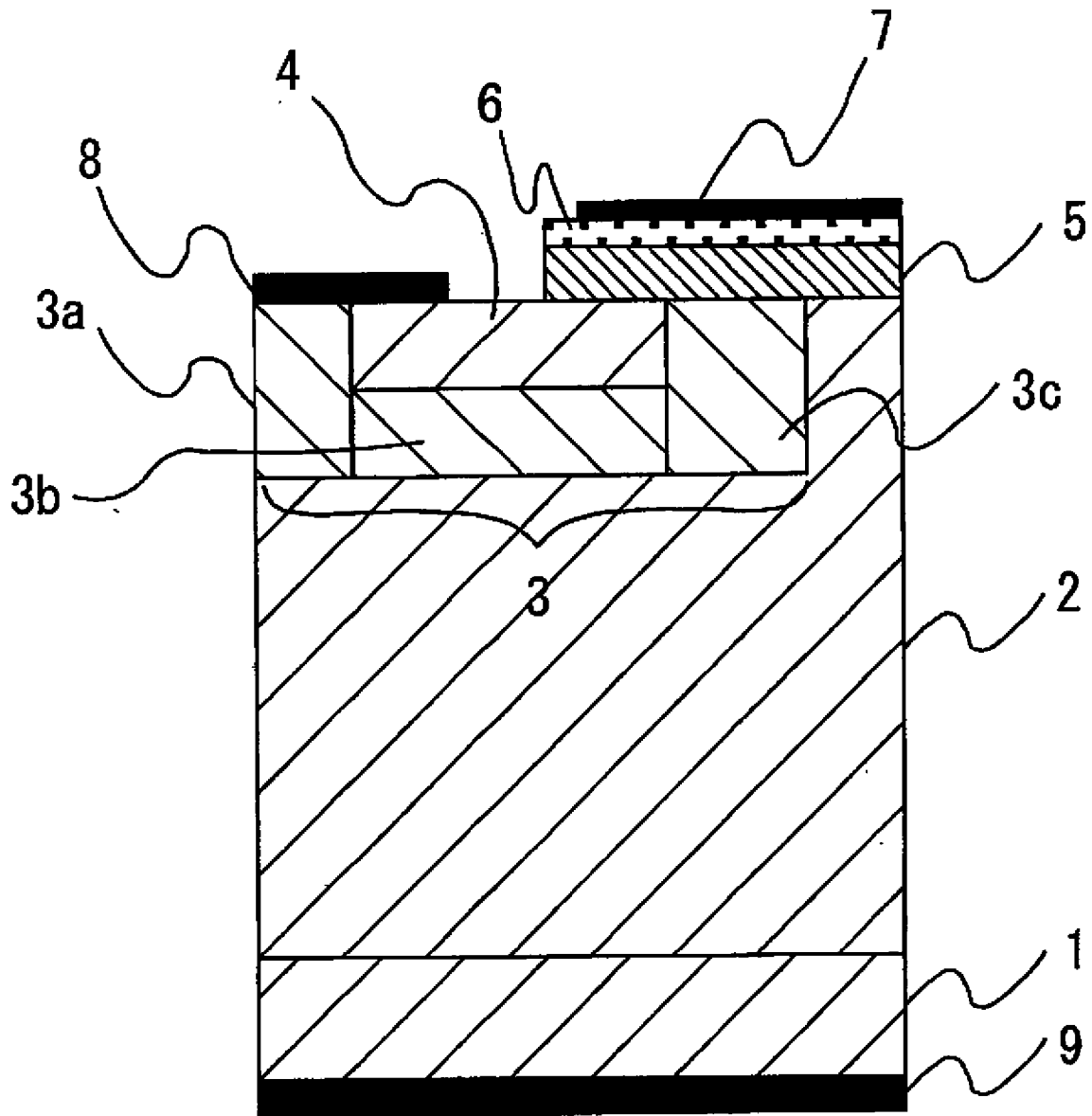
F I G . 6



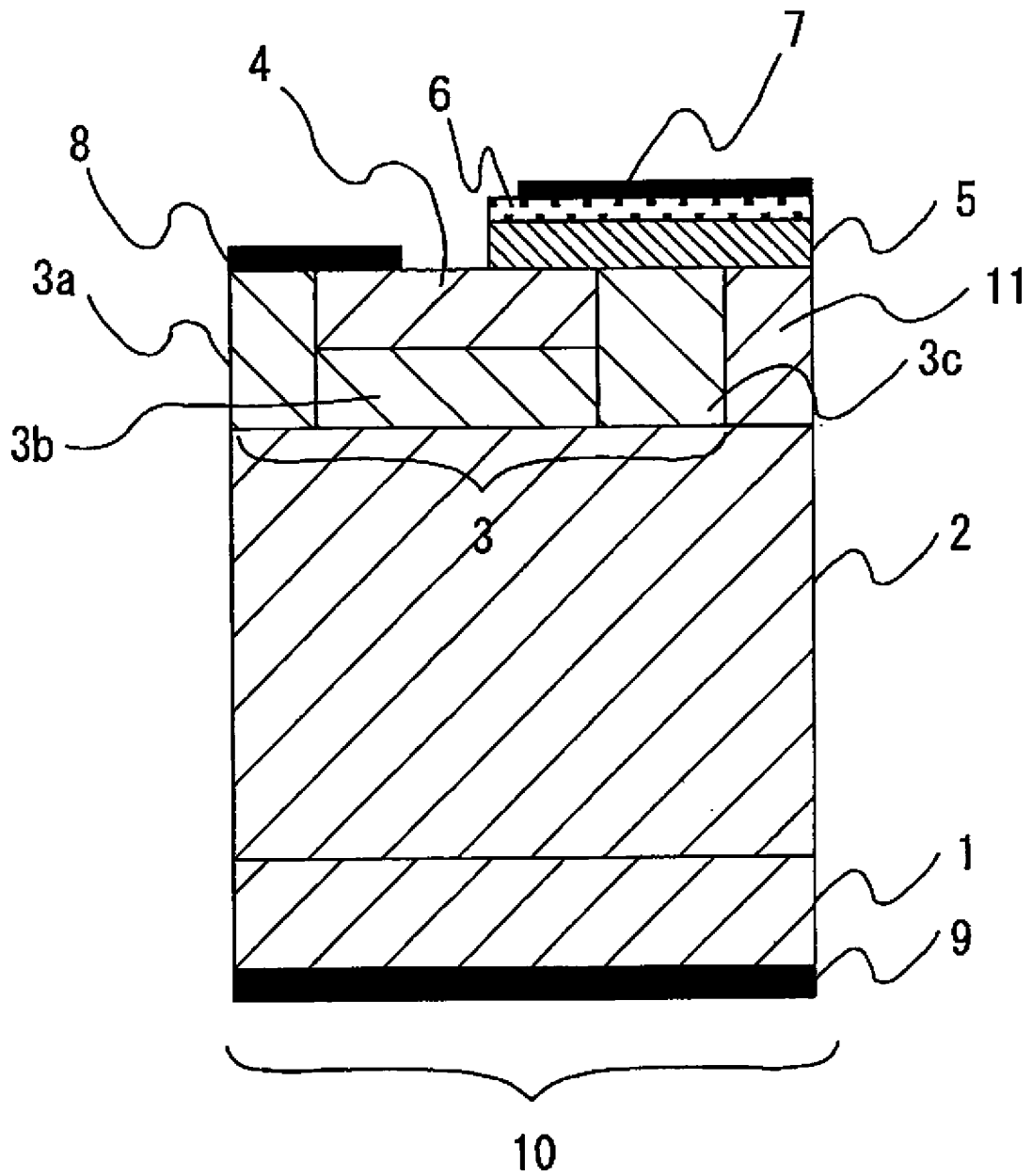
F I G . 7



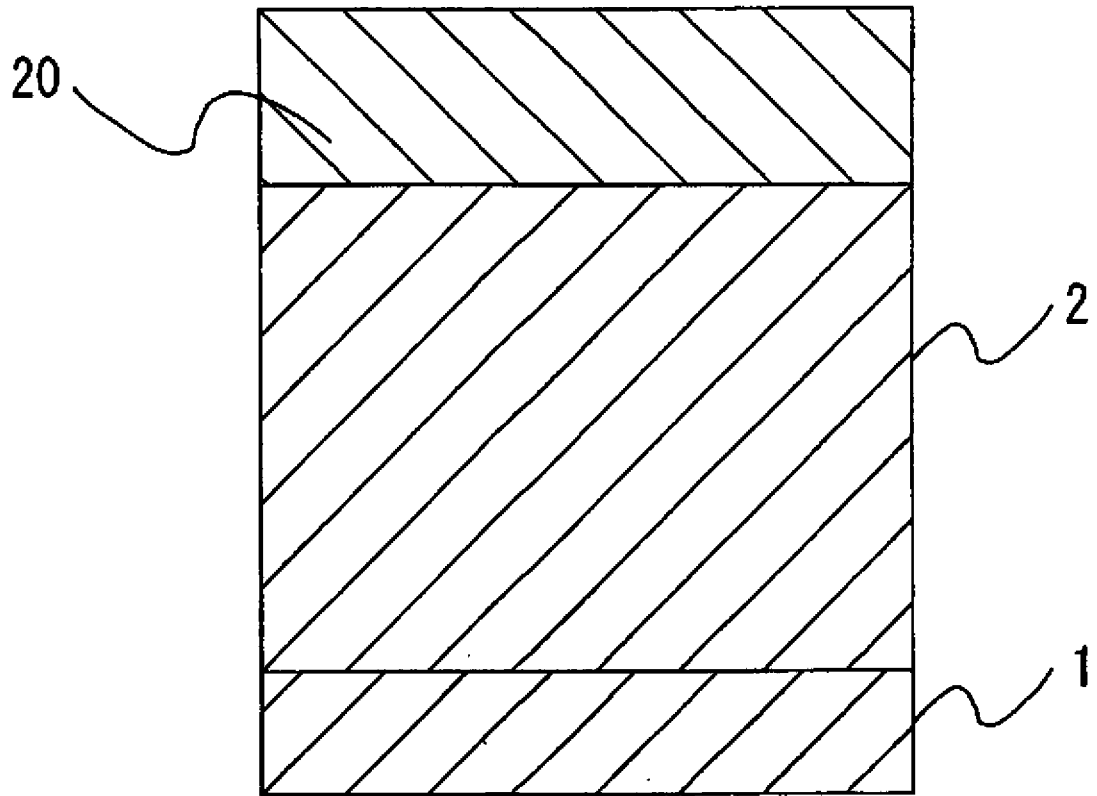
F I G . 8



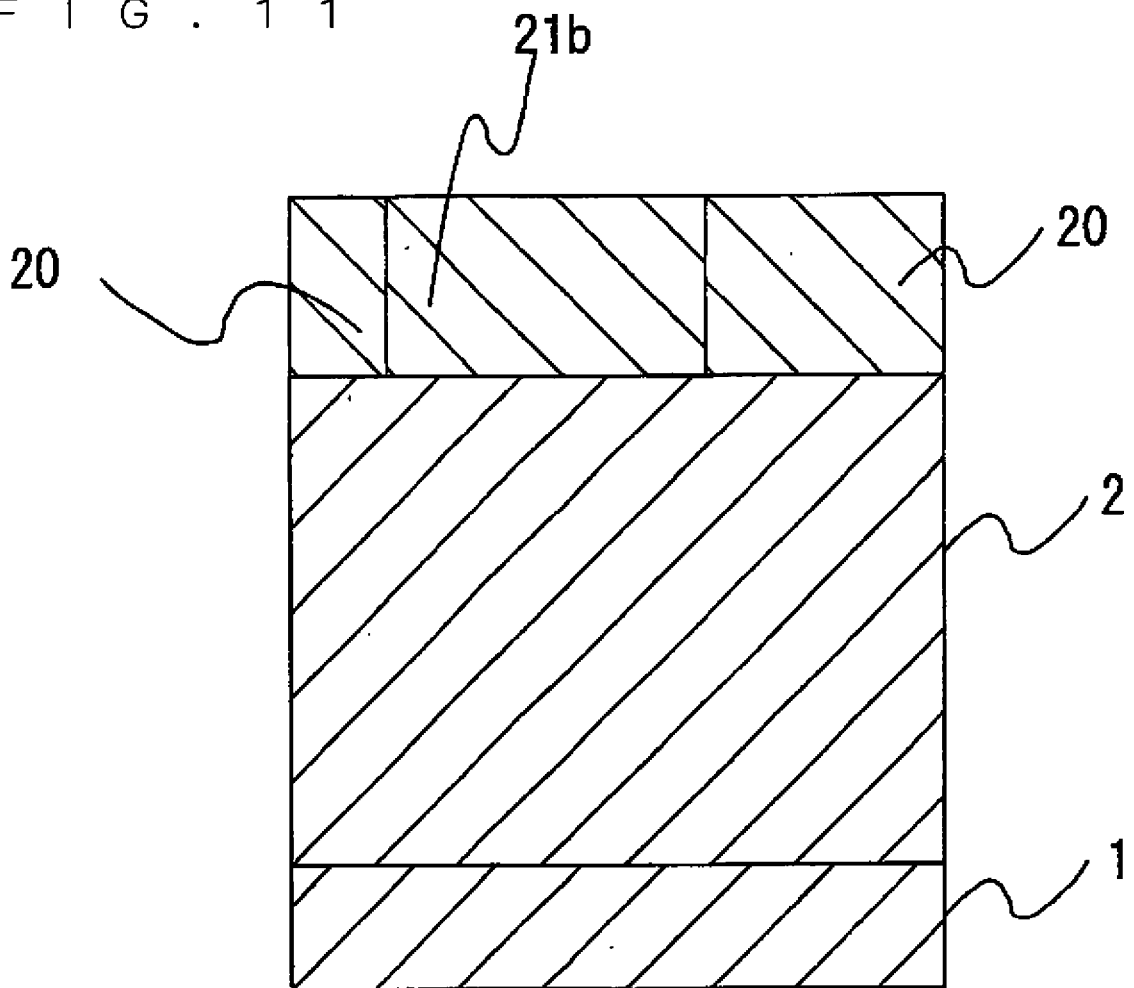
F I G . 9



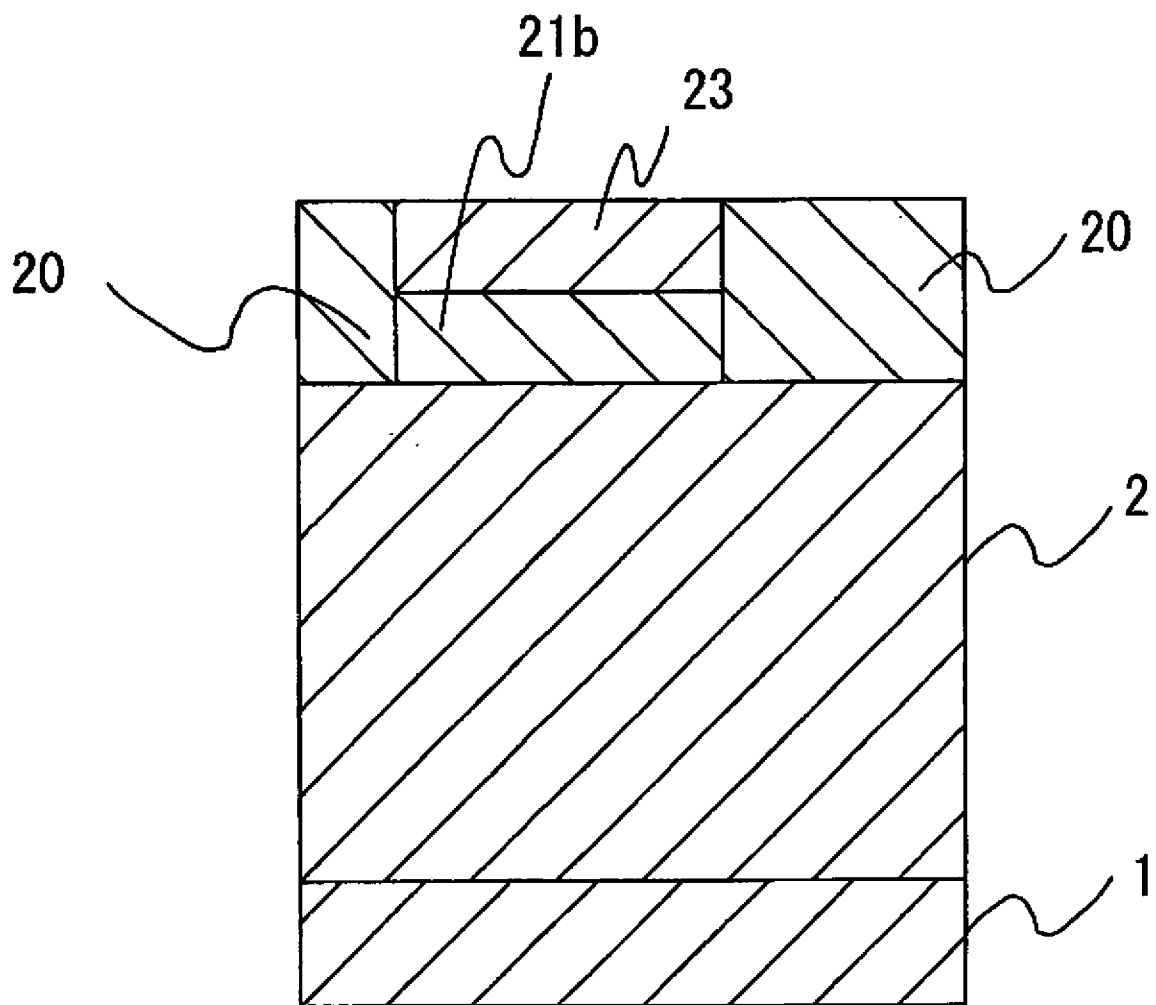
F I G . 1 0



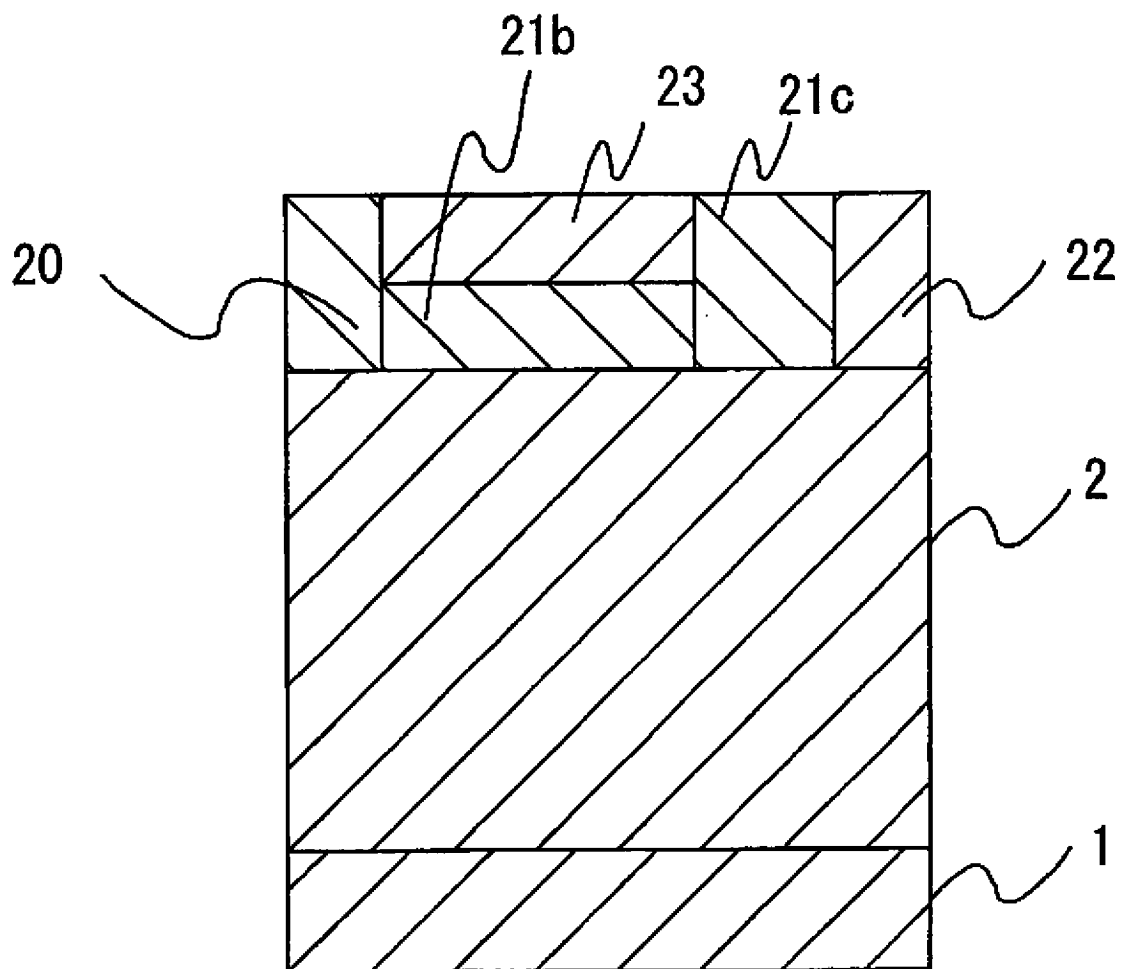
F I G . 1 1



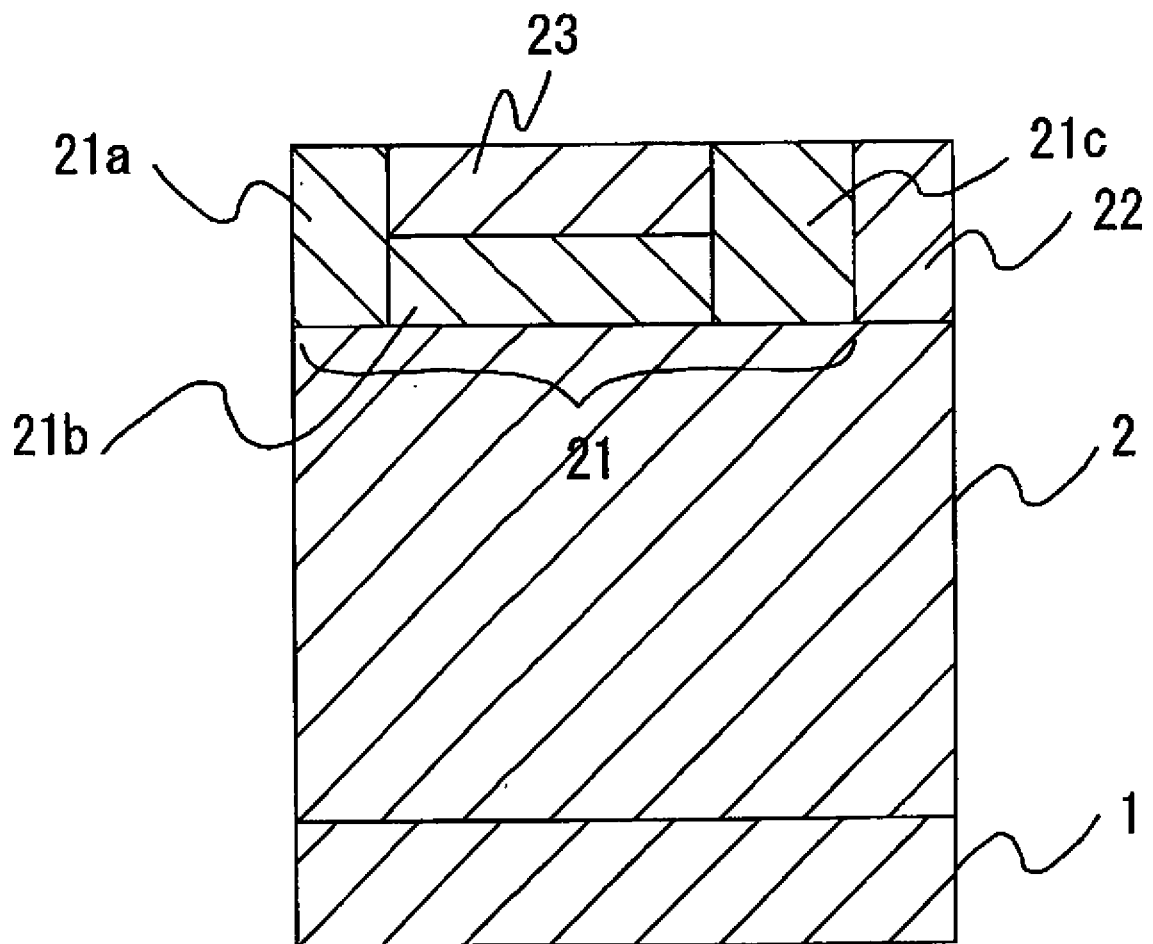
F I G . 1 2



F I G . 1 3



F I G . 1 4



F I G . 1 5

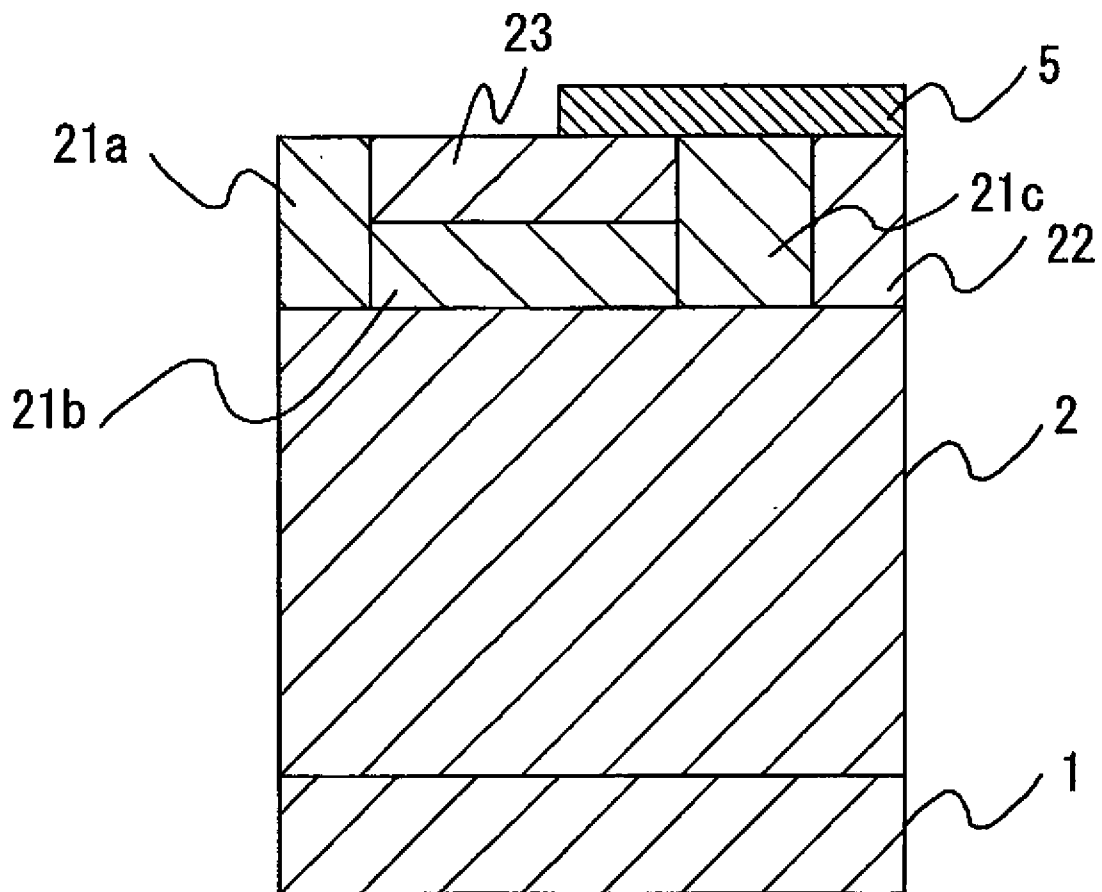


FIG. 16

