(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H01L 27/10

(45) 공고일자 2001년07월12일
(11) 등록번호 10-0294749
(24) 등록일자 2001년04월19일

(21) 출원번호 10-1998-0017716
(22) 출원일자 1998년05월16일

(65) 공개번호 특1999-0029197
(43) 공개일자 1999년04월26일

(30) 우선권주장 97-253806 1997년09월18일 일본(JP)

(73) 특허권자
미쓰비시덴키 가부시키가이샤
다니구찌 이찌로오, 기타오카 다카시
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고
미쓰비시 덴키 시스템 엘에스아이 디자인 가부시키가이샤
에노모토 다츠야
일본 효고켄 이타미시 츄오 3쵸메 1반 17고

(72) 발명자
야마시타 다케카즈
일본 나가사키켄 이사하야시 가이즈쵸 1830-25 이사하야 덴시 가부시키가이샤 내
시로시마 기요유키
일본 효고켄 이타미시 츄오 3쵸메 1반 17고 미쓰비시 덴키 시스템 엘에스아이 디자인 가부시키 가이샤 내
나카지마 미치오
일본 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고 미쓰비시 덴키 가부시키 가이샤 내
하타케나카 마코토
일본 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고 미쓰비시 덴키 가부시키 가이샤 내
도키 히데키
일본 효고켄 이타미시 츄오 3쵸메 1반 17고 미쓰비시 덴키 시스템 엘에스아이 디자인 가부시키 가이샤 내
사이토 드요시
일본 나가사키켄 이사하야시 가이즈쵸 1830-25 이사하야 덴시 가부시키가이샤 내

(74) 대리인
김창세

심사관 : 김근모

(54) 반도체기억장치

요약

종래에, 공통 상보 데이터 선 쌍에 있어서는 인접하는 비트선의 전위 변화의 영향을 받는다는 것과, 와이드 버스화에 따르는 점유 면적의 확대에 의한 고집적도 · 배선의 고효율의 방해라고 하는 문제가 있었다.

본 발명에 따르면, 제 1 배선층을 제 1 공통 상보 데이터 선 쌍의 비트선으로 함과 동시에 제 3 배선층을 제 2 공통 상보 데이터 선 쌍의 비트선으로 한 경우에는, 제 2 배선층은, 제 1 공통 상보 데이터 선 쌍의 비트선에 대하여 제 2 공통 상보 데이터 선 쌍의 비트선과 비트 바선이 겹치는 면적을 균등하게 하고, 또한 제 2 공통 상보 데이터 선 쌍의 비트선에 대하여 제 1 공통 상보 데이터 선 쌍의 비트선과 비트 바선이 겹치는 면적이 균등하게 하도록 구성하였다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예 1에 의한 반도체 기억 장치의 평면도,

도 2는 본 발명의 실시예 1에 의한 반도체 기억 장치의 단면도,

도 3은 본 발명의 실시예 1에 의한 반도체 기억 장치의 사시도,

도 4는 본 발명의 실시예 1에 의한 반도체 기억 장치의 배선 전위(配線電位)의 상관도,

도 5는 본 발명의 실시예 2에 의한 반도체 기억 장치의 평면도,

도 6은 본 발명의 실시예 2에 의한 반도체 기억 장치의 단면도,

도 7은 본 발명의 실시예 2에 의한 반도체 기억 장치의 사시도,

도 8은 본 발명의 실시예 2에 의한 반도체 기억 장치의 배선 전위의 상관도,

도 9는 본 발명의 실시예 3에 의한 반도체 기억 장치의 평면도,

도 10은 본 발명의 실시예 3에 의한 반도체 기억 장치의 단면도,

도 11은 본 발명의 실시예 3에 의한 반도체 기억 장치의 단면도,

도 12는 종래의 반도체 기억 장치의 개략적인 회로 구성도,

도 13은 종래의 반도체 기억 장치의 평면도,

도 14는 종래의 반도체 기억 장치의 단면도,

도 15는 종래의 반도체 기억 장치의 사시도,

도 16은 종래의 반도체 기억 장치의 배선 전위의 상관도.

도면의 주요 부분에 대한 부호의 설명

1 : 제 1 배선층2 : 제 2 배선층

3 : 제 3 배선층4 : 반도체 기판

5 : 필드 산화막 등의 절연층6 : 제 1 층간 절연층

7 : 제 2 층간 절연층8 : 제 1 비아 콘택트

9 : 제 2 비아 콘택트GIO(n) : 비트선

ZGIO(n) : 비트 바선

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 기억 장치에 관한 것으로, 특히, 인접하는 공통 상보 데이터 선 쌍, 즉 글로벌 I/O선 쌍 상호간의 배선에 관한 것이다.

도 12는 종래의 반도체 기억 장치의 메모리 어레이와 그 주변 회로의 개략도(이 경우에는 판독 동작을 실행하기 위함)로서, 도면에 있어서 참조 부호 11 14는 메모리 셀 트랜지스터, 참조 부호 15 20은 열 디코더용의 스위치 트랜지스터, 참조 부호 21, 22는 출력 트랜지스터(메인 앰프), 참조 부호 23 26은 메모리 셀 커패시터, 참조 부호 27, 28은 센스 앰프, 참조 부호 29는 출력 프리앰프, 참조 부호 BL1, BL2는 비트선, 참조 부호 ZBL1, ZBL2는 비트 바선(bit bar line), 참조 부호 GIO는 글로벌(global) I/O선, 참조 부호 ZGIO는 글로벌 I/O 바선, 참조 부호 WL0, WL1은 워드선이다. 참조부호 BL1과 참조부호 ZBL1 및 참조부호 BL2와 참조부호 ZBL2는 비트선 쌍을 이루고, 참조부호 GIO와 참조부호 ZGIO는 글로벌 I/O선 쌍을 이룬다. 스위치 트랜지스터(15 20)는 선택 스위치를 구성한다.

다음에 동작에 대하여 설명한다.

도 12와 같은 단일 트랜지스터형(one-transistor type) 메모리 셀을 이용한 소자의 판독 시에, 선택된 비트선은 열 디코더의 스위치 트랜지스터(15 20)를 통해서 글로벌 I/O선 쌍 중 어느 하나에 접속된다. 이 때, 공통의 데이터 I/O선으로부터 비트선 쌍에 잡음(노이즈)이 부가될 가능성이 있으므로, 열 디코더는 센스 앰프(27, 28)가 미소 신호를 검출, 증폭한 후에 동작을 개시한다. 비트선으로부터 판독된 정보는 스위치 트랜지스터(15 20)에 의해 접속된 글로벌 I/O선 쌍에 인가되고, 출력 프리앰프(29)에 의해서 증폭되어, 출력 트랜지스터(메인 앰프)(21, 22)에 의해 전송된다.

도 13은 종래의 반도체 기억 장치의 공통 상보 데이터 선 쌍, 즉 글로벌 I/O선 쌍을 나타내는 평면도이고, 도 14는 도 13의 Ⅷ-Ⅷ 선에 따른 단면도이다. 도면에 있어서, 참조 부호 4는 반도체 기판, 참조 부호 5는 필드 산화막 등의 절연층, 참조 부호 GIO(n)와 ZGIO(n)는 각각 글로벌 I/O선(n)과 글로벌 I/O 바선(n)을 나타내며, 이들이 글로벌 I/O선 쌍(n)을 구성하고(n은 자연수), 참조부호 GIO(n)와 ZGIO(n)는 한쪽이 비트선이면 다른 쪽은 비트 바선이라는 관계에 있다. 즉, GIO(1) 및 ZGIO(1)는 글로벌 I/O선 쌍(1)을 구성하고, 마찬가지로 GIO(2) 및 ZGIO(2)는 글로벌 I/O선 쌍(2)을 구성한다.

종래 예에서는, 도 13, 도 14와 같이 글로벌 I/O선 쌍(n)의 비트선과 비트 바선에는 단일 배선층이 사용되고 있다. 이 글로벌 I/O선 쌍(n은 복수의 메모리 셀에 접속되는 복수의 비트선 중 하나를 선택하는 선택 스위치를 거쳐서 접속되는 것이다.

도 15는 글로벌 I/O선 쌍(1)의 비트선 GIO(1)와 비트 바선 ZGIO(1) 및 글로벌 I/O선 쌍(2)의 비트선 GIO(2)와 비트 바선 ZGIO(2)의 배선간의 결합 용량을 도시한 도면이고, 도면에 있어서, 참조 부호 C101은 비트선 GIO(1)와 비트 바선 ZGIO(1) 사이의 결합 용량(coupling capacitor), 참조 부호 C102는 비트 바선 ZGIO(1)와 비트선 GIO(2) 사이의 결합 용량, 참조 부호 C103은 비트선 GIO(2)와 비트 바선 ZGIO(2) 사이의 결합 용량을 나타내는 것이다.

도 16은 도 15에 도시한 글로벌 I/O선 쌍(1)의 비트 바선과 글로벌 I/O선 쌍(2)의 비트선간 결합 용량 C102에 의한 글로벌 I/O선 쌍(2)의 비트선의 전위 변화에 대한 글로벌 I/O선 쌍(1)의 비트 바선의 전위로의 영향을 도시한 도면이다.

다음에 동작에 대하여 설명한다.

글로벌 I/O선 쌍(1)의 비트 바선 ZGIO(1)는 글로벌 I/O선 쌍(2)의 비트선 GIO(2)와의 사이에 비트선간 결합 용량 C102를 가지며, 글로벌 I/O선 쌍(2)의 비트선 GIO(2)의 전위가 변화할 때에, 글로벌 I/O선 쌍(1)의 비트 바선 ZGIO(1)는 비트선간 결합 용량에 의해서 글로벌 I/O선 쌍(2)의 비트선 전위가 상승(글로벌 I/O선 쌍(2)의 비트선 전위가 L 레벨로부터 H 레벨로 변화할 때) 및 강하(글로벌 I/O선 쌍(2)의 비트선 전위가 H 레벨로부터 L 레벨로 변화할 때)되는 영향을 받아, 글로벌 I/O선 쌍(1)의 비트 바선 ZGIO(1)의 동작을 방해한다. 글로벌 I/O선 쌍(1)의 비트 바선 ZGIO(1)의 전위 변화가 글로벌 I/O선 쌍(2)의 비트선 전위에 미치는 영향에 대해서도 상기 내용과 동일하다고 할 수 있다.

따라서, 글로벌 I/O선 쌍(1)의 비트 바선 ZGIO(1)가 글로벌 I/O선 쌍(2)의 비트선 GIO(2)의 영향을 받지 않도록 하거나, 글로벌 I/O선 쌍(2)의 비트선 GIO(2)가 글로벌 I/O선 쌍(1)의 비트 바선 ZGIO(1)의 영향을 받지 않도록 하기 위해서는 비트선 GIO(n)와 비트 바선 ZGIO(n) 사이의 각 배선 피치를 넓힐 필요가 있다. 그러나, 이 방법에서는 디바이스의 고집적도화에 따라 설계 룰이 엄격하게 되기 때문에, 배선 피치가 좁아지는 금후의 경향을 고려할 때, 배선 면적의 고효율화에 방해가 되므로 바람직하지 못하다.

종래의 반도체 기억 장치는 이상과 같이 구성되어 있기 때문에, 와이드 버스화에 따른 글로벌 I/0선 쌍의 증가가 필요한 경우에도 그 배선 레이아웃은 옆으로 나란히 연장하는 형태밖에는 채용할 수 없고, 노이즈 간섭에 의한 영향을 피하기 위해서는 배선 사이의 공간도 어느 정도 확보해야 하므로, 장치 크기가 증대해 버리는 문제점이 있었다.

또한, 종래의 글로벌 I/0선 쌍의 구성에서는 각 배선마다 특정, 즉 1개의 배선간 용량밖에 제공되지 않아, 노이즈의 영향을 받기 쉽다고 하는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 상기 과제를 해결하기 위해서 이루어진 것으로, 다층 배선을 이용하여 인접하는 글로벌 I/0선간의 노이즈 간섭을 완화시킴과 동시에 배선 면적의 효율화를 실현하여, 공간 축소(space saving)를 도모한 반도체 기억 장치를 얻는 것이다.

발명의 구성 및 작용

본 발명에 관한 반도체 기억 장치는 복수의 메모리 셀에 접속되는 비트선 및 비트 바선으로 이루어지는 상보 데이터 선과, 반도체 기판 상에 순서대로 형성된 제 1, 제 2 및 제 3 배선층과, 제 1 및 제 2 배선층을 제 1 비아 콘택트를 거쳐서 접속한 비트선 및 비트 바선으로 이루어지는 제 1 공통 상보 데이터 선 쌍과, 제 2 및 제 3 배선층을 제 2 비아 콘택트를 거쳐서 접속한 비트선 및 비트 바선으로 이루어지는 제 2 공통 상보 데이터 선 쌍과, 상보 데이터 선의 비트선 및 비트 바선을 선택하여 제 1 및 제 2 공통 상보 데이터 선 쌍의 비트선 및 비트 바선을 접속하는 선택 스위치를 구비한 것

이며, 제 1 배선층을 제 1 공통 상보 데이터 선 쌍의 비트선으로 함과 동시에 제 3 배선층을 제 2 공통 상보 데이터 선 쌍의 비트선으로 한 경우에는, 제 2 배선층은 제 1 공통 상보 데이터 선 쌍의 비트선에 대하여 제 2 공통 상보 데이터 선 쌍의 비트선과 비트 바선이 겹치는 면적을 균등하게 함과 동시에, 제 2 공통 상보 데이터 선 쌍의 비트선에 대하여 제 1 공통 상보 데이터 선 쌍의 비트선과 비트 바선이 겹치는 면적을 균등하게 하는 것이다.

본 발명에 관한 반도체 기억 장치는 복수의 메모리 셀에 접속되는 비트선 및 비트 바선으로 이루어지는 상보 데이터 선과, 반도체 기판 상에 순서대로 형성된 제 1, 제 2 및 제 3 배선층과, 제 1 및 제 2 배선층을 제 1 비아 콘택트를 거쳐서 접속한 비트선과 제 1 배선층으로 이루어지는 비트 바선으로 형성되는 제 1 공통 상보 데이터 선 쌍과, 제 2 및 제 3 배선층을 제 2 비아 콘택트를 거쳐서 접속한 비트선과 제 3 배선층으로 이루어지는 비트 바선으로 형성되는 제 2 공통 상보 데이터 선 쌍과, 상보 데이터 선의 비트선 및 비트 바선을 선택하여 제 1 및 제 2 공통 상보 데이터 선 쌍의 비트선 및 비트 바선을 각각 접속하는 선택 스위치를 구비한 것이며, 제 1 및 제 2 배선층은 제 2 공통 상보 데이터 선 쌍의 비트선에 대하여 제 1 공통 상보 데이터 선 쌍의 비트선 및 비트 바선이 겹치는 면적과 해당 비트선 및 비트 바선이 평행하게 되는 면적을 균등하게 하고, 또한 제 2 및 제 3 배선층은 제 1 공통 상보 데이터 선 쌍의 비트선에 대하여 제 2 공통 상보 데이터 선 쌍의 비트선 및 비트 바선이 겹치는 면적과 해당 비트선 및 비트 바선이 평행하게 되는 면적을 균등하게 하는 것이다.

본 발명에 관한 반도체 기억 장치는 복수의 메모리 셀에 접속되는 비트선 및 비트 바선으로 이루어지는 상보 데이터 선과, 반도체 기판 상에 순서대로 형성된 제 1, 제 2 및 제 3 배선층과, 제 1 및 제 3 배선층에 대하여 비트선 및 비트 바선을 할당한 제 1 공통 상보 데이터 선 쌍과, 제 1 및 제 3 배선층에 대하여 비트선 및 비트 바선을 할당한 제 2 공통 상보 데이터 선 쌍과, 상보 데이터 선의 비트선 및 비트 바선을 선택하여 제 1 및 제 2 공통 상보 데이터 선 쌍의 비트선 및 비트 바선을 각각 접속하는 선택 스위치를 구비한 것이며, 제 1 배선층을 제 1 공통 상보 데이터 선 쌍 및 제 2 공통 상보 데이터 선 쌍의 비트선에 할당함과 동시에, 제 3 배선층을 제 1 공통 상보 데이터 선 쌍 및 제 2 공통 상보 데이터 선 쌍의 비트 바선에 할당하는 경우에는, 비트선 및 비트 바선으로 되지 않는 제 1 및 제 3 배선층중의 적어도 한쪽은 제 2 배선층과 콘택트를 거쳐서 서로 접속하는 것이다.

본 발명에 관한 반도체 기억 장치는 복수의 메모리 셀에 접속되는 비트선 및 비트 바선으로 이루어지는 상보 데이터 선과, 반도체 기판 상에 순서대로 형성된 제 1, 제 2 및 제 3 배선층과, 제 1 및 제 2 배선층을 제 1 비아 콘택트를 거쳐서 접속한 비트선 및 비트 바선으로 이루어지는 제 1 공통 상보 데이터 선 쌍과, 제 2 및 제 3 배선층을 제 2 비아 콘택트를 거쳐서 접속한 비트선 및 비트 바선으로 이루어지는 제 2 공통 상보 데이터 선 쌍과, 상보 데이터 선의 비트선 및 비트 바선을 선택하여 제 1 및 제 2 공통 상보 데이터 선 쌍의 비트선 및 비트 바선을 각각 접속하는 선택 스위치를 구비한 것이며, 제 1 배선층을 제 1 공통 상보 데이터 선 쌍의 비트 바선으로 함과 동시에 제 3 배선층을 제 2 공통 상보 데이터 선 쌍의 비트 바선으로 한 경우에는, 제 2 배선층은 제 1 공통 상보 데이터 선 쌍의 비트 바선에 대하여 제 2 공통 상보 데이터 선 쌍의 비트선과 비트 바선이 겹치는 면적을 균등하게 함과 동시에, 제 2 공통 상보 데이터 선 쌍의 비트 바선에 대하여 제 1 공통 상보 데이터 선 쌍의 비트선과 비트 바선이 겹치는 면적을 균등하게 하도록 구성할 수도 있다 .

본 발명에 관한 반도체 기억 장치는 복수의 메모리 셀에 접속되는 비트선 및 비트 바선으로 이루어지는 상보 데이터 선과, 반도체 기판 상에 순서대로 형성된 제 1, 제 2 및 제 3 배선층과, 제 1 및 제 2 배선층을 제 1 비아 콘택트를 거쳐서 접속한 비트 바선과 제 1 배선층으로 이루어지는 비트선으로 형성되는 제 1 공통 상보 데이터 선 쌍과, 제 2 및 제 3 배선층을 제 2 비아 콘택트를 거쳐서 접속한 비트 바선과 제 3 배선층으로 이루어지는 비트선으로 형성되는 제 2 공통 상보 데이터 선 쌍과, 상보 데이터 선의 비트선 및 비트 바선을 선택하여 제 1 및 제 2 공통 상보 데이터 선 쌍의 비트선 및 비트 바선을 각각 접속하는 선택 스위치를 구비한 것이며, 제 1 및 제 2 배선층은 제 2 공통 상보 데이터 선 쌍의

비트 바선에 대하여 제 1 공통 상보 데이터 선 쌍의 비트선 및 비트 바선이 겹치는 면적과 해당 비트선 및 비트 바선이 평행하게 되는 면적을 균등하게 하고, 또한 제 2 및 제 3 배선층은 제 1 공통 상보 데이터 선 쌍의 비트 바선에 대하여 제 2 공통 상보 데이터 선 쌍의 비트선 및 비트 바선이 겹치는 면적과 해당 비트선 및 비트 바선이 평행하게 되는 면적을 균등하게 하도록 구성할 수도 있다.

본 발명에 관한 반도체 기억 장치는 제 1 배선층을 제 1 공통 상보 데이터 선 쌍 및 제 2 공통 상보 데이터 선 쌍의 비트 바선에 할당함과 동시에 제 3 배선층을 제 1 공통 상보 데이터 선 쌍 및 제 2 공통 상보 데이터 선 쌍의 비트선에 할당하는 경우에는 비트선 및 비트 바선으로 되지 않는 제 1 및 제 3 배선층중의 적어도 한쪽은 제 2 배선층과 콘택트를 거쳐서 서로 접속하도록 구성할 수도 있다.

본 발명에 관한 반도체 기억 장치는 제 1 배선층을 제 1 공통 상보 데이터 선 쌍의 비트선 및 제 2 공통 상보 데이터 선 쌍의 비트 바선에 할당함과 동시에 제 3 배선층을 제 1 공통 상보 데이터 선 쌍의 비트 바선 및 제 2 공통 상보 데이터 선 쌍의 비트선에 할당하는 경우에는 비트선 및 비트 바선으로 되지 않는 제 1 및 제 3 배선층중의 적어도 한쪽은 제 2 배선층과 콘택트를 거쳐서 서로 접속하도록 구성할 수도 있다.

본 발명에 관한 반도체 기억 장치는 제 1, 제 2 및 제 3 배선층과 동일 구성을 이루는 제 4, 제 5 및 제 6의 배선층을 갖도록 구성할 수도 있다.

본 발명의 상기 및 그 밖의 목적, 특징, 국면 및 이익 등은 첨부 도면을 참조로 하여 설명하는 이하의 상세한 실시예로부터 더욱 명백해질 것이다.

발명의 실시예

이하, 본 발명의 실시의 일 형태를 설명한다.

(실시예 1)

도 1의 (a) 내지 (c)는 본 실시예 1의 반도체 기억 장치를 나타내는 평면도로서, 도 1의 (a)는 제 3 배선층에 의한 배선도, 도 1의 (b)는 제 2 배선층에 의한 배선도, 도 1의 (c)는 제 1 배선층에 의한 배선도이고, 복수의 메모리 셀에 접속되는 비트선을 선택 스위치에 의해 선택하는 것에 의해 접속되는 공통 상보 데이터 선 쌍, 즉 글로벌 I/O선 쌍을 나타내는 것이다. 도면에 있어서, 참조 부호 1은 제 1 배선층, 참조 부호 2는 제 2 배선층, 참조 부호 3은 제 3 배선층이다.

또한, 도 2의 (a), 도 2의 (b)는 각각 도 1의 (a) 내지 도 1의 (c)에 있어서의 Ⅰ-Ⅰ선과 Ⅱ-Ⅱ선에 따른 단면도로서, 도면에 있어서 참조 부호 4는 반도체 기판, 참조 부호 5는 필드 산화막 등의 절연층, 참조 부호 6은 제 1 층간 절연층, 참조 부호 7은 제 2 층간 절연층, 참조 부호 8은 제 1 배선층과 제 2 배선층을 접속하기 위한 제 1 비아 콘택트, 참조 부호 9는 제 2 배선층과 제 3 배선층을 접속하기 위한 제 2 비아 콘택트이며, 그 밖의 구성은 도 1의 (a) 내지 (c)와 동일하므로 동일 부분에는 동일 부호를 부여하고 중복 설명을 생략한다. 종래예(도 13 내지 도 15)와의 상위점으로서는, 단일 배선층 대신에 제 1 내지 제 3 배선층을 사용한 것이다.

도 3은 본 실시예 1의 반도체 기억 장치의 3차원적 배선도로서, 도면에 있어서 C101은 글로벌 I/O선 쌍(1)의 I/O 바선 ZGIO(1)와 글로벌 I/O선 쌍(2)의 글로벌 I/O선 GIO(2)간의 결합 용량, C102는 글로벌 I/O선 쌍(1)의 글로벌 I/O 바선 ZGIO(1)와 글로벌 I/O 선 쌍(2)의 글로벌 I/O 바선 ZGIO(2)간의 결합 용량, C201은 글로벌 I/O선 쌍(1)의 글로벌 I/O선 GIO(1)와 글로벌 I/O선 쌍(2)의 글로벌 I/O 바선 ZGIO(2)간의 결합 용량, C202는 글로벌 I/O선 쌍(1)의 글로벌 I/O선 GIO(1)와 I/O선 쌍(2)의 글로벌 I/O선 GIO(2)간의 결합 용량을 나타내는 것이다.

이에 따라, 제 1 배선층을 사용한 글로벌 I/0선 쌍(1)의 비트선과, 제 3 배선층을 사용한 글로벌 I/O선 쌍(2)의 비트선과의 사이에 배선의 결합 용량 C202와, 제 3 배선층을 사용한 글로벌 I/O선 쌍(2)의 비트 바선과의 사이에 배선의 결합 용량 C201을 균등하게 갖는 것이 실현 가능해진다. 이에 덧붙여, 제 1 배선층을 사용한 글로벌 I/0선 쌍(1)의 비트 바선과, 제 2 배선층을 사용한 글로벌 I/O선 쌍(2)의 비트선 사이에 배선의 결합 용량 C101과 제 3 배선층을 사용한 글로벌 I/O선 쌍(2)의 비트 바선 사이에 배선의 결합 용량 C102를 균등하게 갖는 것이 실현 가능해진다.

도 4는 글로벌 I/O선 쌍(1)의 비트선 GIO(1)와, 글로벌 I/O선 쌍(2)의 비트선 GIO(2) 및 비트 바선 ZGIO(2)와의 결합 용량 C201, C202에 의한 전위로의 영향을 도시한 도면으로서, 글로벌 I/O선 쌍(1)의 비트선 GIO(1)는 글로벌 I/O선 쌍(2)의 비트선 GIO(2)와의 결합 용량 C202와 글로벌 I/O선 쌍(2)의 비트 바선과의 결합 용량 C201을 갖는다.

다음에 동작에 대하여 설명한다.

글로벌 I/O선 쌍(2)의 비트선 GIO(2)의 전위가 L 레벨로부터 H 레벨로 변화할 때, 글로벌 I/O선 쌍(1)의 비트선 GIO(1)는 결합 용량 C202에 의해서 전위 상승의 영향을 받는다. 그러나, 동시에 글로벌 I/O선 쌍(2)의 비트 바선 ZGIO(2)의 H 레벨로부터 L 레벨로의 변화가 일어남으로써, 결합 용량 C201에 의해 전위 강하의 영향을 받아 글로벌 I/0선 쌍(1)의 비트선 GIO(1)로의 영향은 완화되게 된다. 마찬가지로, 글로벌 I/O선 쌍(1)의 비트 바선 ZGIO(1)와 글로벌 I/O선 쌍(2)의 비트선 GIO(2)의 결합 용량 C101 및 글로벌 I/O선 쌍(2)의 비트 바선 ZGIO(2)와의 결합 용량 C102도 동일한 효과를 얻는다.

동시에, 제 1 배선층을 글로벌 I/0선 쌍(1)의 비트선(비트 바선), 제 3 배선층을 글로벌 I/O선 쌍(2)의 비트선(비트 바선)으로 함으로써, 종래의 절반의 면적으로 배선하는 것이 가능해져, 반도체 기억 장치의 고집적화에 기여한다.

이상과 같이, 본 실시예 1에 따르면 2개의 글로벌 I/O선 쌍 중의 한쪽 비트선 및 비트 바선을 평면적으로 교차시킴으로써, 다른 쪽 쌍의 노이즈를 제거함과 동시에, 다층 배선 구조를 사용하였기 때문에, 레이아웃 면적을 절반으로 할 수 있는 효과가 있다. 상기 실시예 1에서는 다층 배선으로 3층 구조를 이용하였지만, 4층, 5층으로 더욱 다층화가 진행되어도 상술한 바와 같은 결합 노이즈의 상쇄와 미세화에 더욱 공헌할 수 있음은 물론이다.

(실시예 2)

도 5의 (a) 내지 도 5의 (c)는 본 실시예 2의 반도체 기억 장치를 나타내는 평면도로서, 도 5의 (a)는 제 3 배선층에 의한 배선도, 도 5의 (b)는 제 2 배선층에 의한 배선도, 도 5의 (c)는 제 1 배선층에 의한 배선도이다. 도면에 있어서, 참조 부호 1은 제 1 배선층, 참조 부호 2는 제 2 배선층, 참조 부호 3은 제 3 배선층이고, 복수의 메모리 셀에 접속되는 비트선을 선택 스위치에 의해 선택하는 것에 의해 접속되는 글로벌 I/0선 쌍을 나타내는 것이다. 종래예(도 13 내지 도 15)와의 상위점은 단일 배선층 대신에 제 1 내지 제 3 배선층을 사용한 것이다.

또한, 도 6의 (a), 도 6의 (b)는 각각 도 5의 (a) 내지 도 5의 (c)에 있어서의 Ⅲ-Ⅲ선과 Ⅳ-Ⅳ선에 따른 단면도이고, 도면에 있어서, 참조 부호 4는 반도체 기판, 참조 부호 5는 필드 산화막 등의 절연층, 참조 부호 6은 제 1 층간 절연층, 참조 부호 7은 제 2 층간 절연층, 참조 부호 8은 제 1 배선층과 제 2 배선층을 접속하기 위한 제 1 비아 콘택트, 참조 부호 9는 제 2 배선층과 제 3 배선층을 접속하기 위한 제 2 비아 콘택트이며, 그 밖의 구성은 도 5의 (a) 내지 도 5의 (c)와 동일하므로 동일 부분에는 동일 부호를 부여하고 중복 설명을 생략한다.

도 7은 본 실시예 2의 반도체 기억 장치의 3차원적 배선도로서, 도면에 있어서, 제 1 배선층을 사용한 글로벌 I/O 선쌍(1)의 비트선 GIO(1)는 제 3 배선층을 사용한 글로벌 I/O선 쌍(2)의 비트선 GIO(2)와의 사이에 배선의 결합 용량 C201, 제 3 배선층을 사용한 글로벌 I/O선 쌍(2)의 비트 바선 ZGIO(2)와의 사이에 배선의 결합 용량 C102를 균등하게 갖는 것이 가능해지고, 또한 제 1 배선층을 사용한 글로벌 I/O선 쌍(1)의 비트 바선 ZGIO(1)와, 제 3 배선층을 사용한 글로벌 I/O선 쌍(2)의 비트선 GIO(2) 사이에 배선의 결합 용량 C202와, 제 3 배선층(내지 제 2 배선층)을 사용한 글로벌 I/O선 쌍(2)의 비트 바선 ZGIO(2) 사이에 배선의 결합 용량 C101을 균등하게 갖는 것이 실현 가능해진다.

도 8은 글로벌 I/O선 쌍(1)의 비트선 GIO(1)가 글로벌 I/O선 쌍(2)의 비트선 GIO(2)와 비트 바선 ZGIO(2)의 결합 용량(C201, C102)에 대한 전위로의 영향을 도시한 도면으로서, 글로벌 I/O선 쌍(1)의 비트선 GIO(1)는 글로벌 I/O선 쌍(2)의 비트선 GIO(2)와의 결합 용량 C201과 글로벌 I/O선 쌍(2)의 비트 바선과의 결합 용량 C102를 갖는다.

다음에 동작에 대하여 설명한다.

글로벌 I/O선 쌍(2)의 비트선 GIO(2)의 전위가 L 레벨로부터 H 레벨로 변화할 때, 글로벌 I/O선 쌍(1)의 비트선은 결합 용량 C201에 의해서 전위 상승의 영향을 받는다. 그러나, 동시에 글로벌 I/O선 쌍(2)의 비트 바선 ZGIO(2)의 H 레벨로부터 L 레벨로의 변화가 일어남으로써, 결합 용량 C102에 의해서 전위 강하의 영향을 받아, 글로벌 I/O선 쌍(1)의 비트선 GIO(1)로의 영향은 완화되게 된다.

마찬가지로, 글로벌 I/O선 쌍(1)의 비트 바선 ZGIO(1)는 글로벌 I/O선 쌍(2)의 비트선 GIO(2)와의 결합 용량 C202 및 글로벌 I/O선 쌍(2)의 비트 바선 ZGIO(2)와의 결합 용량 C101도 동일한 효과를 얻는다. 동시에, 제 1 배선층을 글로벌 I/0선 쌍(1)의 비트선 GIO(1)(비트 바선 ZGIO(1)), 제 3 배선층을 글로벌 I/O선 쌍(2)의 비트선 GIO(2)(비트 바선 ZGIO(2))로 한 입체적 구조를 취함으로써, 종래예의 절반의 칩 점유 면적으로 배선하는 것이 가능해진다.

이상과 같이, 본 실시예 2에 따르면, 2개의 글로벌 I/O선 쌍 중의 한쪽 비트선 및 비트 바선을 계층적으로 교차시킴으로써, 다른 쪽 쌍의 노이즈를 제거함과 동시에, 다층 배선 구조를 사용하였기 때문에 레이아웃 면적을 절반으로 줄일 수 있는 효과가 있다.

(실시예 3)

도 9의 (a) 내지 도 9의 (c)는 본 실시예 3의 반도체 기억 장치를 나타내는 평면도로서, 도 9의 (a)는 제 3 배선층에 의한 배선도, 도 9의 (b)는 제 2 배선층에 의한 차폐벽(shield wall)으로서의 배선도, 도 9의 (c)는 제 1 배선층에 의한 배선도이며, 이들의 조합은, 복수의 메모리 셀에 접속되는 비트선을 선택 스위치에 의해 선택하는 것에 의해 접속될 글로벌 I/0선 쌍을 나타내는 것이다. 도면에 있어서, 참조 부호 1은 제 1 배선층, 참조 부호 2는 제 2 배선층, 참조 부호 3은 제 3 배선층이고, 종래예(도 13 내지 도 15)와의 상위점은, 단일 배선층 대신에 제 1 내지 제 3 배선층을 사용한 것이다.

도 10의 (a), 도 10의 (b)는 각각 도 9의 (a) 내지 도 9의 (c)에 있어서의 Ⅴ-Ⅴ선과 Ⅵ-Ⅵ선에 따른 단면도이고, 도 11은 도 9의 Ⅶ-Ⅶ선에 따른 단면도이다. 도면에 있어서, 참조 부호 4는 반도체 기판, 참조 부호 5는 필드 산화막 등의 절연층, 참조 부호 6은 제 1 층간 절연층, 참조 부호 7은 제 2 층간 절연층, 참조 부호 8은 제 1 배선층과 제 2 배선층을 접속하기 위한 제 1 비아 콘택트, 참조 부호 9는 제 2 배선층과 제 3 배선층을 접속하기 위한 제 2 비아 콘택트이며, 그 밖의 구성은 도 9의 (a) 내지 도 9의 (c)와 동일하므로 동일 부분에는 동일 부호를 부여하고 중복 설명을 생략한다. 종래예와의 상위점은, 상기 실시예 1 및 실시예 2와 마찬가지로 단일 배선층 대신에 제 1 내지 제 3 배선층을 사용한 것이다.

종래예에서는 배선의 결합 용량이 특정 비트선(비트 바선)과의 사이에 생기기 때문에, 다른 배선의 전위 변화에 대한 영향을 받고 있었다. 그러나, 이에 따라 제 1, 제 3 배선층을 사용하고 있던 글로벌 I/O 선 쌍(1)의 비트선(비트 바선)과, 제 1, 제 3 배선층을 사용한 글로벌 I/O 선 쌍(2)의 비트선(비트 바선)과의 사이에, 기준 전압(예를 들면, 접지 레벨)과 접속한 제 2 배선층을 중심으로 상호 접속한 제 1 내지 제 3 배선층에 의한 차폐벽을 마련함으로써, 신호 배선 상호간의 결합 용량이 없어져 각 신호 배선은 모두 기준 전압과의 사이에 결합 용량을 갖게 된다. 이로써, 각 신호 배선의 전위 변화에 대한 영향을 완전히 배제시키는 것이 가능해진다. 그러나, 제 1 내지 제 3 배선층을 사용한 차폐벽을 마련함으로써 배선의 칩 점유 면적의 증대로 이어지는 결점은 있지만, 반도체 기억 장치의 저전압화에 따른 미소 전위를 취급하는 회로에 대해서는 효과적이다.

이상과 같이, 본 실시예 3에 따르면 2개의 글로벌 I/O선 쌍 사이에 제 1 및 제 3의 배선층을 사용한 차폐벽을 마련함으로써, 상호간의 결합 용량이 없어져, 저전압화에 따른 미소 전위를 취급하는 회로에 적용할 수 있는 효과가 있다.

발명의 효과

이상과 같이, 본 발명에 따르면 제 1 배선층을 제 1 공통 상보 데이터 선 쌍의 비트선으로 함과 동시에 제 3 배선층을 제 2 공통 상보 데이터 선 쌍의 비트선으로 한 경우에는, 제 2 배선층은 제 1 공통 상보 데이터 선 쌍의 비트선에 대하여 제 2 공통 상보 데이터 선 쌍의 비트선과 비트 바선이 겹치는 면적을 균등하게 함과 동시에, 제 2 공통 상보 데이터 선 쌍의 비트선에 대하여 제 1 공통 상보 데이터 선 쌍의 비트선과 비트 바선이 겹치는 면적을 균등하게 하도록 구성하였기 때문에, 제 1 공통 상보 데이터 선 쌍의 비트선과, 제 2 공통 상보 데이터 선 쌍의 비트선 및 비트 바선 사이의 결합 용량은 서로 동일하게 할 수 있고, 또한 제 1 공통 상보 데이터 선 쌍의 비트 바선과 제 2 공통 상보 데이터 선 쌍의 비트선 및 비트 바선 사이의 결합 용량도 서로 동일하게 할 수 있다.

이에 따라, 제 1 공통 상보 데이터 선 쌍의 비트선은 제 2 공통 상보 데이터 선 쌍의 비트선이 전위 변화(L 레벨로부터 H 레벨로)된 경우에 제 1 공통 상보 데이터 선 쌍의 비트선과 제 2 공통 상보 데이터 선 쌍의 비트선 사이의 결합 용량에 의해서 전위의 영향을 받았다고 해도, 동시에 인접한 제 2 공통 상보 데이터 선 쌍의 비트 바선이 그 역으로 전위 변화(H 레벨로부터 L 레벨로)됨으로써 제 1 공통 상보 데이터 선 쌍의 비트선과 제 2 공통 상보 데이터 선 쌍의 비트 바선 사이의 결합 용량에 의해서 그 반대의 전위의 영향을 받는다. 따라서, 제 1 공통 상보 데이터 선 쌍의 비트선으로의 전위의 영향은 상쇄되어 노이즈에 의한 영향을 완화시키는 효과가 있다.

이에 덧붙여, 제 1 내지 제 3 배선층이라는 다층 금속 배선을 사용함으로써 배선 레이아웃의 점유 면적을 축소하는 효과가 있다.

또한, 본 발명에 따르면, 제 1 배선층을 제 1 공통 상보 데이터 선 쌍의 비트 바선으로 함과 동시에 제 3 배선층을 제 2 공통 상보 데이터 선 쌍의 비트 바선으로 한 경우에는, 제 2 배선층은 제 1 공통 상보 데이터 선 쌍의 비트 바선에 대하여 제 2 공통 상보 데이터 선 쌍의 비트선과 비트 바선이 겹치는 면적을 균등하게 함과 동시에 제 2 공통 상보 데이터 선 쌍의 비트 바선에 대하여 제 1 공통 상보 데이터 선 쌍의 비트선과 비트 바선이 겹치는 면적을 균등하게 하도록 구성하였기 때문에, 제 1 공통 상보 데이터 선 쌍의 비트 바선과, 제 2 공통 상보 데이터 선 쌍의 비트선 및 비트 바선 사이의 결합 용량을 서로 동일하게 할 수 있고, 또한 제 1 공통 상보 데이터 선 쌍의 비트선과 제 2 공통 상보 데이터 선 쌍의 비트선 및 비트 바선 사이의 결합 용량도 서로 동일하게 할 수 있다.

이에 따라, 상기와 마찬가지로 제 1 공통 상보 데이터 선 쌍의 비트 바선은 제 2 공통 상보 데이터 선 쌍의 비트 바선이

전위 변화(L 레벨로부터 H 레벨로)된 경우에 제 1 공통 상보 데이터 선 쌍의 비트 바선과 제 2 공통 상보 데이터 선 쌍의 비트 바선간의 결합 용량에 의해서 전위의 영향을 받았다고 하더라도, 동시에 인접한 제 2 공통 상보 데이터 선 쌍의 비트선이 역으로 전위 변화(H 레벨로부터 L 레벨로)됨으로써 제 1 공통 상보 데이터 선 쌍의 비트 바선과 제 2 공통 상보 데이터 선 쌍의 비트선 사이의 결합 용량에 의해서 그 역의 전위의 영향을 받는다. 따라서, 제 1 공통 상보 데이터 선 쌍의 비트 바선으로의 전위의 영향은 상쇄되어 노이즈에 의한 영향을 완화시키는 효과가 있다.

이에 덧붙여, 제 1 내지 제 3 배선층이라는 다층 금속 배선을 사용함으로써 배선 레이아웃의 점유 면적을 축소하는 효과가 있다.

또한, 본 발명에 따르면 제 1 및 제 2 배선층은 제 2 공통 상보 데이터 선 쌍의 비트선에 대하여 제 1 공통 상보 데이터 선 쌍의 비트선 및 비트 바선이 겹치는 면적과 해당 비트선 및 비트 바선이 평행하게 되는 면적을 균등하게 하고, 또한 제 2 및 제 3 배선층은 제 1 공통 상보 데이터 선 쌍의 비트선에 대하여 제 2 공통 상보 데이터 선 쌍의 비트선 및 비트 바선이 겹치는 면적과 해당 비트선 및 비트 바선이 평행하게 되는 면적을 균등하게 하도록 구성하였기 때문에, 제 1 공통 상보 데이터 선 쌍의 비트선은 제 2 공통 상보 데이터 선 쌍의 비트선 및 비트 바선과의 사이에 각각 결합 용량을 갖고, 또한 제 2 공통 상보 데이터 선 쌍의 비트선도 마찬가지로 제 1 공통 상보 데이터 선 쌍의 비트선 및 비트 바선과의 사이에 각각 결합 용량을 갖는다.

이에 따라, 제 2 공통 상보 데이터 선 쌍의 비트선은 제 1 공통 상보 데이터 선 쌍의 비트선이 전위 변화(L 레벨로부터 H 레벨로)된 경우에 제 2 공통 상보 데이터 선 쌍의 비트선과 제 1 공통 상보 데이터 선 쌍의 비트선 사이의 결합 용량에 의해서 전위의 영향을 받았다고 하더라도, 동시에 인접한 제 1 공통 상보 데이터 선 쌍의 비트 바선이 역으로 전위 변화(H 레벨로부터 L 레벨로)됨으로써 제 2 공통 상보 데이터 선 쌍의 비트선과 제 1 공통 상보 데이터 선 쌍의 비트 바선간의 결합 용량에 의해서 그 역의 전위를 받는다. 따라서, 제 2 공통 상보 데이터 선 쌍의 비트선으로의 전위의 영향은 상쇄되어 노이즈에 의한 영향을 완화시키는 효과가 있다.

상기와 마찬가지로, 제 1 공통 상보 데이터 선 쌍의 비트선은 제 2 공통 상보 데이터 선 쌍의 비트선이 전위 변화(L 레벨로부터 H 레벨로)된 경우에 제 1 공통 상보 데이터 선 쌍의 비트선과 제 2 공통 상보 데이터 선 쌍의 비트선간의 결합 용량에 의해서 전위의 영향을 받았다고 하더라도, 동시에 인접한 제 2 공통 상보 데이터 선 쌍의 비트 바선이 역으로 전위 변화(H 레벨로부터 L 레벨로)됨으로써 제 1 공통 상보 데이터 선 쌍의 비트선과 제 2 공통 상보 데이터 선 쌍의 비트 바선간의 결합 용량에 의해서 그 역의 전위를 받는다. 따라서, 제 1 공통 상보 데이터 선 쌍의 비트선으로의 전위의 영향은 상쇄되어 노이즈에 의한 영향을 완화시키는 효과가 있다.

이에 덧붙여, 제 1 내지 제 3 배선층이라는 다층 금속 배선을 사용함으로써 배선 레이아웃의 점유 면적을 축소하는 효과가 있다.

또한, 본 발명에 따르면 제 1 및 제 2 배선층은 제 2 공통 상보 데이터 선 쌍의 비트 바선에 대하여 제 1 공통 상보 데이터 선 쌍의 비트선 및 비트 바선이 겹치는 면적과 해당 비트선 및 비트 바선이 평행하게 되는 면적을 균등하게 하고, 또한 제 2 및 제 3 배선층은 제 1 공통 상보 데이터 선 쌍의 비트 바선에 대하여 제 2 공통 상보 데이터 선 쌍의 비트선 및 비트 바선이 겹치는 면적과 해당 비트선 및 비트 바선이 평행하게 되는 면적을 균등하게 하도록 구성하였기 때문에, 제 1 공통 상보 데이터 선 쌍의 비트 바선은 제 2 공통 상보 데이터 선 쌍의 비트선 및 비트 바선과의 사이에 각각 결합 용량을 가지고, 또한 제 2 공통 상보 데이터 선 쌍의 비트 바선도 마찬가지로, 제 1 공통 상보 데이터 선 쌍의 비트선 및 비트 바선과의 사이에 각각 결합 용량을 갖는다.

이에 따라, 상기와 마찬가지로 제 2 공통 상보 데이터 선 쌍의 비트 바선은 제 1 공통 상보 데이터 선 쌍의 비트선이 전위 변화(L 레벨로부터 H 레벨로)된 경우에 제 2 공통 상보 데이터 선 쌍의 비트 바선과 제 1 공통 상보 데이터 선 쌍의 비트선간의 결합 용량에 의해서 전위의 영향을 받았다고 하더라도, 동시에 인접한 제 1 공통 상보 데이터 선 쌍의 비트 바선이 역으로 전위 변화(H 레벨로부터 L 레벨로)됨으로써 제 2 공통 상보 데이터 선 쌍의 비트 바선과 제 1 공통 상보 데이터 선 쌍의 비트 바선간의 결합 용량에 의해서 그 역의 전위를 받는다. 따라서, 제 2 공통 상보 데이터 선 쌍의 비트 바선으로의 전위의 영향은 상쇄되어 노이즈에 의한 영향을 완화시키는 효과가 있다.

상기와 마찬가지로 제 1 공통 상보 데이터 선 쌍의 비트 바선은 제 2 공통 상보 데이터 선 쌍의 비트선이 전위 변화(L 레벨로부터 H 레벨로)된 경우에 제 1 공통 상보 데이터 선 쌍의 비트 바선과 제 2 공통 상보 데이터 선 쌍의 비트선간의 결합 용량에 의해서 전위의 영향을 받았다고 하더라도, 동시에 인접한 제 2 공통 상보 데이터 선 쌍의 비트 바선이 역으로 전위 변화(H 레벨로부터 L 레벨로)됨으로써 제 1 공통 상보 데이터 선 쌍의 비트 바선과 제 2 공통 상보 데이터 선 쌍의 비트 바선간의 결합 용량에 의해서 그 역의 전위를 받는다. 따라서, 제 1 공통 상보 데이터 선 쌍의 비트 바선으로의 전위의 영향은 상쇄되어 노이즈에 의한 영향을 완화시키는 효과가 있다.

이에 덧붙여, 제 1 내지 제 3 배선층이라는 다층 금속 배선을 사용함으로써 배선 레이아웃의 점유 면적을 축소하는 효과가 있다.

또한, 본 발명에 따르면 제 1 배선층을 제 1 공통 상보 데이터 선 쌍 및 제 2 공통 상보 데이터 선 쌍의 비트선에 할당함과 동시에 제 3 배선층을 제 1 공통 상보 데이터 선 쌍 및 제 2 공통 상보 데이터 선 쌍의 비트 바선에 할당하는 경우에는, 비트선 및 비트 바선으로 되지 않는 제 1 및 제 3 배선층 중 적어도 한쪽은, 제 2 배선층과 콘택트를 거쳐서 서로 접속하도록 구성하였기 때문에, 신호 배선으로는 되지 않고 기준 전압과 접속한 제 2 배선층과 접속하는 제 1 및 제 3 배선 부분을 상기 공통 상보 데이터 선 쌍의 비트선 내지 비트 바선 사이에 개재시킴으로써, 이들의 신호 배선간의 결합 용량을 없애고, 각 신호간의 결합 용량은 모두 기준 전압과의 사이에 갖게 되어, 각 신호 배선의 전위 변화에 대한 영향을 배제할 수 있는 효과가 있다. 따라서, 반도체 기억 장치의 저전압화에 따른 미소 전위로 동작하는 회로에 적용할 수 있는 효과가 있다.

또한, 본 발명에 따르면 제 1 배선층을 제 1 공통 상보 데이터 선 쌍 및 제 2 공통 상보 데이터 선 쌍의 비트 바선에 할당함과 동시에 제 3 배선층을 제 1 공통 상보 데이터 선 쌍 및 제 2 공통 상보 데이터 선 쌍의 비트선에 할당하는 경우에는 비트선 및 비트 바선으로 되지 않는 제 1 및 제 3 배선층 중 적어도 한쪽은 제 2 배선층과 콘택트를 거쳐서 서로 접속하도록 구성하였기 때문에, 상기와 마찬가지로 신호 배선으로는 되지 않고 기준 전압과 접속한 제 2 배선층과 접속하는 제 1 및 제 3 배선 부분을 상기 공통 상보 데이터 선 쌍의 비트선 내지 비트 바선간에 개재시킴으로써 이들의 신호 배선간의 결합 용량을 없애고, 각 신호간의 결합 용량은 모두 기준 전압과의 사이에 갖게 되어, 각 신호 배선의 전위 변화에 대한 영향을 배제할 수 있는 효과가 있다.

또한, 본 발명에 따르면 제 1 배선층을 제 1 공통 상보 데이터 선 쌍의 비트선 및 제 2 공통 상보 데이터 선 쌍의 비트 바선에 할당함과 동시에 제 3 배선층을 제 1 공통 상보 데이터 선 쌍의 비트 바선 및 제 2 공통 상보 데이터 선 쌍의 비트선에 할당하는 경우에는 비트선 및 비트 바선으로 되지 않는 상기 제 1 및 제 3 배선층 중 적어도 한쪽은 제 2 배선층과 콘택트를 거쳐서 서로 접속하도록 구성하였기 때문에, 상기와 마찬가지로 신호 배선으로는 되지 않고 기준 전압과 접속한 제 2 배선층과 접속하는 제 1 및 제 3 배선 부분을 상기 공통 상보 데이터 선 쌍의 비트선 내지 비트 바선 사이에 개재시킴으로써, 상기와 마찬가지로 이들 신호 배선간의 결합 용량을 없애고, 각 신호간의 결합 용량은 모두 기준 전압과의 사이에 갖게 되어, 각 신호 배선의 전위 변화에 대한 영향을 배제할 수 있는 효과가 있다.

또한, 본 발명에 따르면 상기 발명의 효과에 있어서의 각 구성과 동일 구성을 갖는 제 4, 제 5 및 제 6 배선층을 추가 사용함으로써, 상기 효과를 얻으면서 레이아웃의 점유 면적을 축소할 수 있는 효과가 있다.

이상 본 발명자에 의해서 이루어진 발명을 상기 실시예에 따라 구체적으로 설명하였지만, 본 발명은 상기 실시예에 한정되는 것이 아니고, 그 요지를 이탈하지 않는 범위에서 여러 가지로 변경 가능한 것은 물론이다.

(57) 청구의 범위

청구항 1.

복수의 메모리 셀에 접속되는 비트선 및 비트 바선으로 이루어지는 상보 데이터 선과, 반도체 기판 상에 순서대로 형성된 제 1, 제 2 및 제 3 배선층과, 제 1 및 제 2 배선층을 제 1 비아 콘택트를 거쳐서 접속한 비트선 및 비트 바선에 의해 형성되는 제 1 공통 상보 데이터 선 쌍과, 제 2 및 제 3 배선층을 제 2 비아 콘택트를 거쳐서 접속한 비트선 및 비트 바선에 의해 형성되는 제 2 공통 상보 데이터 선 쌍과, 상기 상보 데이터 선의 비트선 및 비트 바선을 선택하여 상기 제 1 및 제 2 공통 상보 데이터 선 쌍의 비트선 및 비트 바선을 각각 접속하는 선택 스위치를 포함한 반도체 기억 장치에 있어서,

상기 제 1 배선층을 상기 제 1 공통 상보 데이터 선 쌍의 비트선으로 함과 동시에 상기 제 3 배선층을 상기 제 2 공통 상보 데이터 선 쌍의 비트선으로 한 경우에는, 상기 제 2 배선층은 상기 제 1 공통 상보 데이터 선 쌍의 비트선에 대하여 상기 제 2 공통 상보 데이터 선 쌍의 비트선과 비트 바선이 겹치는 면적을 균등하게 함과 동시에, 상기 제 2 공통 상보 데이터 선 쌍의 비트선에 대하여 상기 제 1 공통 상보 데이터 선 쌍의 비트선과 비트 바선이 겹치는 면적을 균등하게 하는 것을 특징으로 하는 반도체 기억 장치.

청구항 2.

복수의 메모리 셀에 접속되는 비트선 및 비트 바선으로 이루어지는 상보 데이터 선과, 반도체 기판 상에 순서대로 형성된 제 1, 제 2 및 제 3 배선층과, 제 1 및 제 2 배선층을 제 1 비아 콘택트를 거쳐서 접속한 비트선과 제 1 배선층으로 되는 비트 바선에 의해 형성되는 제 1 공통 상보 데이터 선 쌍과, 제 2 및 제 3 배선층을 제 2 비아 콘택트를 거쳐서 접속한 비트선과 제 3 배선층으로 되는 비트 바선에 의해 형성되는 제 2 공통 상보 데이터 선 쌍과, 상기 상보 데이터 선의 비트선 및 비트 바선을 선택하여 상기 제 1 및 제 2 공통 상보 데이터 선 쌍의 비트선 및 비트 바선을 각각 접속하는 선택 스위치를 포함한 반도체 기억 장치에 있어서,

상기 제 1 및 제 2 배선층은 상기 제 2 공통 상보 데이터 선 쌍의 비트선에 대하여, 상기 제 1 공통 상보 데이터 선 쌍의 비트선 및 비트 바선이 겹치는 면적과 상기 비트선 및 비트 바선이 평행하게 되는 면적을 균등하게 하고, 또한 상기 제 2 및 제 3 배선층은 상기 제 1 공통 상보 데이터 선 쌍의 비트선에 대하여 상기 제 2 공통 상보 데이터 선 쌍의 비트선 및 비트 바선이 겹치는 면적과 상기 비트선 및 비트 바선이 평행하게 되는 면적을 균등하게 하는 것을 특징으로 하는 반도체 기억 장치.

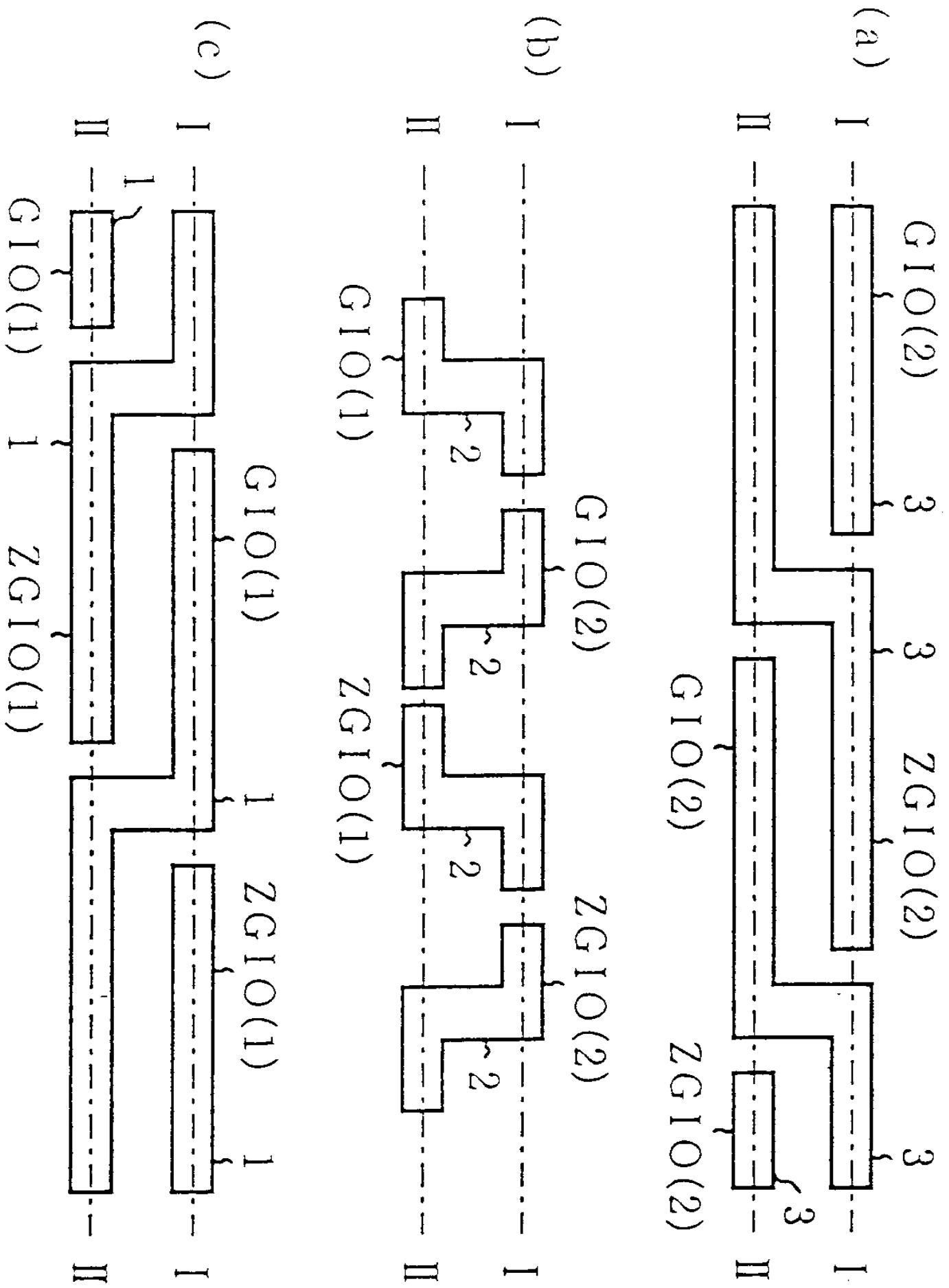
청구항 3.

복수의 메모리 셀에 접속되는 비트선 및 비트 바선으로 이루어지는 상보 데이터 선과, 반도체 기판 상에 순서대로 형성된 제 1, 제 2 및 제 3 배선층과, 상기 제 1 및 제 3 배선층에 대하여 비트선 및 비트 바선을 할당한 제 1 공통 상보 데이터 선 쌍과, 상기 제 1 및 제 3 배선층에 대하여 비트선 및 비트 바선을 할당한 제 2 공통 상보 데이터 선 쌍과, 상기 상보 데이터 선의 비트선 및 비트 바선을 선택하여 상기 제 1 및 제 2 공통 상보 데이터 선 쌍의 비트선 및 비트 바선을 각각 접속하는 선택 스위치를 포함한 반도체 기억 장치에 있어서,

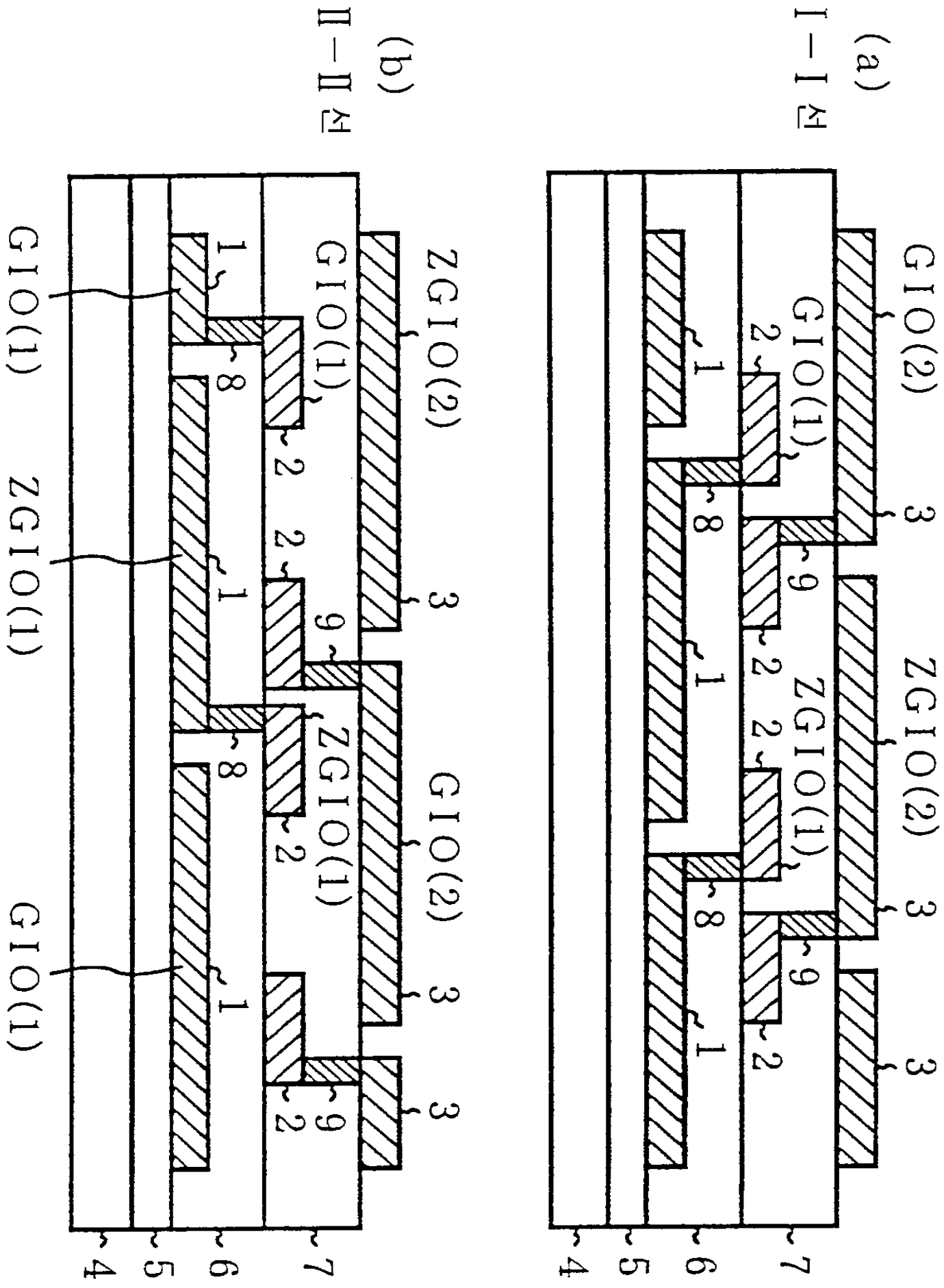
상기 제 1 배선층을 상기 제 1 공통 상보 데이터 선 쌍 및 상기 제 2 공통 상보 데이터 선 쌍의 비트선에 할당함과 동시에 상기 제 3 배선층을 상기 제 1 공통 상보 데이터 선 쌍 및 상기 제 2 공통 상보 데이터 선 쌍의 비트 바선에 할당하는 경우에는, 비트선 및 비트 바선으로 되지 않는 상기 제 1 및 제 3 배선층 중 적어도 한쪽은 상기 제 2 배선층과 콘택트를 거쳐서 서로 접속하는 것을 특징으로 하는 반도체 기억 장치.

도면

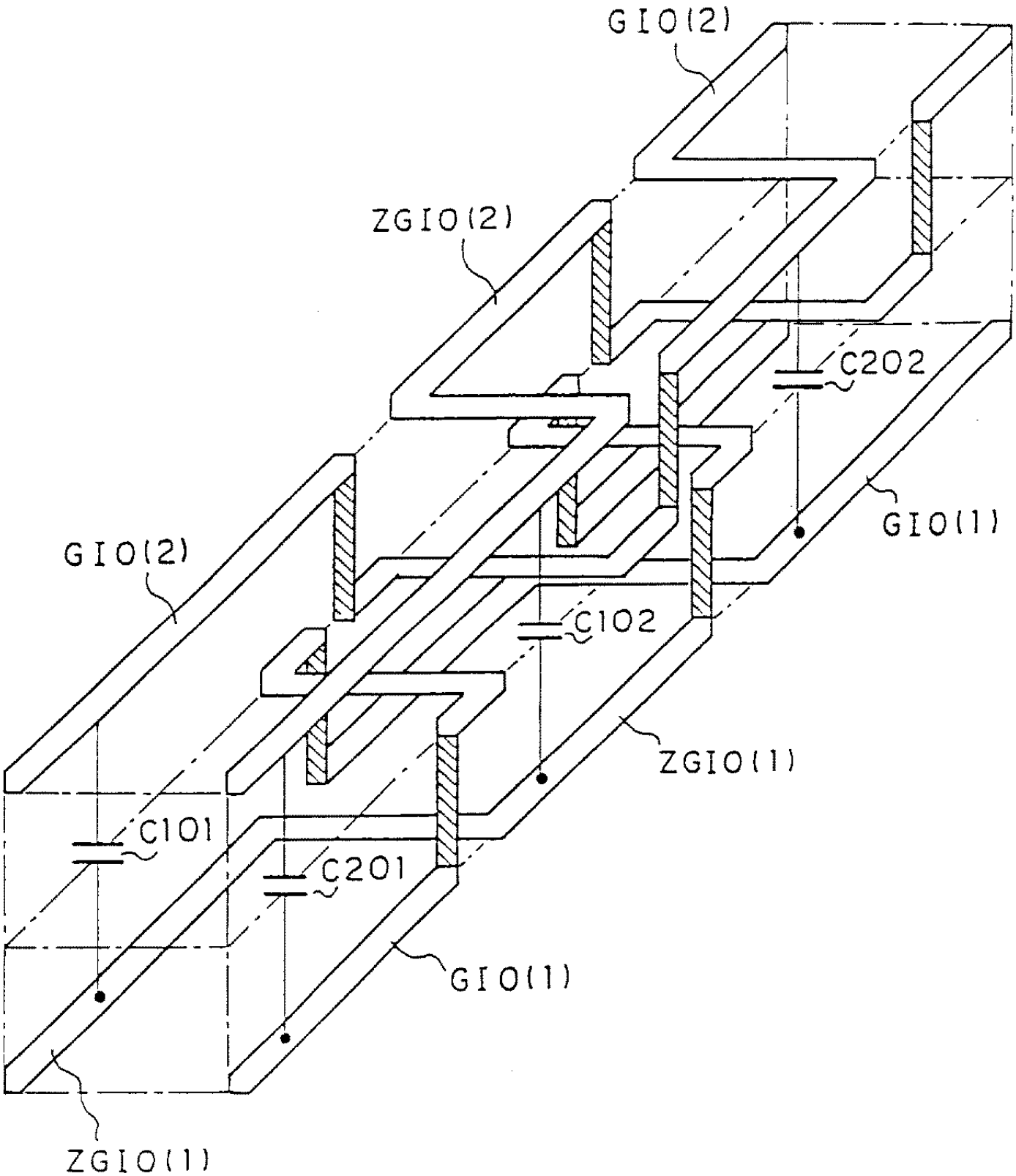
도면 1


(a)
I
II
GIO(2)
3
3
ZGIO(2)
GIO(2)
ZGIO(2)
3
3
(b)
I
II
GIO(1)
2
GIO(2)
2
2
ZGIO(1)
2
ZGIO(2)
(c)
I
II
1
GIO(1)
1
ZGIO(1)
GIO(1)
1
1
ZGIO(1)
1

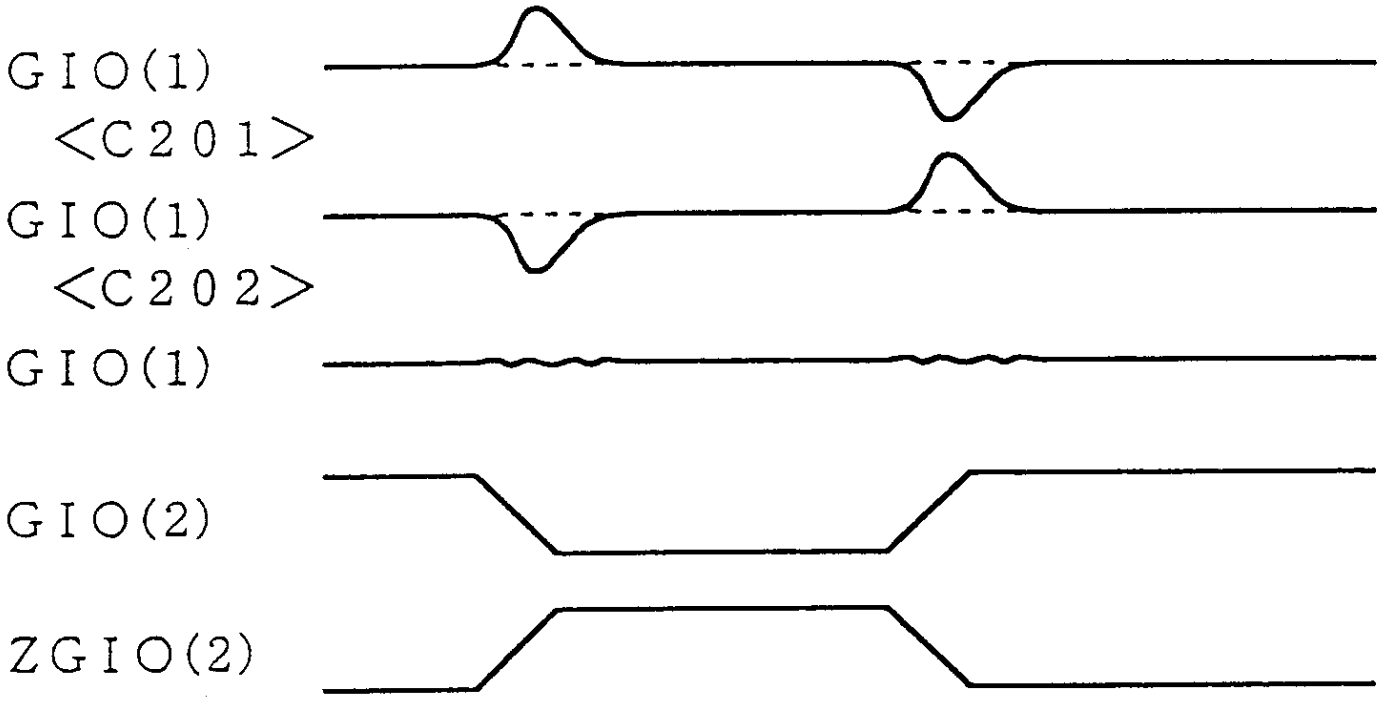
도면 2


(a)
I – I 단
GIO(2)
GIO(1)
ZGIO(2)
ZGIO(1)
(b)
II – II 단
GIO(1)
ZGIO(2)
ZGIO(1)
GIO(2)
GIO(1)

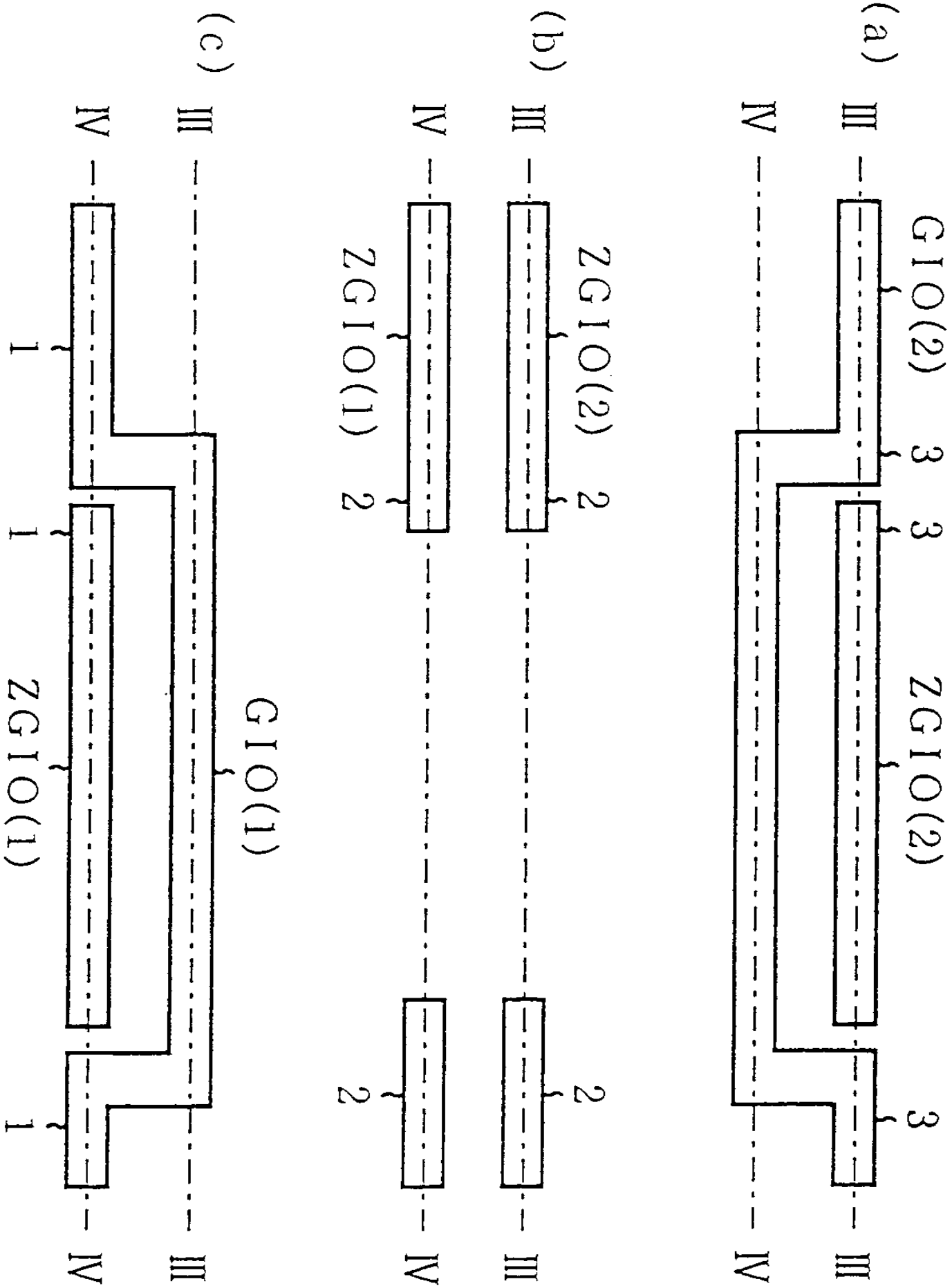
도면 3



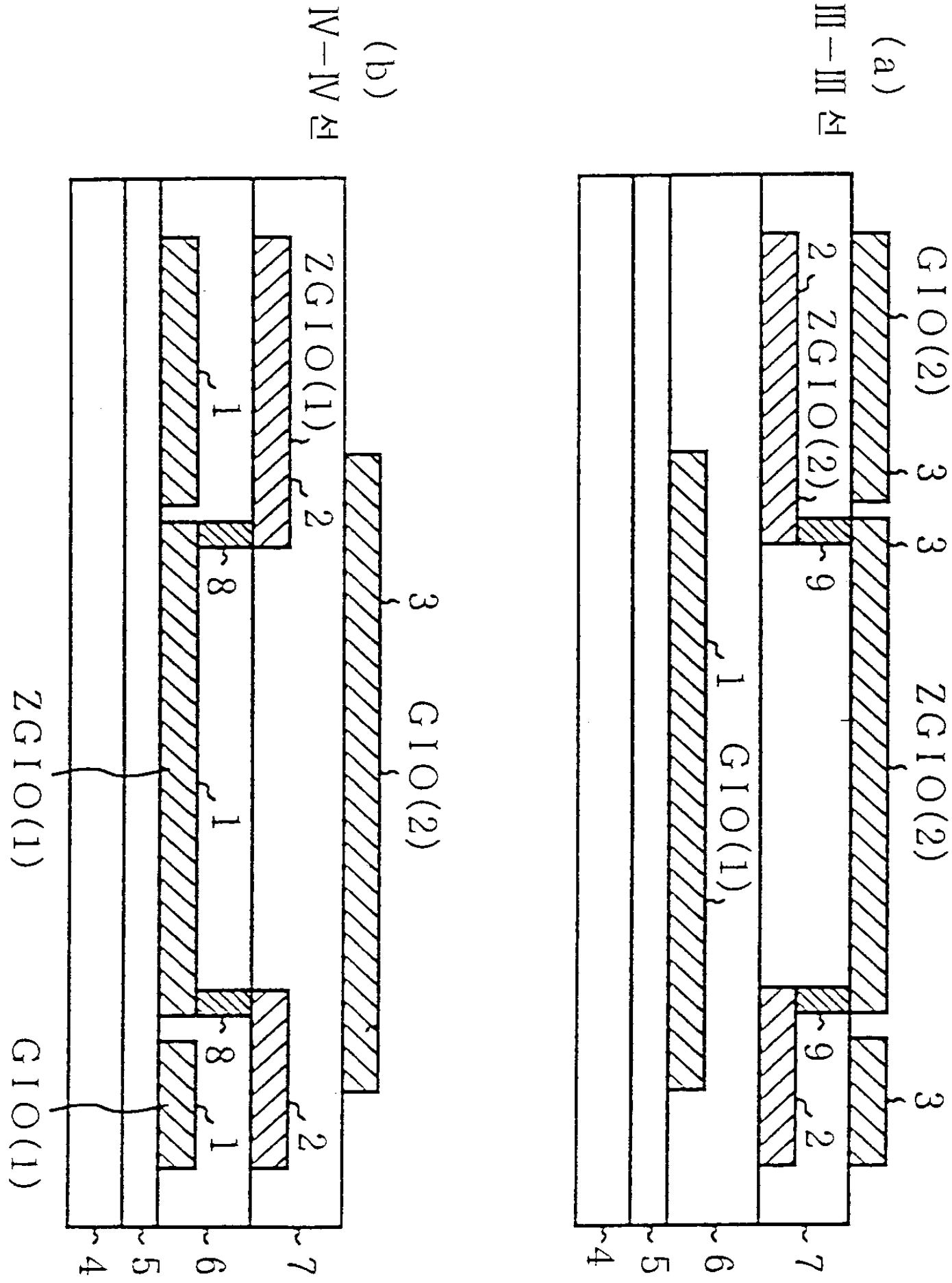
도면 4



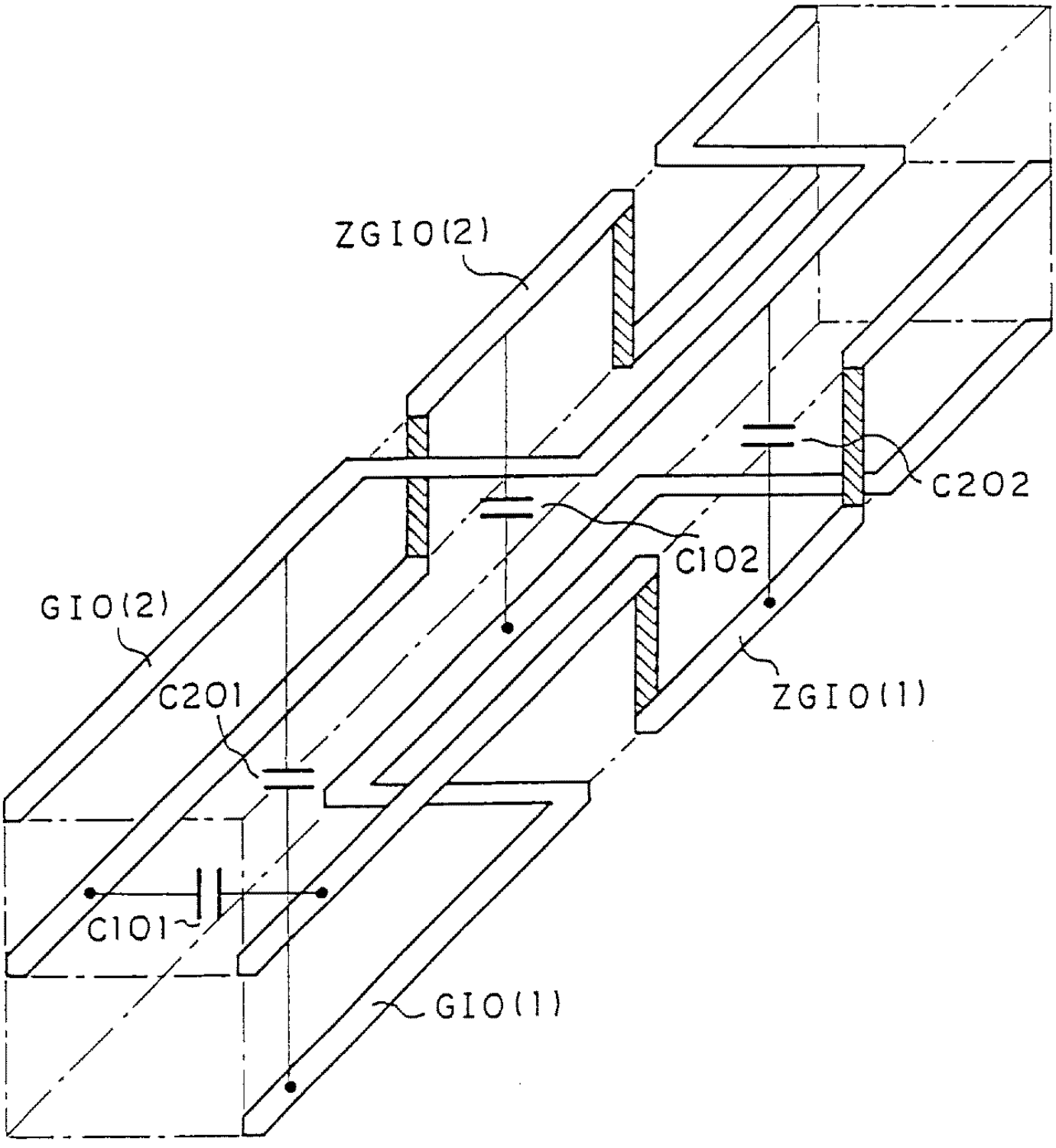
도면 5


(a)
GIO(2)
3
3
ZGIO(2)
3
III
IV
(b)
ZGIO(2)
2
2
III
IV
ZGIO(1)
2
2
(c)
III
IV
1
1
ZGIO(1)
1
GIO(1)
1

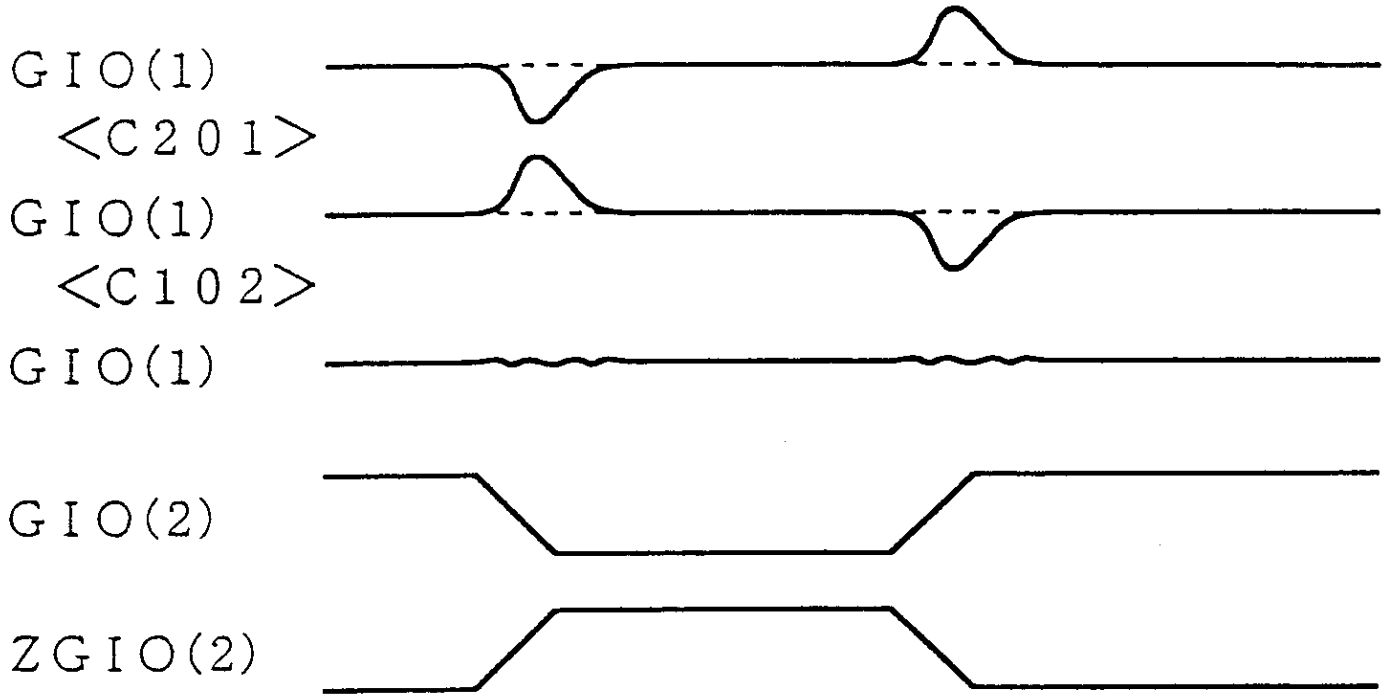
도면 6


(a)
Ⅲ-Ⅲ 단
GIO(2)
3
3
ZGIO(2)
2
ZGIO(2)
9
1
GIO(1)
3
9
2
7
6
5
4
(b)
Ⅳ-Ⅳ 단
ZGIO(1)
2
3
GIO(2)
1
8
ZGIO(1)
1
8
GIO(1)
1
2
7
6
5
4

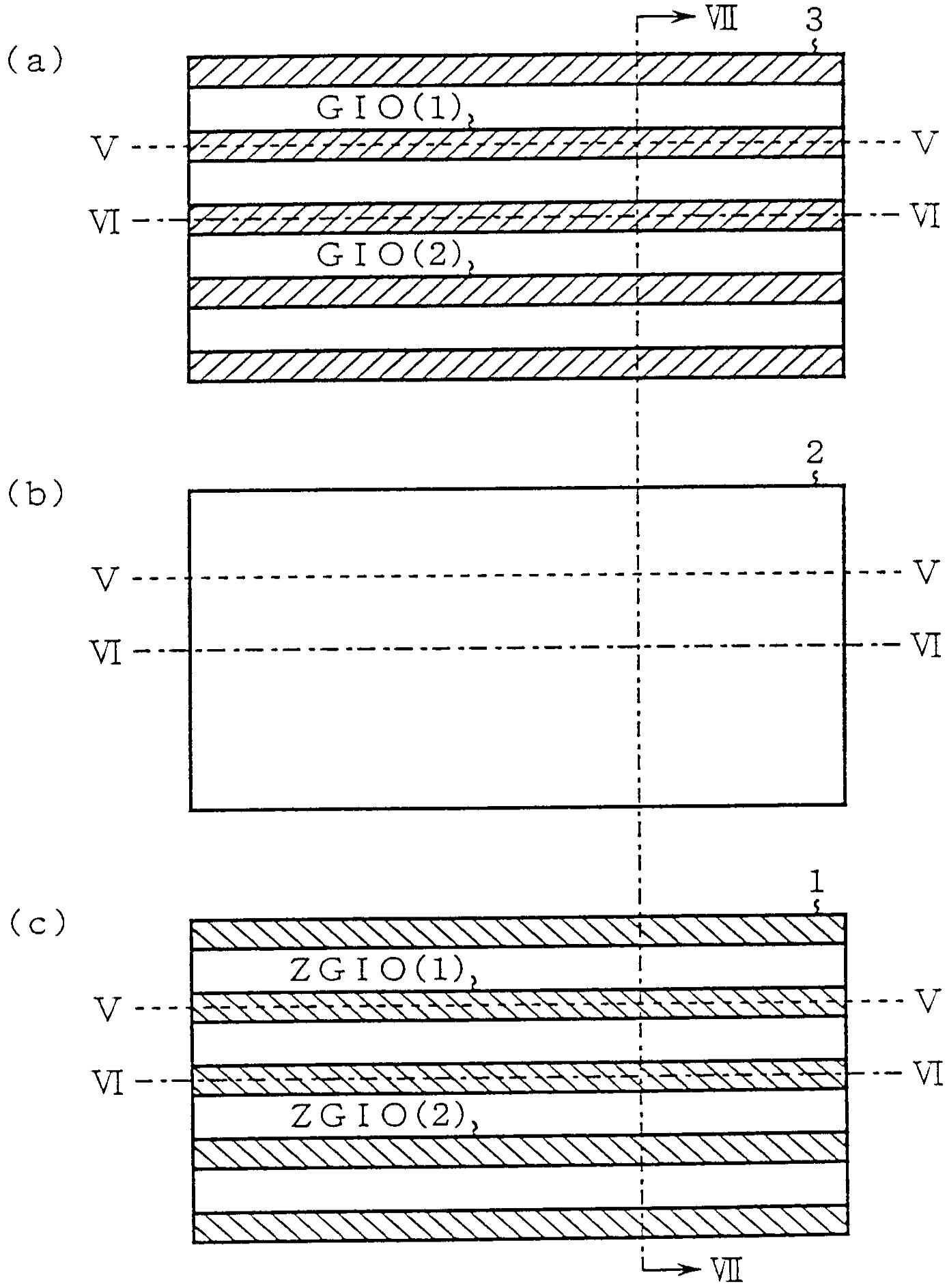
도면 7



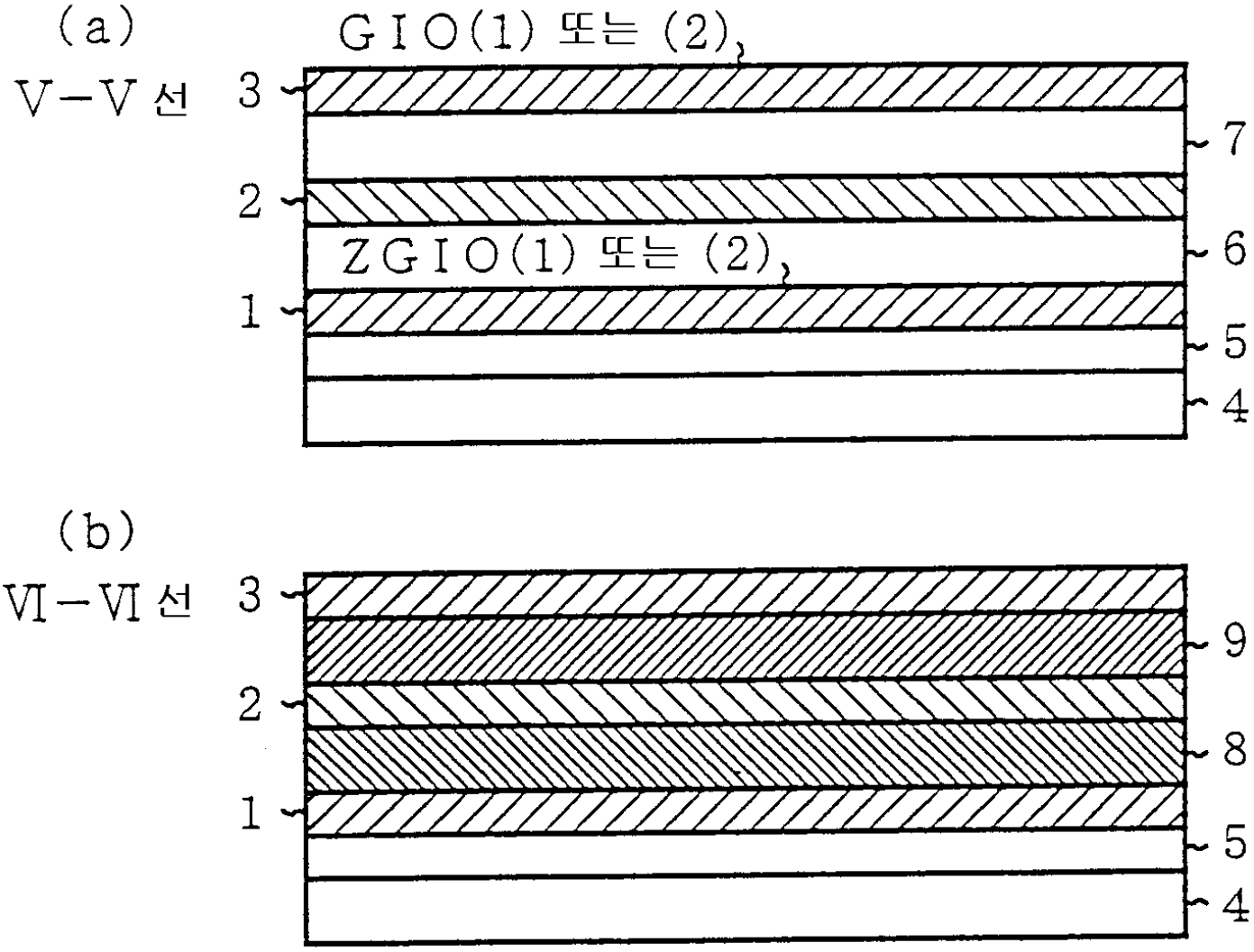
도면 8



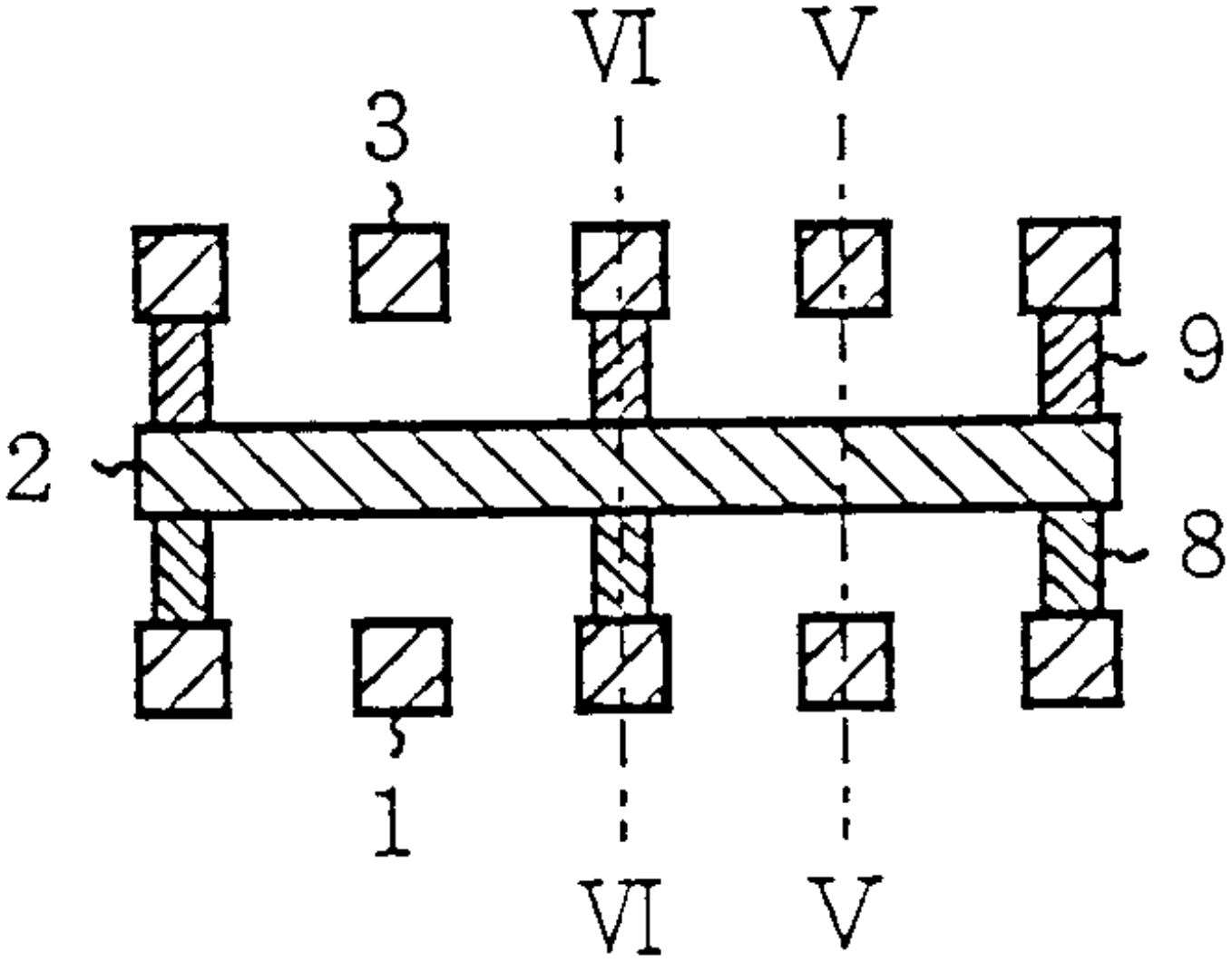
도면 9



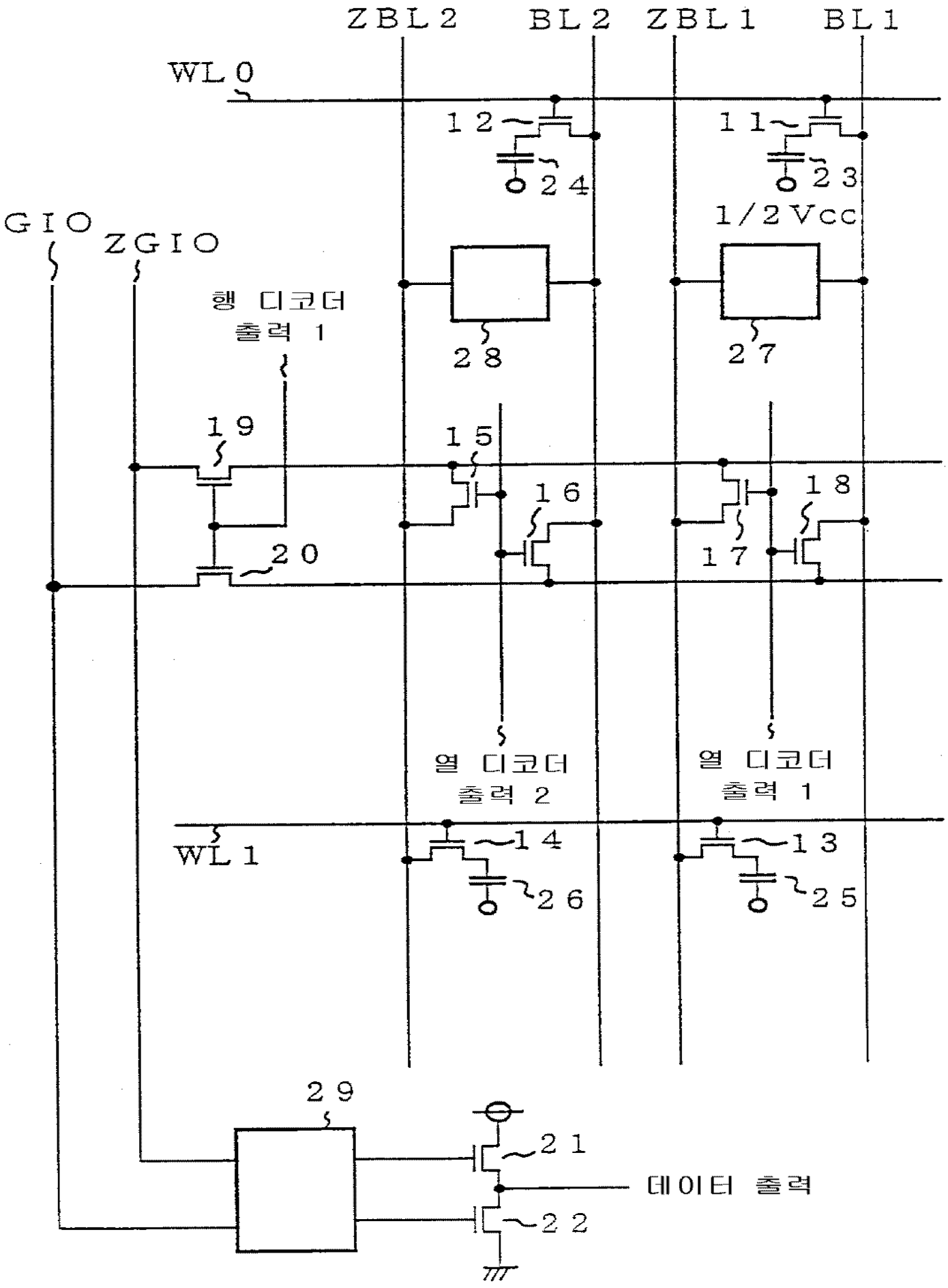
도면 10



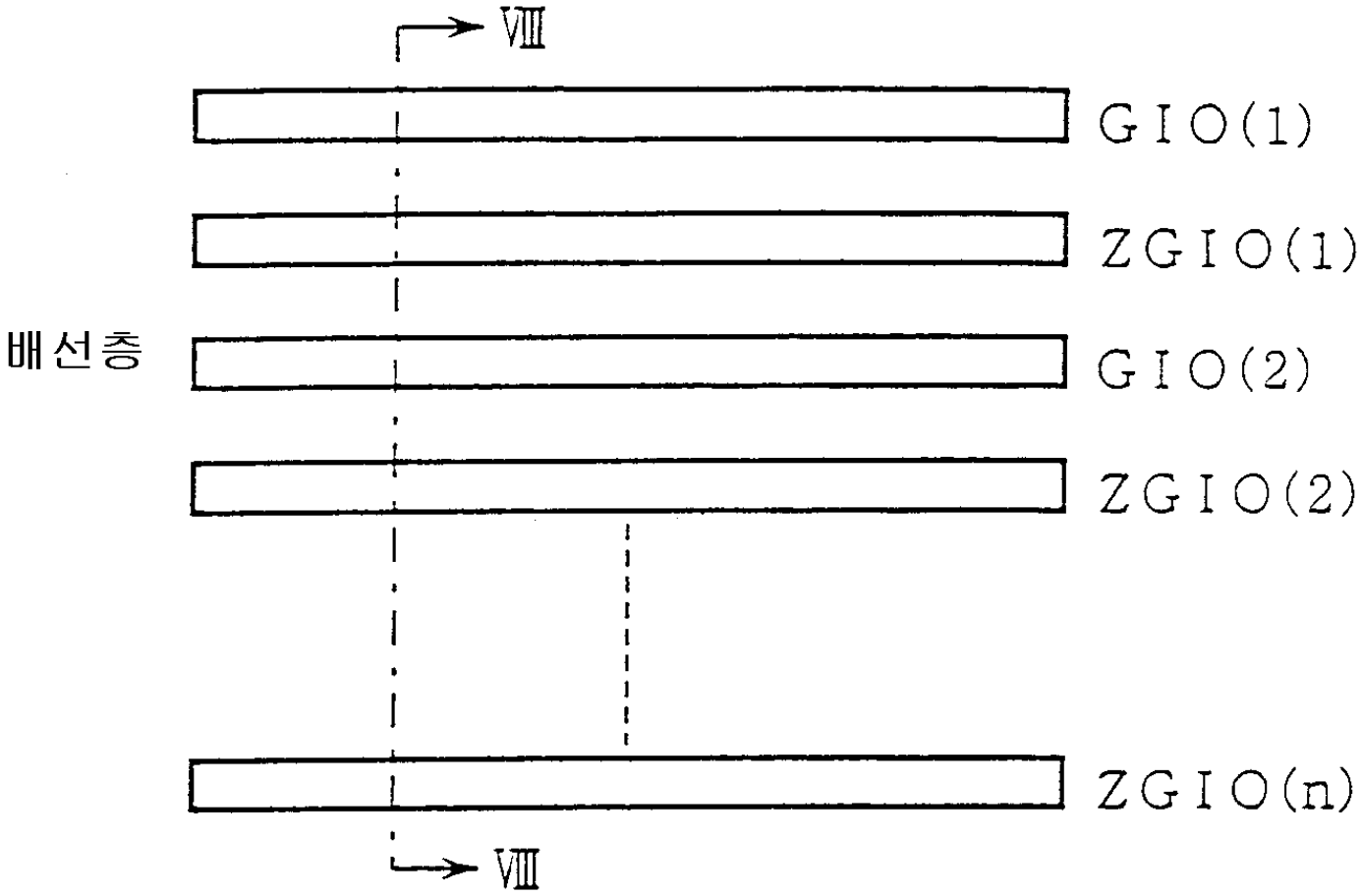
도면 11



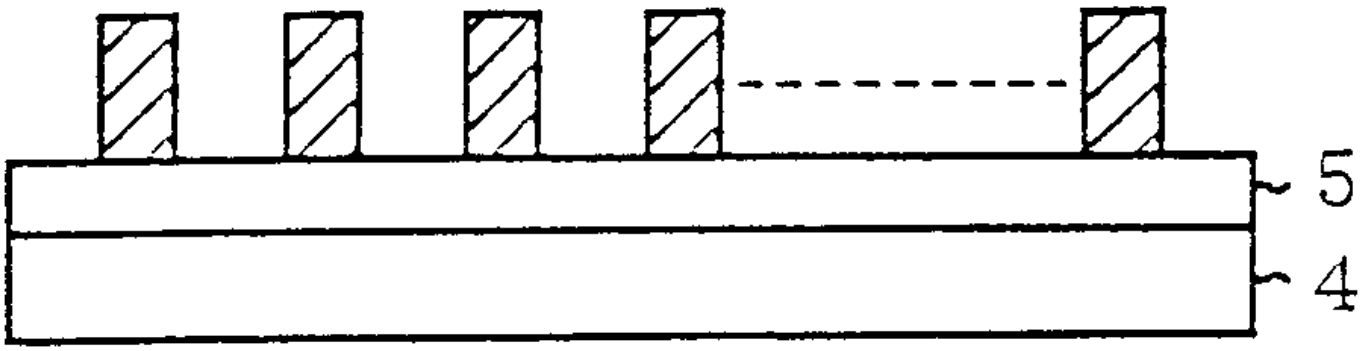
도면 12


ZBL2
BL2
ZBL1
BL1
WL0
12
11
24
23
GIO
ZGIO
1/2Vcc
행 디코더
출력 1
28
27
19
15
16
18
17
20
열 디코더
출력 2
열 디코더
출력 1
WL1
14
13
26
25
29
21
데이터 출력
22

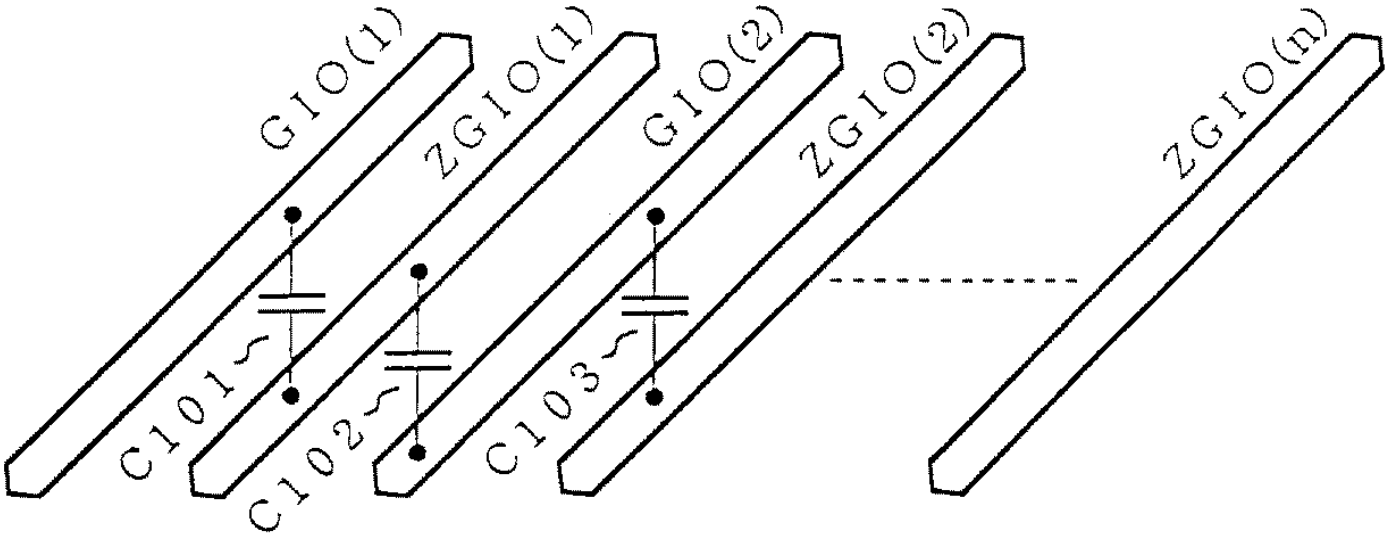
도면 13



도면 14



도면 15



도면 16

