(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0087186
(43) 공개일자 2011년08월02일

(51) Int. Cl.
G01R 27/26 (2006.01)
(21) 출원번호 10-2010-0017207
(22) 출원일자 2010년02월25일
심사청구일자 2010년02월25일
(30) 우선권주장
1020100006628 2010년01월25일 대한민국(KR)
기술이전 희망 : **기술양도**, **실시권허여**, **기술지도**

전체 청구항 수 : 총 8 항

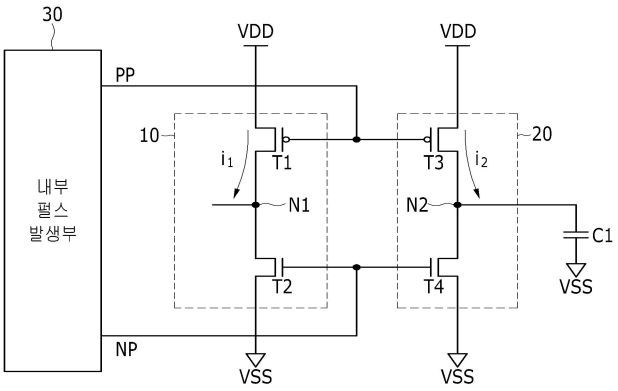
(71) 출원인
충남대학교산학협력단
대전 유성구 궁동 220 충남대학교
(72) 발명자
이희덕
대전 서구 둔산동 크로바아파트 103동 1405호
박상욱
충남 천안시 서북구 성거읍 모전리 1-2번지
(74) 대리인
유미특허법인

(54) 온 칩 펄스 제너레이터를 이용한 커패시턴스 측정 장치

(57) 요 약

커패시턴스 측정 장치는 내부에 온칩 형태로 구현된 내부 펄스 발생부를 포함하며, 내부 펄스 발생부는 제1 제어 신호 및 제2 제어 신호를 각각 생성하여 출출력한다. 제1 제어 신호에 따라 제1 및 제3 트랜지스터가 동작하고, 제2 제어 신호에 따라 제1 트랜지스터와 직렬로 연결된 제2 트랜지스터가 동작하고, 제2 제어 신호에 따라 제3 트랜지스터와 직렬로 연결된 제3 트랜지스터가 동작하면서, 제3 트랜지스터와 제4 트랜지스터 사이의 노드에 연결된 측정 커패시터의 충전 상태가 가변되며, 측정 커패시터의 커패시턴스가 측정된다.

대 표 도 - 도1



이 발명을 지원한 국가연구개발사업
과제고유번호 2009-0510
부처명 한국산업기술진흥원
연구관리전문기관
연구사업명 전략기술인력양성
연구과제명 고전압/아날로그 비메모리 반도체 소자 전문 인력 양성
기여율
주관기관 충남대학교 산학협력단
연구기간 2009.03.01~2010.02.28

특허청구의 범위

청구항 1

제1 제어 신호 및 제2 제어 신호를 출력하는 내부 펄스 발생부;

상기 제1 및 제2 제어 신호에 따라 각각 동작하는 제1 및 제2 트랜지스터를 포함하는 비교부;

상기 제1 및 제2 제어 신호에 따라 각각 동작하는 제3 및 제4 트랜지스터를 포함하는 측정부; 및

상기 측정부에 연결되어 있으며, 상기 제3 및 제4 트랜지스터의 동작에 따라 충전 상태가 가변되는 측정 커패시터

를 포함하는, 커패시턴스 측정 장치.

청구항 2

제1항에 있어서

상기 내부 펄스 발생부는

소정 듀티비를 가지는 적어도 2개 이상의 펄스 신호를 생성하여 출력하는 펄스 발생기;

상기 펄스 발생기에서 출력되는 펄스 신호들을 토대로 논리 연산을 수행하여 소정 크기의 펄스 신호로 각각 출력하는 연산부; 및

상기 연산부에서 출력되는 펄스 신호들을 각각 제1 제어 신호 및 제2 제어 신호로 출력하는 버퍼

를 포함하는, 커패시턴스 측정 장치.

청구항 3

제2항에 있어서

상기 펄스 발생기는 설정 개수의 인버터를 포함하는 링 오실레이터로 이루어지는, 커패시턴스 측정 장치.

청구항 4

제3항에 있어서

상기 펄스 발생기는

소스가 전원 전압에 연결된 1개 이상의 PMOS 트랜지스터와,

소스가 접지 전압에 연결된 1개 이상의 NMOS 트랜지스터

를 포함하는 로드 트랜지스터를 더 포함하고,

상기 각각의 트랜지스터의 게이트로 제어 전압이 인가되는, 커패시턴스 측정 장치.

청구항 5

제2항에 있어서

상기 연산부는

상기 펄스 발생기에서 출력되는 하나의 펄스 신호와 다른 펄스 신호를 부정 논리곱 연산하여 출력하는 제1 연산 게이트; 및

상기 하나의 펄스 신호와 상기 다른 펄스 신호를 부정 논리합 연산하여 출력하는 제2 연산 게이트

를 포함하는, 커패시턴스 측정 장치.

청구항 6

제5항에 있어서

상기 버퍼는

상기 제1 연산 게이트의 출력 신호를 반전시켜 제1 제어 신호로 출력하는 인버터; 및

상기 제2 연산 게이트의 출력 신호를 반전시켜 제2 제어 신호로 출력하는 인버터

를 포함하는, 커패시턴스 측정 장치.

청구항 7

제1항에 있어서

상기 제1 및 제2 트랜지스터는 제1 전압과 제2 전압 사이에 서로 직렬로 연결되어 있고, 상기 제3 및 제4 트랜지스터는 제1 전압과 제2 전압 사이에 서로 직렬로 연결되어 있으며,

상기 제1 제어 신호는 상기 제1 및 제3 트랜지스터의 게이트로 입력되고, 상기 제2 제어 신호는 상기 제2 및 제4 트랜지스터의 게이트로 입력되는, 커패시턴스 측정 장치.

청구항 8

제7항에 있어서

상기 제1 및 제3 트랜지스터는 PMOS 트랜지스터이고, 상기 제2 및 제4 트랜지스터는 NMOS 트랜지스터인, 커패시턴스 측정 장치.

명 세 서

기 술 분 야

[0001] 본 발명은 커패시턴스(capacitance) 측정 방법 및 그 장치에 관한 것으로, 더욱 상세하게 말하자면, 온 칩 펄스 제너레이터(on chip pulse generator)를 이용하여 커패시턴스를 측정하는 방법 및 그 장치에 관한 것이다.

[0002] 본 발명은 한국산업기술진흥원의 전략기술인력양성사업의 일환으로 수행한 연구로부터 도출된 것이다[과제관리번호: 2009-0510, 과제명: 고전압/아날로그 비메모리 반도체 소자 전문 인력 양성].

배 경 기 술

[0003] 작은 크기의 MIM(Metal Insulator Metal) 커패시터 또는 MOS(Metal-Oxide-Semiconductor) 커패시터, 배선 상호간에 발생하는 기생 용량(parasitic capacitance)은 때로는 그 크기가 수 fF로 매우 작아서, 일반적인 커패시터 측정 방법인 LCR 측정기(Inductance, Capacitance, and Resistance meter)로는 오차가 크기 때문에 측정이 불가능하다. 따라서 CBCM(Charge Based Capacitance Measurement)과 같은 회로를 사용하여 미세 커패시턴스를 측정한다.

[0004] 대한민국 특허 공개 번호 제2007-0024751호에 "반도체 장치의 기생 커패시턴스 및 누설 전류 측정 회로"가 개시되어 있다. 이 기술은 CBCM를 이용한 측정 회로에 관한 것으로, 외부 펄스 발생기로부터 제공되는 펄스 신호에 따라 동작하는 다수개의 트랜지스터를 포함하는 형태로 이루어진다.

[0005] 그러나 상기 종래의 측정 회로는 최소한, 드레인 2단자, 펄스 신호를 수신하기 위한 PP 단자 및 NP 단자, 그리고 벌크 단자로 5개의 단자가 필요하기 때문에 측정 방법이 복잡한 단점이 있다.

[0006] 또한, 종래의 CBCM를 이용한 측정 회로는 미세한 커패시턴스를 측정하기 위해서는 외부 펄스 발생기로부터 제공되는 높은 주파수의 펄스 신호를 사용한다. 그러나 외부펄스 발생기에서 CBCM 측정회로까지는 선로와 프로브(probe)에 존재하는 기생 저항, 커패시턴스, 인덕턴스 때문에 펄스 신호의 왜곡이 발생한다.

[0007] 일반적으로 소자 특성에서 커패시턴스 즉, 정전 용량은 매우 중요한 요소이다. 특히 아날로그회로에 폭넓게 사용되고 있는 MIM 커패시터의 경우 산업체에서 사용되는 최소 설계규정이 5 x 5 um로 매우 작다. 따라서 작은 커패시터의 정전 용량을 정확히 측정하는 것은 매우 중요한 요소이다. 또한 최근 이러한 수동 소자의 매칭(matching) 특성이 아날로그 회로에서 이슈가 되고 있기 때문에, CBCM과 같은 미세 정전 용량 측정 장치를 이용하여 다양한 크기의 커패시터의 정밀한 정전 용량 측정은 더욱 중요해질 전망이다. 그러므로 보다 정확하게 정

전 용량을 측정할 수 있는 장치가 요구되고 있다.

발명의 내용

해결하려는 과제

[0008] 본 발명이 해결하고자 하는 과제는 미세한 커패시턴스를 정확하게 측정하기 위한 장치를 제공하는 것이다.

[0009] 또한 본 발명이 해결하고자 하는 과제는 보다 간단한 구조로 미세한 커패시턴스를 정밀하게 측정하기 위한 장치를 제공하는 것이다.

과제의 해결 수단

[0010] 본 발명의 과제를 위한 본 발명의 특징에 따른 커패시턴스 측정 장치는, 제1 제어 신호 및 제2 제어 신호를 출력하는 내부 펄스 발생부; 상기 제1 및 제2 제어 신호에 따라 각각 동작하는 제1 및 제2 트랜지스터를 포함하는 비교부; 상기 제1 및 제2 제어 신호에 따라 각각 동작하는 제3 및 제4 트랜지스터를 포함하는 측정부; 및 상기 측정부에 연결되어 있으며, 상기 제3 및 제4 트랜지스터의 동작에 따라 충전 상태가 가변되는 측정 커패시터를 포함한다.

[0011] 여기서, 상기 내부 펄스 발생부는 소정 듀티비를 가지는 적어도 2개 이상의 펄스 신호를 생성하여 출력하는 펄스 발생기; 상기 펄스 발생기에서 출력되는 펄스 신호들을 토대로 논리 연산을 수행하여 소정 크기의 펄스 신호로 각각 출력하는 연산부; 및 상기 연산부에서 출력되는 펄스 신호들을 각각 제1 제어 신호 및 제2 제어 신호로 출력하는 버퍼를 포함할 수 있다.

발명의 효과

[0012] 본 발명의 실시 예에 따르면, 커패시턴스 측정에 있어, 트랜지스터를 동작시키는 신호의 왜곡을 감소시켜 보다 정확하게 커패시턴스를 측정할 수 있다. 그 결과 미세한 커패시턴스의 측정이 정밀하게 이루어진다.

[0013] 또한 추가적인 장비 사용이 필요 없게 되어 비용절감효과를 가져올 수 있다.

도면의 간단한 설명

[0014] 도 1은 본 발명의 실시 예에 따른 커패시턴스 측정 장치의 구조를 나타낸 도이다.

도 2는 도 1에 도시된 본 발명의 실시 예에 따른 내부 펄스 발생부의 구조를 나타낸 도이다.

도 3은 도 2에 도시된 내부 펄스 발생부의 각 구성 요소에 출력되는 신호들의 파형을 나타낸 도이다.

도 4는 본 발명의 실시 예에 따른 제1 및 제2 제어 신호의 파형을 나타낸 도이다.

발명을 실시하기 위한 구체적인 내용

[0015] 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시 예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시 예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

[0016] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0017] 이하, 도면을 참조하여 본 발명의 실시 예에 따른 커패시턴스 측정 장치에 대하여 설명한다.

[0018] 도 1은 본 발명의 실시 예에 따른 커패시턴스 측정 장치의 구조를 나타낸 도이다.

[0019] 본 발명의 실시 예에 따른 커패시턴스 측정 장치는 CBCM (Charge Based Capacitance Measurement)을 토대로 한 측정 장치이며, 첨부한 도 1에서와 같이, 비교부(10), 측정부(20), 내부 펄스 발생부(30), 그리고 측정 커패시터(C1)를 포함한다.

[0020] 비교부(10)는 전원 전압(VDD)과 접지 전압(VSS) 사이에 위치되어 있으며, 서로 직렬로 연결된 제1 트랜지스터

(T1)와 제2 트랜지스터(T2)를 포함한다.

[0021] 제1 트랜지스터(T1)는 전원 전압과 제1 노드(N1)에 사이에 위치되어 있으며, 게이트 단자로 입력되는 제1 제어 신호(PP)에 따라 동작하며, 제2 트랜지스터(T2)는 제1 노드(N1)와 접지 전압(VSS) 사이에 위치되며 게이트 단자로 입력되는 제2 제어 신호(NP)에 따라 동작한다.

[0022] 측정부(20)는 전원 전압(VDD)과 접지 전압(VSS) 사이에 각각 위치되어 있으며, 서로 직렬로 연결된 제3 트랜지스터(T3)와 제4 트랜지스터(T4)를 포함한다.

[0023] 제3 트랜지스터(T3)는 전원 전압과 제2 노드(N2)에 사이에 위치되어 있으며, 게이트 단자로 입력되는 제1 제어 신호(PP)에 따라 동작하며, 제4 트랜지스터(T4)는 제2 노드(N2)와 접지 전압(VSS) 사이에 위치되며 게이트 단자로 입력되는 제2 제어 신호(NP)에 따라 동작한다. 이러한 본 발명의 실시 예에서, 제1 및 제3 트랜지스터(T1, T3)는 PMOS 트랜지스터이고, 제2 및 제4 트랜지스터(T2, T4)는 NMOS 트랜지스터이지만, 본 발명은 반드시 이것에 한정되지 않는다.

[0024] 한편 제2 노드(N2)와 접지 전압(VSS) 사이에 측정 커패시터(C1)가 연결되어 있다. 본 발명의 실시 예에 따른 측정 커패시터(C1)는 MIM 커패시터, MOS 커패시터, 인터커넥터(interconnect) 기생 커패시터, 게이트 기생 커패시터, 접합(Junction) 커패시터 중의 하나일 수 있다.

[0025] 내부 펄스 발생부(30)는 제1 및 제2 제어 신호(PP, NP)를 생성하여 출력하며, 제1 제어 신호(PP)는 제1 및 제3 트랜지스터(T1, T3)의 게이트로 제공되며, 제2 제어 신호(NP)는 제2 및 제4 트랜지스터(T2, T4)의 게이트로 제공된다.

[0026] 도 2는 본 발명의 실시 예에 따른 내부 펄스 발생부(30)의 구조를 나타낸 도이다.

[0027] 본 발명의 실시 예에 따른 커패시턴스 측정 장치의 내부 펄스 발생부(30)는 온 칩 형태의 펄스 제너레이터이며, 첨부한 도 2에 도시되어 있듯이, 펄스 발생기(31), 연산부(32) 및 버퍼(33)를 포함한다.

[0028] 펄스 발생기(31)는 설정 개수 이상의 인버터를 포함하는 링 오실레이터(ring oscillator)로 이루어진다. 본 발명의 실시 예에서 펄스 발생기는 61개 이상의 홀수개의 인버터들로 구성된 링 오실레이터를 사용하지만 반드시 이것에 한정되는 것은 아니다. 이러한 본 발명의 실시 예에 따른 펄스 발생기(31)는 1개 이상의 PMOS 트랜지스터와 1개 이상의 NMOS 트랜지스터로 이루어지는 로드 트랜지스터(LTR)를 포함할 수 있다. 여기서 PMOS 트랜지스터의 소스는 전원 접압(VDD)에 연결되며, NMOS 트랜지스터의 소스는 접지 전압(VSS)에 연결되며, 각 트랜지스터의 게이트로 제어 전압(소정 인버터의 출력)이 입력될 수 있다.

[0029] 본 발명의 실시 예에서는 설정 개수의 인버터들이 링 형태로 연결되어 소정 전압을 발진시키는 링 오실레이터에서, 두개의 임의 인버터의 출력을 선택한다. 구체적으로 서로 짝수단 만큼의 차이가 있는 제1 인버터(I31)의 출력과 제2 인버터(I32)의 출력이 연산부(32)로 입력된다. 여기서, 제1 인버터(I31)의 출력 신호(P1)와 제2 인버터(I32)의 출력 신호(P2)는 두 인버터(I31, I32) 사이에 위치한 인버터 수 만큼의 지연이 발생된다. 즉, 제2 인버터(I32)의 출력 신호(P2)는 제1 인버터(I31)의 출력 신호(P1)에 비하여 제1 및 제2 인버터(I31, I32) 사이에 위치한 인버터 개수에 해당하는 지연 시간만큼 지연된 신호이다. 또한 여기서 짝수단 만큼의 차이가 있다는 것은 뒷단에 위치되는 제2 인버터(I32)와 앞단에 위치되는 제1 인버터(I31)의 출력 신호들이 동일한 전압을 가지면서 제2 인버터(I32)의 출력 신호는 제1 인버터(I31)의 출력 신호의 소정값 지연된 신호로 출력되도록, 제2 인버터(I32)와 제1 인버터(I31) 사이의 순서의 차이가 짝수개 라는 것을 나타낸다. 예를 들어, 10개의 인버터에서, 첫 번째 인버터와 세 번째 인버터의 출력을 선택할 수 있다.

[0030] 본 발명의 실시 예에서는 30단 이상 떨어지며 짝수단의 간격을 갖는 2개의 인버터를 선택하고, 선택된 인버터들의 출력을 사용하지만, 이것은 하나의 예일 뿐이다.

[0031] 연산부(32)는 펄스 발생기(31)로부터 제공되는 신호를 논리 연산하여 출력하며, 구체적으로 제1 인버터(I31)의 출력 신호(P1)와 제2 인버터(I32)의 출력 신호(P2)를 반전 논리곱 연산하여 출력하는 제1 연산 게이트(G1)와, 제1 인버터(I31)의 출력 신호(P1)와 제2 인버터(I32)의 출력 신호(P2)를 반전 논리합 연산하여 출력하는 제2 연산 게이트(G2)를 포함한다.

[0032] 도 3은 본 발명의 실시 예에 따른 내부 펄스 발생부의 각 구성 요소에서 출력되는 신호들의 파형을 나타낸 도이다.

[0033] 첨부한 도 3에서와 같이, 제2 인버터(I32)의 출력 신호(P2)는 제1 인버터(I31)의 출력 신호(P1)에 비하여 소정

시간 즉, 제1 및 제2 인버터(I31, I32) 사이에 위치한 인버터 개수에 해당하는 지연시간만큼 지연된 신호임을 알 수 있다.

[0034] 제1 연산 게이트(G1)는 제1 인버터(I31)의 출력 신호(P1)와 제2 인버터(I32)의 출력 신호(P2)를 반전 논리곱 연산하여 출력함에 따라, 두 출력 신호(P1,P2)의 값이 모두 하이 레벨인 경우에만 로우 레벨의 신호를 출력하며, 이외의 경우에는 하이 레벨의 신호를 출력한다. 제2 연산 게이트(G2)는 제1 인버터(I31)의 출력 신호(P1)와 제2 인버터(I32)의 출력 신호(P2)를 반전 논리곱 연산하여 출력함에 따라, 두 출력 신호(P1,P2)의 값이 모두 로우 레벨인 경우에만 하이 레벨의 신호를 출력하며, 이외의 경우에는 로우 레벨의 신호를 출력한다.

[0035] 이와 같이 제1 및 제2 연산 게이트(G1,G2)는 각각 반전 논리곱 연산 및 반전 논리합 연산을 수행하여 신호간의 오버랩(overlap) 없이 설계한 소정 듀티비를 갖는 2개의 펄스 신호를 출력하며, 이러한 펄스 신호들은 버퍼(33)를 통하여 제1 및 제어 신호(PP, NP)로 출력된다.

[0036] 버퍼(33)는 연산부(32)로부터 출력되는 신호들의 저하된 구동 능력을 향상시키고 다음 단과의 부하 영향(loading effect)을 감소시키는 역할을 하며, 구체적으로, 제1 연산 게이트(G1)로부터 제공되는 신호를 제1 제어 신호(PP)로 출력하는 인버터(B1)와, 제2 연산 게이트(G2)로부터 제공되는 신호를 제2 제어 신호(NP)로 출력하는 인버터(B2)를 포함한다.

[0037] 다음에는 이러한 구조를 토대로 본 발명의 실시 예에 따른 커패시턴스 측정 장치의 동작에 대하여 설명한다.

[0038] 본 발명의 실시 예에 따른 커패시턴스 측정 장치의 내부 펄스 발생부(30)는 위에 기술된 바와 같이 링 오실레이터인 펄스 발생기(31)로부터 출력되는 제1 및 제2 인버터(I31, I32)의 출력 신호(P1, P2)들을 각각 논리 연산하고, 논리 연산된 신호들을 버퍼(33)를 통하여 제1 제어 신호(PP) 및 제2 제어 신호(NP)로 출력한다.

[0039] 도 4는 본 발명의 실시 예에 따른 제1 및 제2 제어 신호의 파형을 나타낸 도이다.

[0040] 비교부(10) 및 측정부(20)에서, 제1 및 제3 트랜지스터(T1, T3)는 제1 제어 신호(PP)에 따라 동작하며, 제2 및 제4 트랜지스터(T2, T4)는 제2 제어 신호(NP)에 따라 동작한다. 이하의 동작은 제1 및 제3 트랜지스터(T1, T3)가 PMOS 트랜지스터로 이루어지고 제2 및 제4 트랜지스터(T2, T4)는 NMOS 트랜지스터로 이루어지는 것을 예로 하여 설명한다.

[0041] 첨부한 도 4를 토대로, 제1 및 제2 제어 신호가 로우 레벨인 경우, 게이트로 로우 레벨의 신호가 입력됨에 따라 제1 및 제3 트랜지스터(T1, T3)가 턴온되되며, 제2 및 제4 트랜지스터(T2, T4)는 턴오프된다. 그 결과, 제1 및 제3 트랜지스터(T1, T3)를 통하여 전류가 흐르게 되면서, 제1 트랜지스터(T1)를 통하여 흐르는 전류에 의하여 제1 트랜지스터(T1)에 존재하는 기생 캐패시턴스가 충전되며, 또한 제3 트랜지스터(T3)를 통하여 흐르는 전류는 제2 트랜지스터(T2)에 존재하는 기생 캐패시턴스와 제2 노드(N2)에 연결된 측정 커패시터(C1)에 축적이 된다.

[0042] 이후, 제1 및 제2 제어 신호가 하이 레벨인 경우, 게이트로 하이 레벨의 신호가 입력됨에 따라 제1 및 제3 트랜지스터(T1, T3)가 턴오프되며, 제2 및 제4 트랜지스터(T2, T4)는 턴온된다. 그 결과, 커패시터에 저장되어 있던 전하가 방전된다. 즉, 측정 커패시터(C1)에 저장되어 있던 전하가 제4 트랜지스터(T4)를 통하여 방전된다. 이 때 제1 트랜지스터(T1)에 존재하는 기생 커패시턴스에 저장되어 있던 전하도 제2 트랜지스터(T2)를 통하여 방전된다.

[0043] 이 때, 측정부(20)에 흐르는 전류 i_2가 비교부(10)에 흐르는 전류 i_1보다 증가하게 되며, 측정 캐패시터(C1)의 용량만큼 큰 전류값을 갖게 된다. 여기서 전류 i_2와 i_1의 관계를 나타내면 다음과 같다.

[0044] [수학식 1]

[0045] $$i_2 - i_1 = C \times VDD \times F$$

[0046] 여기서 C는 측정되는 정전용량 즉, 커패시턴스를 나타내며, F는 게이트에 인가되는 신호의 주파수를 나타낸다.

[0047] 위의 수학식 1을 토대로, 측정부(20)의 전류값(i_2)에서 비교부(10)의 전류값(i_1)을 뺀 값을 토대로, 기생 커패시턴스를 제외한 순수 커패시터(C)의 전하량 즉, 커패시턴스를 측정할 수 있다.

[0048] 위에 기술된 바와 같은 본 발명의 실시 예에 따르면, 커패시턴스 측정 장치의 내부에 형성된 내부 펄스 발생부(30)로부터 출력되는 제1 및 제어 신호가 바로 측정부(20)와 비교부(10)의 트랜지스터의 게이트로 입력됨으로써, 측정 커패시터(C1)의 커패시턴스 측정시 발생되는 신호의 왜곡을 현저하게 감소시킬 수 있다.

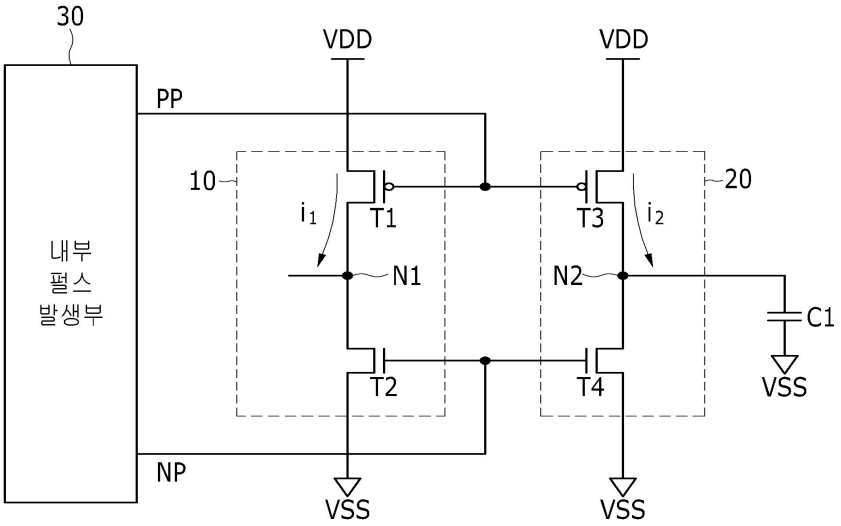
즉, 종래에는 외부 펄스 발생기와 측정 장치 사이에 형성된 외부 전송선로에 의해 외부 펄스 발생기로부터 출력되는 고주파 펄스 신호가 왜곡되어 측정되는 커패시턴스에 오차가 많이 발생하는데 반하여, 본 발명의 실시 예에 따르면 내부 펄스 발생부로부터 제공되는 제어 신호의 왜곡을 감소시켜 커패시턴스를 보다 정확하게 측정할 수 있다.

[0049] 또한 측정 장치 내에 펄스 발생부를 온 칩 형태로 구현하여 사용함으로써, 별도의 펄스 발생 장비가 필요 없으므로 비용 절감 효과를 가져올 수 있으며, 펄스 신호를 정확하게 인가하여 보다 정확하게 커패시턴스를 측정할 수 있다. 또한 고주파 펄스신호에서 신호의 왜곡 없이 펄스 신호를 공급할 수 있기 때문에 고주파 측정이 용이하다. 따라서 CBCM를 토대로 한 측정 장치를 이용하여 미세한 커패시턴스를 보다 효과적으로 측정할 수 있다.

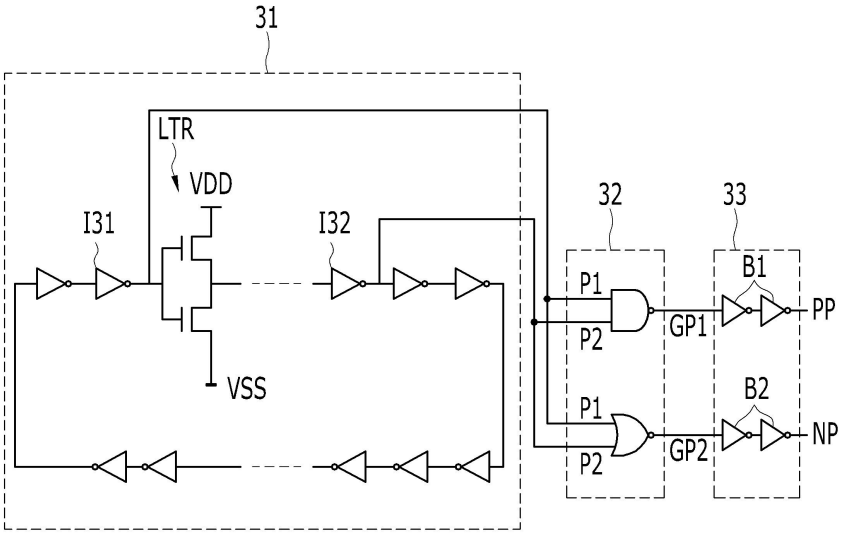
[0050] 상에서 본 발명의 실시 예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면

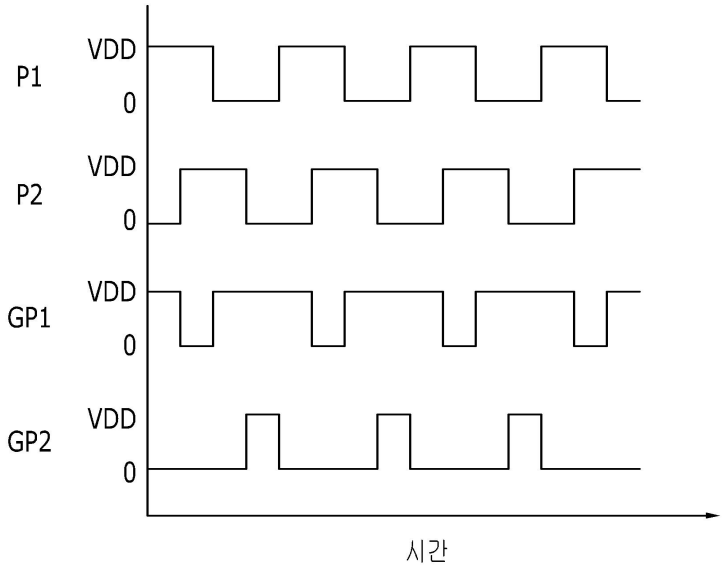
도면1



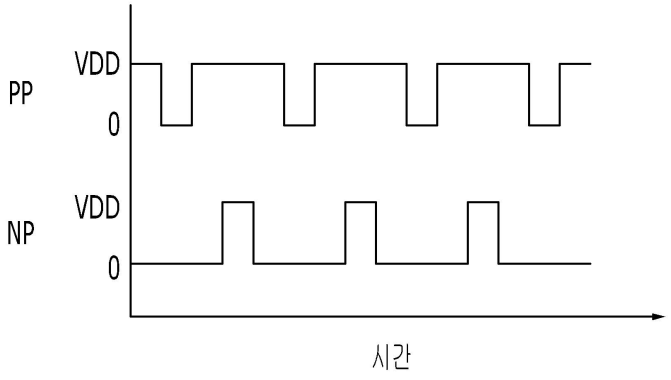
도면2


31
LTR
VDD
I31
I32
VSS
32
33
P1
P2
GP1
B1
PP
P1
P2
GP2
B2
NP

도면3


P1
VDD
0
P2
VDD
0
GP1
VDD
0
GP2
VDD
0
시간

도면4


PP
VDD
0
NP
VDD
0
시간