

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 9 月 10 日 (10.09.2020)



(10) 国际公布号
WO 2020/177092 A1

(51) 国际专利分类号:
G05F 1/56 (2006.01)

(21) 国际申请号: PCT/CN2019/077113

(22) 国际申请日: 2019 年 3 月 6 日 (06.03.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(72) 发明人: 张津海 (ZHANG, Jinhai); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(74) 代理人: 北京弘权知识产权代理事务所 (普通合伙) (CHINABLE IP); 中国北京市朝阳区安定路 35 号六层 35-10-2 内 620 室, Beijing 100029 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,

(54) Title: INTERFACE CIRCUIT

(54) 发明名称: 一种接口电路

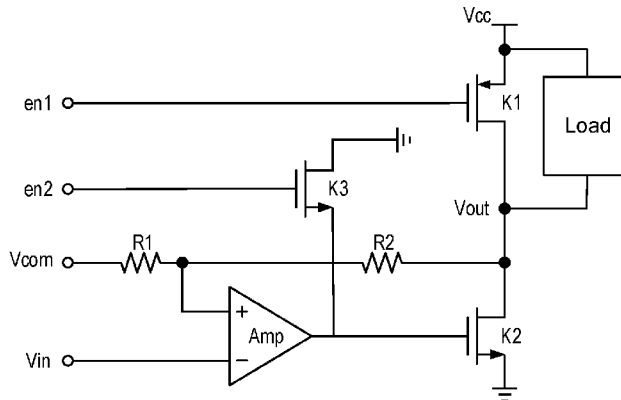


图 3

(57) Abstract: The present application provides an interface circuit, comprising an amplifier, a first switch, a second switch, and a third switch, wherein an input end of the amplifier is coupled to an input node of the interface circuit, an output end of the amplifier is coupled to a control end of the second switch, the output end of the amplifier is further coupled to the ground by means of the third switch, the first switch and the second switch are connected in series between a power supply voltage and the ground, and an output node of the interface circuit is provided between the first switch and the second switch. According to the interface circuit provided by the present application, the output node is coupled to one end of an interface load, and the other end of the interface load is coupled to the power supply voltage. When an input signal of the interface circuit is on a rising edge, the first switch and the third switch are turned off at the front half of the rising edge and are turned on at the rear half of the rising edge, such that the amplifier of the interface circuit does not participate in a signal amplification process at the rear half of the rising edge of the input signal, thereby eliminating an overshooting phenomenon and improving the reliability and service life of the interface circuit.

AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

(57) 摘要：本申请提供了一种接口电路，包括：放大器，第一开关，第二开关和第三开关，其中，放大器的输入端被耦合至接口电路的输入节点，放大器的输出端被耦合至第二开关的控制端，放大器的输出端还通过第三开关被耦合至地，第一开关和第二开关串接于供电电压和地之间，接口电路的输出节点设置于第一开关和第二开关之间。本申请提供的接口电路，输出节点耦合至接口负载的一端，接口负载另一端耦合至供电电压，当接口电路的输入信号位于上升沿时，在上升沿的前半段使第一开关和第三开关关断，在上升沿的后半段使第一开关和第三开关导通，使接口电路的放大器在输入信号上升沿的后半段不参与信号放大过程，从而消除过冲现象，提高接口电路的可靠性和使用寿命。

一种接口电路

技术领域

本申请涉及电力电子技术领域，尤其涉及一种接口电路。

5 背景技术

近年来，计算机芯片的工艺制程不断提高，已经从早期的 45nm 工艺提高到当前的 28nm 制程、14nm 制程，甚至 10nm 制程、7nm 制程等。伴随着芯片制程的不断提高，芯片的电源电压越来越小，由此带来的是芯片对高电压的承载能力不断下降。

虽然，计算机芯片正在朝着的更高制程、更低电压的趋势不断发展，但是，芯片的接口电路协议却没有做出相应变化，例如，国际电信联盟电信标准化部门 ITU-T 定义的 E1 和 T1 等接口协议均属于高压接口协议。接口电路通过放大器将芯片的低压输入信号放大并输出到接口负载，因此，当采用较高工艺制程的芯片使用上述高压接口协议时，就必须增加芯片接口电路的输出摆幅，甚至需要接口电路进行满摆幅输出，在接口电路以较高的输出摆幅工作的情况下，接口电路中各器件运行的可靠性将会受到威胁。

并且，由于接口电路的运放响应通常存在一定的延时，在接口电路的输入信号由低电平到高电平变化时，放大器的输出信号会出现过冲（overshot）现象，对接口电路中的开关管等电子器件的可靠性造成威胁，并加速开关管等电子器件的损耗，缩短接口电路的寿命。

发明内容

本申请提供了一种接口电路，该接口电路以较高摆幅输出甚至满摆幅输出运行时，不会出现过冲现象，从而提高接口电路的可靠性，延长接口电路的寿命。

本申请提供的接口电路包括：放大器，第一开关，第二开关和第三开关，其中，放大器的输入端被耦合至接口电路的输入节点，放大器的输出端被耦合至第二开关的控制端，放大器的输出端还通过第三开关被耦合至地，第一开关和第二开关串接于供电电压和地之间，接口电路的输出节点设置于第一开关和第二开关之间。

根据上述接口电路，接口负载一端耦合至供电电压，另一端耦合至输出节点。从而，当第一开关和第三开关关断时，放大器为第二开关提供输出增益，使第二开关产生输出信号以驱动接口负载；当第一开关和第三开关导通时，放大器的输出信号经过第三开关被耦合至地，使第二开关关断，第一开关将接口负载的电压拉升至供电电压。由此，在输入信号位于上升沿时，在上升沿的前半段关断第一开关和第三开关，在上升沿的后半段导通第一开关和第三开关，使放大器在上升沿的后半段不参与信号放大过程，从而消除过冲现象，提高接口电路的可靠性和使用寿命。

在一种可能的实现方式中，第一开关为 P 型氧化物半导体 PMOS 晶体管，第一开关的栅极为控制端，第一开关的漏极耦合至供电电压，第一开关的源极耦合至输出节点。由此，第一开关管的栅极用于输入控制信号，当控制信号为高信号时，第一开关管断开；当控制信号为低信号时，第一开关管导通，将接口负载的电压拉升至供电电压。

在一种可能的实现方式中，第二开关为 N 型金属氧化物半导体 NMOS 晶体管，第二开关的栅极为控制端，第二开关的漏极耦合至地，第二开关的源极耦合于输出节点。由此，当第一开关关断时，第二开关在放大器的输出增益下产生输出信号，提供对接口负载的驱动能力。

5 在一种可能的实现方式中，第三开关为 NMOS 晶体管，第三开关的栅极为控制端，第三开关的漏极与放大器的输出端耦合，第三开关的源极耦合至地。由此，当第三开关闭合时，放大器的输出端被耦合至地。

10 在一种可能的实现方式中，该接口电路还包括控制逻辑，控制逻辑用于：当输入节点的输入信号位于上升沿时，第一开关和第三开关在 T_0 时刻之前关断，第一开关和第三开关在 T_0 时刻之后导通，其中， T_0 时刻为输入信号位于上升沿的低电平和高电平之间的任意时刻。由此，放大器在上升沿的后半段不参与信号放大过程，从而消除过冲现象，提高接口电路的可靠性和使用寿命。

15 在一种可能的实现方式中，控制逻辑还用于：在输入节点的输入信号进入下降沿之前，第一开关和第三开关在 T_1 时刻之前导通，第一开关和第三开关在 T_1 时刻之后关断，其中， T_1 时刻为输入信号进入下降沿之前的任意时刻。由此，当输入信号为低电平时，放大器与第二开关构成信号放大电路，能够对输入信号进行放大输出，从而驱动接口负载。

20 在一种可能的实现方式中，两个接口电路的输出节点耦合至接口负载的两端，构成差分接口电路，两个接口电路分别作为差分接口电路的第一半边电路和第二半边电路。由此，第一半边电路的输入节点和第二半边电路的输入节点分别用于输入差分信号的两个半边信号。通过控制两个半边电路的开关器件的导通和关断，为接口负载提供驱动能力，同时消除过冲，提高接口电路的可靠性和使用寿命。

25 在一种可能的实现方式中，当两个接口电路构成差分电路时，接口电路的控制逻辑用于：当第一半边电路输入节点的输入信号位于上升沿时，第二半边电路的第一开关保持导通，第二半边电路的第三开关保持关断，第一半边电路的第一开关和第三开关在 T_0 时刻之前关断，第一半边电路的第一开关和第三开关在 T_0 时刻之后导通，其中， T_0 时刻为输入信号位于上升沿的低电平和高电平之间的任意时刻。由此，在 T_0 时刻之前，第一半边电路的放大器、第二开关，以及第二半边电路的第一开关和接口负载构成工作电路，能够对第一半边电路输入节点的输入信号进行放大输出，从而驱动接口负载；在 T_0 时刻之后，第一半边电路的第一开关、第二半边电路的第一开关和接口负载相耦合，使接口负载的电压拉升至供电电压。从而，放大器在上升沿的后半段不参与信号放大过程，该控制逻辑能够消除接口电路的过冲现象，提高接口电路的可靠性和使用寿命。

30 在一种可能的实现方式中，该控制逻辑还用于：在第一半边电路输入节点的输入信号进入下降沿之前，第二半边电路的第一开关保持导通，第二半边电路的第三开关保持关断，第一半边电路的第一开关和第三开关在 T_1 时刻之前导通，第一半边电路的第一开关和第三开关在 T_1 时刻之后关断，其中， T_1 时刻为输入信号进入下降沿之前的任意时刻。由此，当第一半边电路的输入信号为低电平时，第一半边电路的放大器、第二开关，以及第二半边电路的第一开关和接口负载构成信号放大电路，能够对输入信号进行放大输出，从而驱动接口负载。

附图说明

图 1 为传统接口电路的结构示意图；

图 2 为传统接口电路出现过冲现象的信号波形示意图；

图 3 为本申请提供的一种接口电路的结构示意图；

图 4 为本申请提供的接口电路的一种运行状态的示意图；

5 图 5 为本申请提供的接口电路的另一种运行状态的示意图；

图 6 为本申请提供的控制逻辑与电路运行状态的关系图；

图 7 为本申请提供的控制逻辑与电路运行状态的关系图；

图 8 为本申请接口电路的输出信号波形的测试图；

图 9 为本申请提供的一种差分接口电路的结构示意图；

10 图 10 为本申请提供的差分接口电路控制逻辑的时序图；

图 11 为控制逻辑第一阶段的差分接口电路工作状态示意图；

图 12 为控制逻辑第二阶段的差分接口电路工作状态示意图；

图 13 为控制逻辑第三阶段的差分接口电路工作状态示意图；

图 14 为控制逻辑第四阶段的差分接口电路工作状态示意图；

15 图 15 为控制逻辑第五阶段的差分接口电路工作状态示意图；

图 16 为本申请差分接口电路的输出信号波形示意图。

具体实施方式

下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚地描述。显然，所描述的实施例是本申请的一部分实施例，而不是全部实施例。基于本申请的实施例，本领域普通技术人员在没有做出创造性劳动的前提下所得到的其他实施例，都属于本申请的保护范围。

20 目前，计算机芯片的工艺制程不断提高，芯片的电源电压越来越小，芯片对高电压的承载能力也不断下降。但是，芯片的接口电路却依然使用 TI 和 E1 等高压协议，没有针对低压芯片进行优化。因此，在低压芯片中，接口电路为了适配高压协议通常需要在较高的输出摆幅下运行，导致接口电路中各器件运行的可靠性将会受到威胁，缩短接口电路的寿命。

本申请中的芯片例如可以是系统芯片（system on a chip, SOC）、调制解调器芯片等。

30 图 1 为传统接口电路的结构示意图。如图 1 所示，传统的接口电路主要由运算放大器 Amp、N 型金属氧化物半导体 NMOS 晶体管和反馈电路组成。其中，NMOS 晶体管的栅极与运算放大器 Amp 的输出端耦合，NMOS 晶体管的漏极耦合至地，NMOS 晶体管的源极耦合至接口电路的输出节点 Vout；运算放大器 Amp 的非反向输入端（+）耦合至接口电路的输入节点 Vin，反向输入端（-）耦合至共模偏置节点 Vcom；反馈电路由差分电阻 R1 和 R2 组成，其中，R1 和 R2 串联于共模偏置节点 Vcom 和接口电路的输出节点 Vout 之间，差分电阻 R1 和 R2 串联后的交点耦合至运算放大器 Amp 的反向输入端（-）。该接口电路在运行时，输入节点 Vin 的信号经由运算放大器 Amp 和 NMOS 晶体管放大输出到接口负载 Load。

35 图 2 为传统接口电路出现过冲现象的信号波形示意图。由于芯片电压的不断降低，为了使接口电路兼容传统的高压协议，需要增加接口电路的输出摆幅，甚至要求接口电路以满摆幅输出。然而，如图 2 所示，由于接口电路的运放响应存在延时，在信号由低电平向高电平变化时，接口电路在运放响应过程中会产生过冲现象，过冲现象会对接口电路中的

NMOS 晶体管等器件的可靠性造成严重威胁,加速器件的损耗,尤其是在芯片工艺制程较高,芯片电压较低时,接口电路中的 NMOS 晶体管等器件的抗过冲能力较弱,如果出现过冲,可能导致器件被击穿损坏,从而降低接口电路的可靠性,缩短接口电路的寿命。

为了解决传统接口电路在较高输出摆幅下运行时会出现过冲现象,导致接口电路可靠性变差、缩短接口电路的寿命的问题,本申请提供了一种接口电路,该接口电路在较高摆幅甚至满摆幅运行时不会出现过冲现象,从而提高接口电路中 NMOS 晶体管等器件的可靠性,延长接口电路的寿命。

图 3 为本申请提供的一种接口电路的结构示意图。

如图 3 所示,该接口电路包括:放大器,第一开关 K1,第二开关 K2 和第三开关 K3,其中,放大器的输入端被耦合至接口电路的输入节点 V_{in} ,放大器的输出端被耦合至第二开关 K2 的控制端,放大器的输出端还通过第三开关 K3 被耦合至地,第一开关 K1 和第二开关 K2 串接于供电电压 V_{cc} 和地之间,接口电路的输出节点 V_{out} 设置于第一开关 K1 和第二开关 K2 之间。

在可选的实施例中,该放大器例如可以为运算放大器 Amp,包含一个非反向输入端 (+)、一个反向输入端 (-),以及一个输出端。其中,非反向输入端 (+) 和反向输入端 (-) 的其中一个耦合至接口电路的输入节点 V_{in} ,另一个耦合至共模偏置节点 V_{com} 。该接口电路还包括反馈电路,反馈电路由差分电阻 R1 和 R2 组成,其中,R1 和 R2 串联于共模偏置节点 V_{com} 和接口电路的输出节点 V_{out} 之间,差分电阻 R1 和 R2 串联后的交点耦合至运算放大器 Amp 的一个输入端。其中,如果运算放大器 Amp 的反向输入端 (-) 被耦合至输入节点 V_{in} ,则运算放大器 Amp 的非反向输入端 (+) 被耦合至差分电阻 R1 和 R2 串联后的交点;如果运算放大器 Amp 的非反向输入端 (+) 被耦合至输入节点 V_{in} ,则运算放大器 Amp 的反向输入端 (-) 被耦合至差分电阻 R1 和 R2 串联后的交点。

其中,第一开关 K1 和第三开关 K3 均包含用于接收控制信号的控制端,第一开关 K1 和第三开关 K3 在控制信号的作用下实现导通或关断。该控制信号例如可以是相位控制信号,并可以由信号发生器产生关断。

在本发明实施例中,第一开关 K1,第二开关 K2 和第三开关 K3 均可以使用 MOS 晶体管。其中,第一开关 K1 和第三开关 K3 是分别在控制信号 en1 和 en2 的控制下导通和关断,可以任意选择 P 型氧化物半导体 PMOS 晶体管或者 N 型金属氧化物半导体 NMOS 晶体管。第二开关 K2 的栅极通过第三开关 K3 接地,并同时被耦合至所述放大器 Amp 的输出端,因此在本发明实施例中第二开关 K2 可以选择 NMOS 晶体管;不过,由于信号电平可以通过诸如反相器等器件或者电路进行翻转,因此第二开关 K2 也可以选择 PMOS 晶体管。

以图 1 为例,在本发明实施例中,第一开关 K1 可以为 P 型氧化物半导体 PMOS 晶体管,第一开关 K1 的栅极为控制端,第一开关 K1 的漏极耦合至供电电压 V_{cc} ,第一开关 K1 的源极耦合至输出节点 V_{out} 。由此,第一开关 K1 的栅极用于输入控制信号,当控制信号为高电平时,第一开关 K1 关断;当控制信号为低电平时,第一开关 K1 导通,将接口负载 Load 的电压拉升至供电电压 V_{cc} ;第二开关 K2 可以为 N 型金属氧化物半导体 NMOS 晶体管,第二开关 K2 的栅极为控制端,第二开关 K2 的漏极耦合至地,第二开关 K2 的源极耦合于输出节点 V_{out} 。由此,当第一开关 K1 关断时,第二开关 K2 在运算放大器 Amp 的输出增益作用下产生输出信号,提供对接口负载 Load 的驱动能力;第三开关 K3 可以为 NMOS 晶体管,

第三开关 K3 的栅极为控制端，第三开关 K3 的漏极与放大器的输出端耦合，第三开关 K3 的源极耦合至地。由此，当第三开关 K3 导通时，放大器的输出端被耦合至地，使第二开关 K2 被关断。

5 如图 3 所示，本申请提供的接口电路，输出节点 V_{out} 耦合至接口负载 Load 的一端，接口负载 Load 的另一端耦合至供电电压 V_{cc} 。由此，通过控制信号控制第一开关 K1 和第二开关 K2 的导通和关断，本申请的接口电路至少可以具备两种运行状态。

图 4 为本申请提供的接口电路的一种运行状态的示意图。

10 如图 4 所示，第一开关 K1 和第三开关 K3 关断，接口电路中的运算放大器 Amp、第二开关 K2、接口负载 Load 和反馈电路组成工作电路。此时，输入节点 V_{in} 的输入信号由运算放大器 Amp 和第二开关 K2 放大输出，以驱动接口负载 Load。

图 5 为本申请提供的接口电路的另一种运行状态的示意图。

15 如图 5 所示，第一开关 K1 和第三开关 K3 导通，运算放大器 Amp 的输出信号经过第三开关 K3 被耦合至地，此时，如果第二开关是 NMOS 晶体管的话，则第二开关 K2 的栅极因为被接地而关断，接口电路中的第一开关 K1 和接口负载 Load 组成工作电路，此时，接口负载 Load 两端的电压可以拉升到供电电压 V_{cc} ，使接口负载 Load 中的储能器件（电容和电感）被放电，恢复到空载状态。

根据图 4 和图 5 示出的接口电路的两种运行状态，本申请的接口电路还可以包括一个控制逻辑，该控制逻辑可以消除接口电路中的过冲现象。

图 6 为本申请提供的控制逻辑与电路运行状态的关系图。

20 如图 6 所示，该控制逻辑用于：当输入节点 V_{in} 的输入信号位于上升沿时，第一开关 K1 和第三开关 K3 在 T_0 时刻之前关断，第一开关 K1 和第三开关 K3 在 T_0 时刻之后导通，其中， T_0 时刻为输入信号位于上升沿的低电平和高电平之间的任意时刻。

25 图 6 还示出了输入信号和输出信号的波形图，输入信号和输出信号均为数字信号，数字信号理论上为方波信号，即上升沿和下降沿与时间轴垂直，但实际上，数字信号的高低电平的转换需要一定的时间完成，从而图 6 示出的输入信号和输出信号的上升沿和下降沿均存在一定坡度。本申请的控制逻辑主要用于在输入信号的高低电平转换的过程中对接口电路中各个开关的导通和关断状态进行控制，以消除过冲。

30 具体地，如图 6 所示，第一开关 K1 为 PMOS 晶体管，第二开关 K2 为 NMOS 晶体管，第三开关 K3 为 NMOS 晶体管。在上升沿的 T_0 时刻之前，第一开关 K1 栅极的控制信号 $en1$ 为高信号，使第一开关 K1 关断，第三开关 K3 栅极的控制信号 $en2$ 为低信号，使第三开关 K3 关断，运算放大器 Amp 的输出增益作用于第二开关 K2，使运算放大器 Amp、第二开关 K2、接口负载 Load 和反馈电路组成工作电路，第二开关 K2 在运算放大器 Amp 的输出增益作用下产生输出信号，提供对接口负载 Load 的驱动能力，使接口负载 Load 的电压逐渐升高。在上升沿的 T_0 时刻之后，第一开关 K1 栅极的控制信号 $en1$ 为低信号，使第一开关 K1 导通，第三开关 K3 栅极的控制信号 $en2$ 为高信号，使第三开关 K3 导通，运算放大器 Amp 的输出端通过第三开关 K3 被耦合之地，使运算放大器 Amp 的输出增益不会作用于第二开关 K2，导致第二开关 K2 被关断，由此，第一开关 K1 和接口负载 Load 组成工作电路，接口负载 Load 两端的电压被拉升到供电电压 V_{cc} ，使接口负载 Load 中的储能器件（电容和电感）被放电，恢复到空载状态。

根据上述控制逻辑，在输入信号进入上升沿的前半段（即 T_0 时刻之前），运算放大器 Amp 和第二开关 K2 对输出信号进行放大输出，将接口负载 Load 的电压拉升；在输入信号进入上升沿的后半段（即 T_0 时刻之后），运算放大器 Amp 的输出端被耦合之地导致第二开关 K2 被关断，此时，由第一开关 K1 接管运算放大器 Amp 的工作，继续将接口负载 Load 的电压拉升至供电电压 V_{cc} 。由此，运算放大器 Amp 在输入信号为与上升沿末端时不参与对输入信号的放大，因此避免了过冲现象的发生。

另外，该控制逻辑还用于：在输入信号进入下降沿之前，第一开关 K1 和第三开关 K3 在 T_1 时刻之前导通，第一开关 K1 和第三开关 K3 在 T_1 时刻之后关断，其中， T_1 时刻为输入信号进入下降沿之前的任意时刻。

图 7 为本申请提供的控制逻辑与电路运行状态的关系图。

如图 7 所示，第一开关 K1 为 PMOS 晶体管，第二开关 K2 为 NMOS 晶体管，第三开关 K3 为 NMOS 晶体管。在 T_1 时刻之前，第一开关 K1 栅极的控制信号 en1 为低信号，使第一开关 K1 导通，第三开关 K3 栅极的控制信号 en2 为高信号，使第三开关导通，运算放大器 Amp 的输出端通过第三开关 K3 被耦合至地，使运算放大器 Amp 的输出增益不会作用于第二开关 K2，导致第二开关 K2 被关断，由此，第一开关 K1 和接口负载 Load 组成工作电路，接口负载 Load 两端的电压被拉升到供电电压 V_{cc} ，使接口负载 Load 中的储能器件（电容和电感）被放电，恢复到空载状态。在 T_1 时刻之后，第一开关 K1 栅极的控制信号 en1 为高信号，使第一开关 K1 关断，第三开关 K3 栅极的控制信号 en2 为低信号，使第三开关 K3 关断，运算放大器 Amp 的输出增益作用于第二开关 K2，使运算放大器 Amp、第二开关 K2、接口负载 Load 和反馈电路组成工作电路，在此状态下，工作电路完成运放准备，可以对输入信号进行放大输出。

图 8 为本申请接口电路的输出信号波形的测试图。通过图 2 与图 8 的对比可以看出，在本申请接口电路的输出信号中，过冲现象被完全消除，可见，本申请的接口电路可靠性更高，使用寿命更长。

图 9 为本申请提供的一种差分接口电路的结构示意图。

在一个实施例中，将本申请的两个接口电路的输出节点 V_{out} 耦合至接口负载 Load 的两端，可以构成差分接口电路，两个接口电路分别作为差分接口电路的半边电路。

在可选择的实施例中，如图 9 所示，两个半边电路的第一开关 K11 和 K12 为 P 型氧化物半导体 PMOS 晶体管，第二开关 K12 和 K22 以及第三开关 K13 和 K23 为 N 型金属氧化物半导体 NMOS 晶体管。为了便于描述，本申请将其中一个接口电路称作第一半边电路 Nhalf，将另一个接口电路称作第二半边电路 Phalf，第一半边电路 Nhalf 和第二半边电路 Phalf 实际上是相同的接口电路。

在可选择的实施例中，如图 9 所示，半边电路的放大器例如可以为运算放大器 Amp，包含一个非反向输入端（+）、一个反向输入端（-），以及一个输出端。其中，非反向输入端（+）和反向输入端（-）的其中一个耦合至接口电路的输入节点 V_{in} ，另一个耦合至共模偏置节点 V_{com} 。每个半边电路还包括反馈电路，反馈电路由差分电阻 R1 和 R2 组成，其中，R1 和 R2 串联于共模偏置节点 V_{com} 和半边电路的输出节点 V_{out} 之间，差分电阻 R1 和 R2 串联后的交点耦合至运算放大器 Amp 的一个输入端。其中，如果运算放大器 Amp 的反向输入端（-）被耦合至输入节点 V_{in} ，则运算放大器 Amp 的非反向输入端（+）被耦合至差

分电阻 R1 和 R2 串联后的交点；如果运算放大器 Amp 的非反向输入端 (+) 被耦合至输入节点 Vin, 则运算放大器 Amp 的反向输入端 (-) 被耦合至差分电阻 R1 和 R2 串联后的交点。

进一步地, 在第一半边电路 Nhalf 中: 运算放大器 Amp 用于接收第一输入信号, 第一开关 K11 的控制端用于接收控制信号 en1, 第三开关 K13 的控制端用于接收控制信号 en2, 其中, 控制信号 en1 和控制信号 en2 的时序相同; 在第二半边电路 Phalf 中: 运算放大器 Amp 用于接收第二输入信号; 第一开关 K21 的控制端用于接收控制信号 en3, 第三开关 K23 的控制端用于接收控制信号 en4, 其中, 控制信号 en3 和控制信号 en4 的时序相同。

本申请还提供了一种差分接口电路的控制逻辑, 该控制逻辑可以消除差分接口电路的过冲现象。该差分接口电路的控制逻辑可以通过时序控制实现, 其中, 时序控制信号例如可以由信号发生器产生, 具体可以通过设置延时锁定环路 (delay lock loop, DLL) 实现。

图 10 为本申请提供的差分接口电路控制逻辑的时序图。

进一步地, 图 9 中包含 6 个时间节点, 分别为 A、B、C、D、E、F。其中, 节点 C 对应第一输入信号开始进入下降沿的时刻, 节点 B 对应第一输入信号进入下降沿之前的任意时刻 T1, 节点 A 为 T1 之前的时刻; 节点 D 对应第一输入信号开始进入上升沿的时刻, 节点 E 对应第一输入信号位于上升沿的低电平和高电平之间的任意时刻 T0, 节点 F 为第一输入信号上升到高电平的时刻。

因此, 结合图 10, 该控制逻辑可以包括五个阶段, 下面结合图 11-图 15 对控制逻辑的五个截断做具体说明, 其中, 作为可选择的实施方式, 在图 11-图 15 中, 第一开关 K11 和 K21 为 PMOS 晶体管, 第二开关 K12 和 K22 为 NMOS 晶体管, 第三开关 K13H 和 K23 为 NMOS 晶体管。

第一阶段 (节点 A-节点 B):

图 11 为控制逻辑第一阶段的差分接口电路工作状态示意图。

如图 11 所示, 在第一阶段中, 第一输入信号为高电平, 控制信号 en1 为低信号, 使第一半边电路 Nhalf 的第一开关 K11 导通; 控制信号 en2 为高信号, 使第一半边电路 Nhalf 的第三开关 K13 导通, 第一半边电路 Nhalf 的运算放大器 Amp 的输出端通过第三开关 K13 被耦合之地, 使第二开关 K12 被关断; 控制信号 en3 为低信号, 使第二半边电路 Phalf 的第一开关 K21 导通; 控制信号 en4 为高信号, 使第二半边电路 Phalf 的第三开关 K23 导通, 第二半边电路 Phalf 的运算放大器 Amp 的输出端通过第三开关 K23 被耦合之地, 使第二开关 K22 被关断, 此时, 第一半边电路 Nhalf 的第一开关 K11、第二半边电路 Phalf 的第一开关 K21 和接口负载 Load 为工作电路。因此, 接口负载 Load 的电压可以在此时间内被拉升至供电电压 Vcc, 使接口负载 Load 中的储能器件 (电容和电感) 被放电, 恢复到空载状态。

第二阶段 (节点 B-节点 C):

图 12 为控制逻辑第二阶段的差分接口电路工作状态示意图。

如图 12 所示, 在第二阶段中, 第一输入信号为高电平; 控制信号 en1 为高信号, 使第一半边电路 Nhalf 的第一开关 K11 关断; 控制信号 en2 为低信号, 使第一半边电路 Nhalf 的第三开关 K13 关断; 控制信号 en3 为低信号, 使第二半边电路 Phalf 的第一开关 K21 导通; 控制信号 en4 为高信号, 使第二半边电路 Phalf 的第三开关 K23 导通, 第二半边电路 Phalf 的运算放大器 Amp 的输出端通过第三开关 K23 被耦合之地, 使第二开关 K22 被关断。

此时, 第一半边电路 Nhalf 的运算放大器 Amp、第二开关 K12、反馈电路, 以及第二半边电路 Phalf 的第一开关 K21 和接口负载 Load 为工作电路, 该工作电路可以视为一个传统的接口电路, 能够对第一输入信号进行放大输出。

第三阶段 (节点 C-节点 D):

5 图 13 为控制逻辑第三阶段的差分接口电路工作状态示意图。

如图 13 所示, 在第三阶段中, 第一输入信号由下降沿变为低电平; 控制信号 en1 为高信号, 使第一半边电路 Nhalf 的第一开关 K11 关断; 控制信号 en2 为低信号, 是第一半边电路 Nhalf 的第三开关 K13 关断、第二开关 K12 导通; 控制信号 en3 为低信号, 使第二半边电路 Phalf 的第一开关 K21 导通; 控制信号 en4 为高信号, 使第二半边电路 Phalf 的
10 第三开关 K23 导通, 第二半边电路 Phalf 的运算放大器 Amp 的输出端通过第三开关 K23 被耦合之地, 使第二开关 K22 关断。此时, 第一半边电路 Nhalf 的运算放大器 Amp、第二开关 K12、反馈电路, 以及第二半边电路 Phalf 的第一开关 K21 和接口负载 Load 为工作电路, 第一输入信号由第一半边电路 Nhalf 的运算放大器 Amp 和第二开关 K12 放大输出, 输出信号 Vout 形成图 13 中的实线部分。

15 第四阶段 (节点 D-节点 E):

图 14 为控制逻辑第四阶段的差分接口电路工作状态示意图。

如图 14 所示, 在第四阶段中, 第一输入信号开始进入上升沿; 控制信号 en1 为高信号, 使第一半边电路 Nhalf 的第一开关 K11 关断; 控制信号 en2 为低信号, 使第一半边电路 Nhalf 的第三开关 K13 关断、第二开关 K12 导通; 控制信号 en3 为低信号, 使第二半边电路 Phalf 的第一开关 K21 导通; 控制信号 en4 为高信号, 使第二半边电路 Phalf 的第三
20 开关 K23 导通, 第二半边电路 Phalf 的运算放大器 Amp 的输出端通过第三开关 K23 被耦合之地, 使第二开关 K22 关断。此时, 第一半边电路 Nhalf 的运算放大器 Amp、第二开关 K12、反馈电路, 以及第二半边电路 Phalf 的第一开关 K21 和接口负载 Load 为工作电路, 第一输入信号的放大和输出过程由运算放大器 Amp 和第二开关 K12 执行, 输出信号 Vout 形成图 14 中的实线部分。

25 第五阶段 (节点 E-节点 F):

图 15 为控制逻辑第五阶段的差分接口电路工作状态示意图。

如图 15 所示, 在第五阶段中, 第一输入信号在上升沿继续向高电平上升; 控制信号 en1 为低信号, 使第一半边电路 Nhalf 的第一开关 K11 导通; 控制信号 en2 为高信号, 使
30 第一半边电路 Nhalf 的第三开关 K13 导通、第二开关 K12 关断; 控制信号 en3 为低信号, 使第二半边电路 Phalf 的第一开关 K21 导通; 控制信号 en4 为高信号, 使第二半边电路 Phalf 的第三开关 K23 导通, 第二半边电路 Phalf 的运算放大器 Amp 的输出端通过第三开关 K23 被耦合之地, 使第二开关 K22 关断。此时, 第一半边电路 Nhalf 的第一开关 K11、第二半边电路 Phalf 的第一开关 K21 和接口负载 Load 为工作电路, 接口负载 Load 的电压这一阶段被继续拉升至供电电压 Vcc, 接口负载 Load 中的储能器件 (电容和电感) 被放电, 恢复到空载状态, 输出信号 Vout 形成图 15 中实线部分的波形。

35 由此, 根据本申请提供的用于差分接口电路的控制逻辑, 在第一输入信号位于上升沿的前半段 (即 T0 时刻之前), 第一输入信号的放大和输出过程由第一半边电路 Nhalf 的运算放大器 Amp 和第二开关 K12 执行, 在第一输入信号位于上升沿的后半段 (即 T0 时刻之

后), 由第一半边电路 Nhalf 的第一开关 K11 和第二半边电路 Phalf 的第一开关 K21 将接口负载 Load 的电压继续拉升至供电电压 Vcc, 从而在输出信号位于上升沿末端时, 第一半边电路 Nhalf 的运算放大器 Amp 不再参与对第一输入信号的放大过程, 因此, 不会产生过冲现象。

5 另外, 需要补充说明的是, 由于差分接口电路的两个半边电路相同, 因此, 差分接口电路处理第一输入信号的过程同样适用于处理第二输入信号, 因此, 对于第二半边电路 Phalf 的控制逻辑实施例, 本申请不再具体赘述。

10 图 16 为本申请差分接口电路的输出信号波形示意图。从图 16 可以看出, 输出信号的过冲被完全消除。由此可见, 本申请提供的差分接口电路, 能够消除接口电路的过冲现象, 提高接口电路的可靠性和使用寿命。

 以上的具体实施方式, 对本发明的目的、技术方案和有益效果进行了进一步详细说明, 所应理解的是, 以上仅为本发明的具体实施方式而已, 并不用于限定本发明的保护范围, 凡在本发明的技术方案的基础之上, 所做的任何修改、等同替换、改进等, 均应包括在本发明的保护范围之内。

15

权利要求书

1、一种接口电路，其特征在于，包括：

放大器，第一开关，第二开关和第三开关，其中，

5 所述放大器的输入端被耦合至所述接口电路的输入节点，所述放大器的输出端被耦合至所述第二开关的控制端，所述放大器的输出端还通过所述第三开关被耦合至地，所述第一开关和第二开关串接于供电电压和地之间，所述接口电路的输出节点设置于所述第一开关和第二开关之间。

2、如权利要求1所述的接口电路，其特征在于，所述第一开关为P型氧化物半导体PMOS晶体管，所述第一开关的栅极为控制端，所述第一开关的漏极耦合至所述供电电压，所述第一开关的源极耦合至所述输出节点。

3、如权利要求1所述的接口电路，其特征在于，所述第二开关为N型金属氧化物半导体NMOS晶体管，所述第二开关的栅极为控制端，所述第二开关的漏极耦合至地，所述第二开关的源极耦合于所述输出节点。

4、如权利要求1所述的接口电路，其特征在于，所述第三开关为NMOS晶体管，所述第三开关的栅极为控制端，所述第三开关的漏极与所述放大器的输出端耦合，所述第三开关的源极耦合至地。

5、如权利要求1-4任意一项所述的接口电路，其特征在于，包括控制逻辑，所述控制逻辑用于：当所述输入节点的输入信号位于上升沿时，所述第一开关和所述第三开关在T0时刻之前关断，所述第一开关和所述第三开关在T0时刻之后导通，其中，所述T0时刻为输入信号位于上升沿的低电平和高电平之间的任意时刻。

6、如权利要求5所述的接口电路，其特征在于，所述控制逻辑还用于：在所述输入节点的输入信号进入下降沿之前，所述第一开关和所述第三开关在T1时刻之前导通，所述第一开关和所述第三开关在T1时刻之后关断，其中，所述T1时刻为输入信号进入下降沿之前的任意时刻。

7、如权利要求1-4任意一项所述的接口电路，其特征在于，两个所述接口电路的输出节点耦合至接口负载的两端，构成差分接口电路，两个所述接口电路分别作为所述差分接口电路的第一半边电路和第二半边电路。

8、如权利要求7所述的接口电路，其特征在于，包括控制逻辑，所述控制逻辑用于：当所述第一半边电路输入节点的输入信号位于上升沿时，所述第二半边电路的第一开关保持导通，所述第二半边电路的第三开关保持关断，所述第一半边电路的第一开关和第三开关在T0时刻之前关断，所述第一半边电路的第一开关和第三开关在T0时刻之后导通，其中，所述T0时刻为输入信号位于上升沿的低电平和高电平之间的任意时刻。

9、如权利要求8所述的接口电路，其特征在于，所述控制逻辑还用于：在所述第一半边电路输入节点的输入信号进入下降沿之前，所述第二半边电路的第一开关保持导通，所述第二半边电路的第三开关保持关断，所述第一半边电路的第一开关和第三开关在T1时刻之前导通，所述第一半边电路的第一开关和第三开关在T1时刻之后关断，其中，所述T1时刻为输入信号进入下降沿之前的任意时刻。

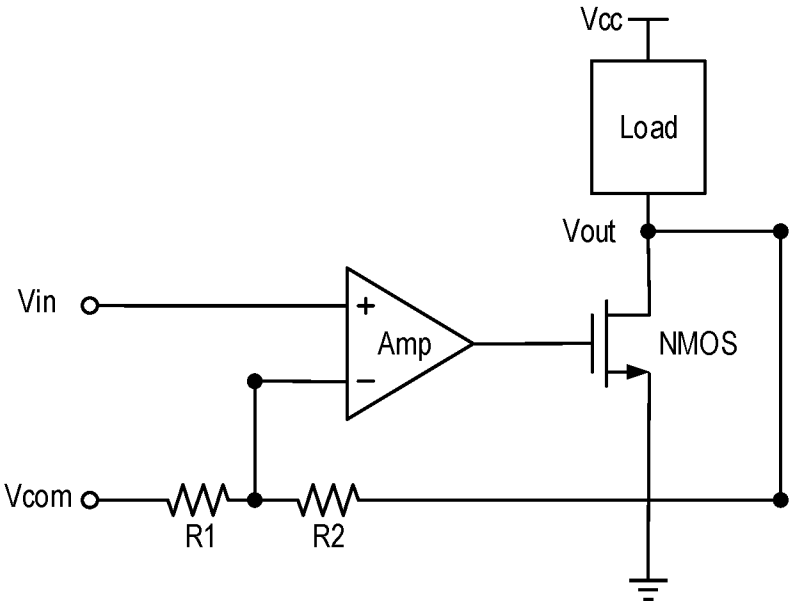


图 1

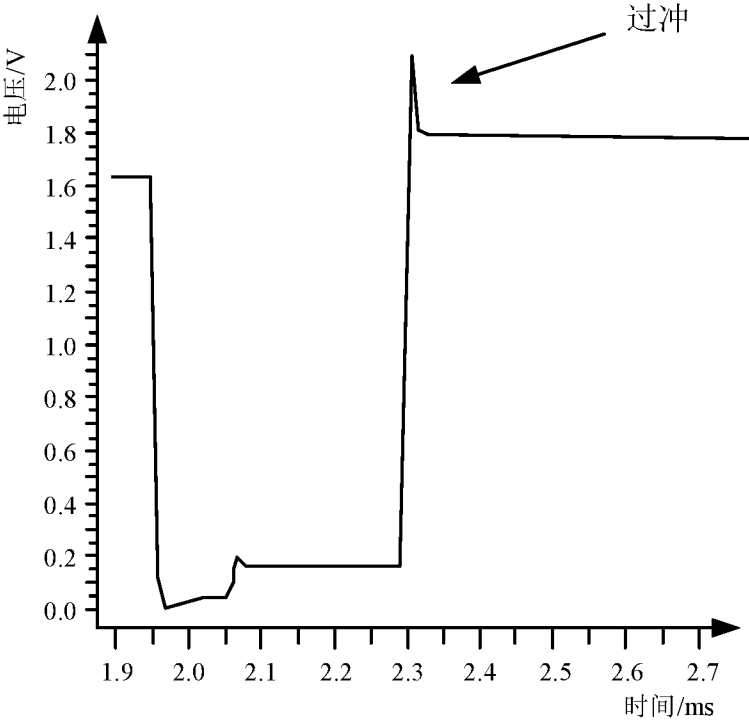


图 2

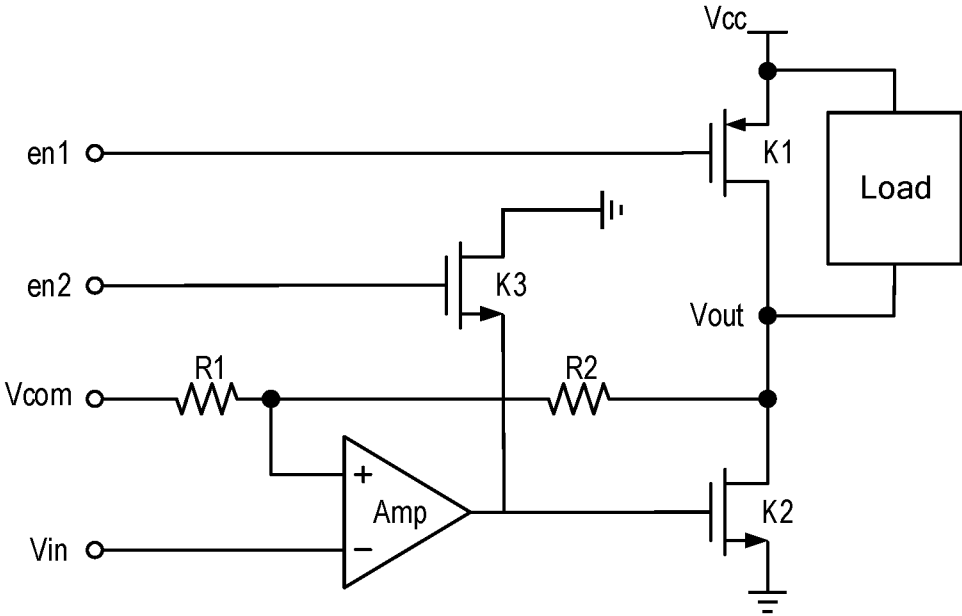
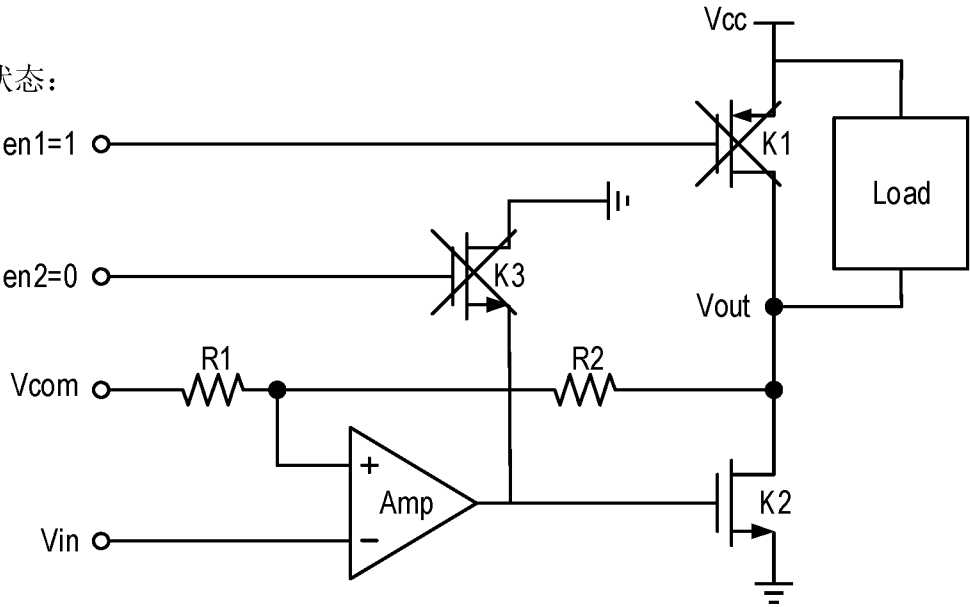


图 3

开关状态:



工作电路:

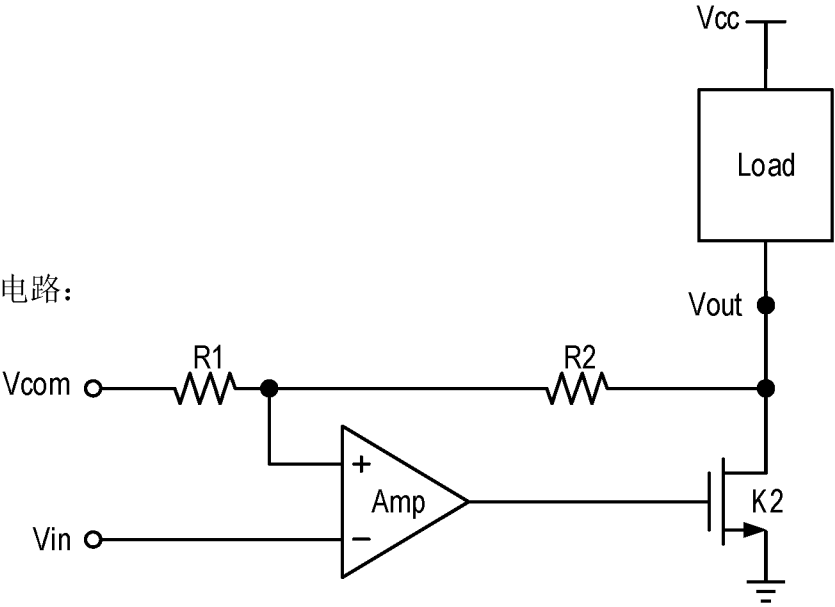
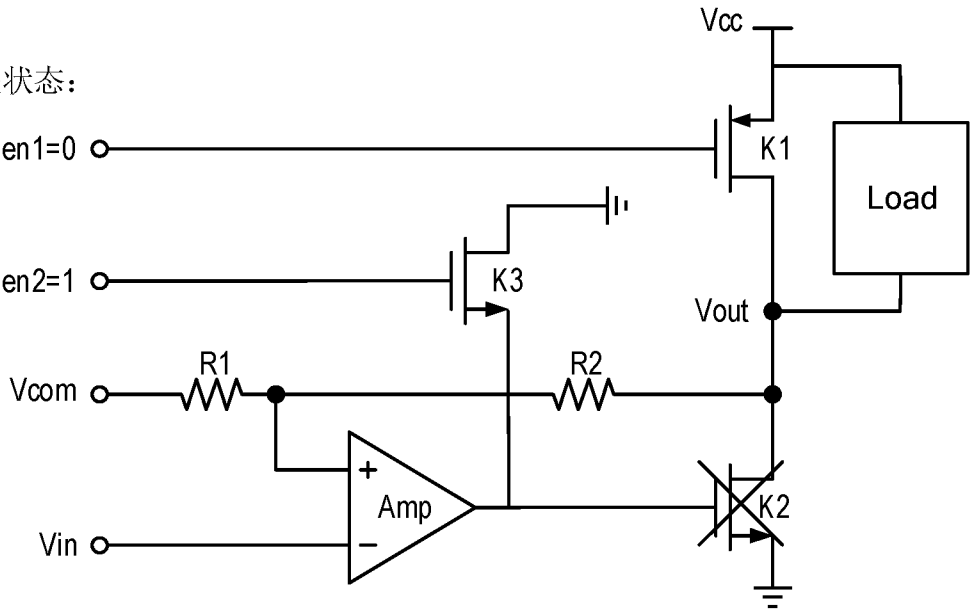


图 4

开关状态:



工作电路:

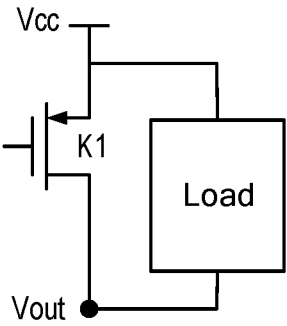


图 5

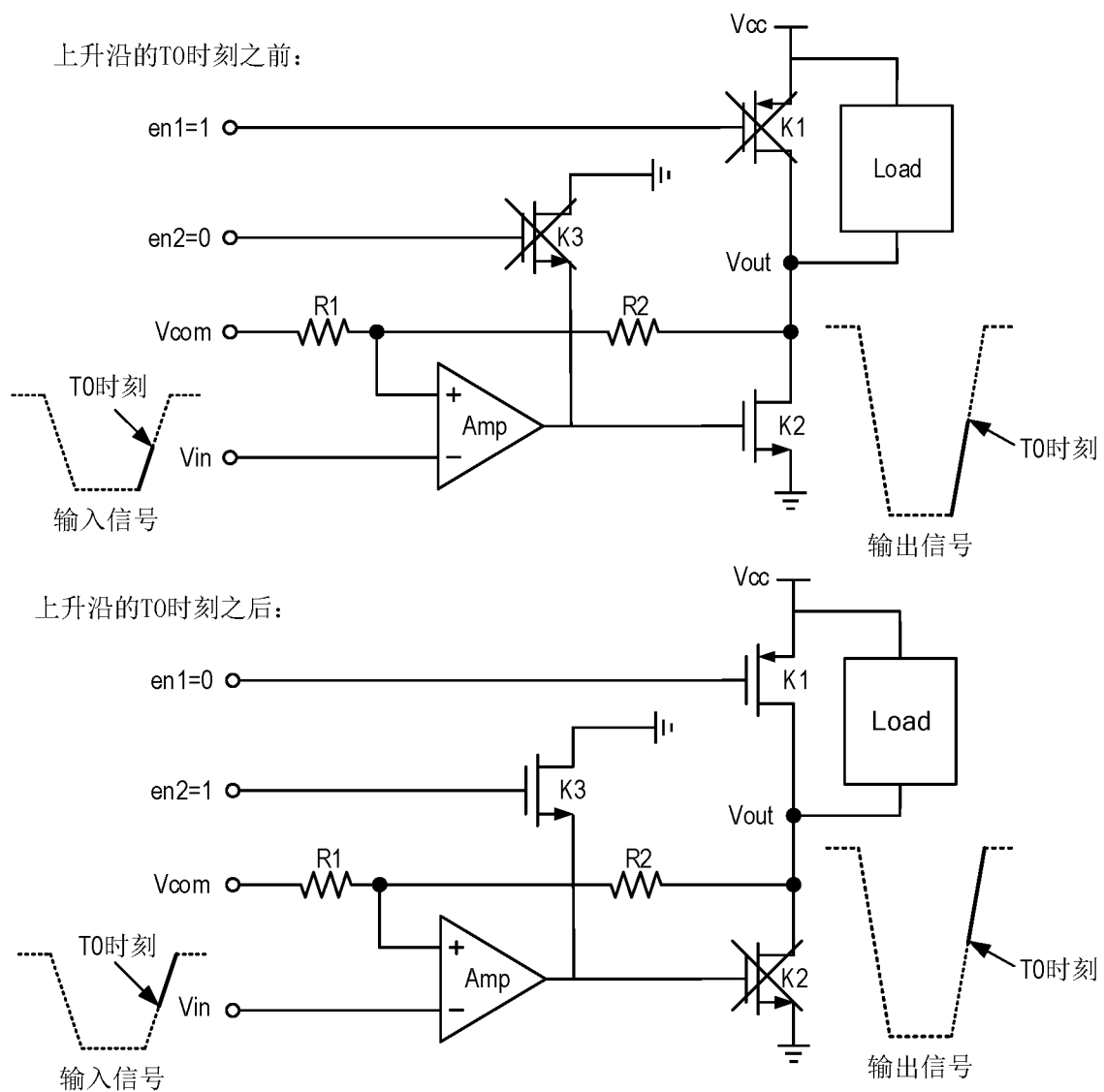


图 6

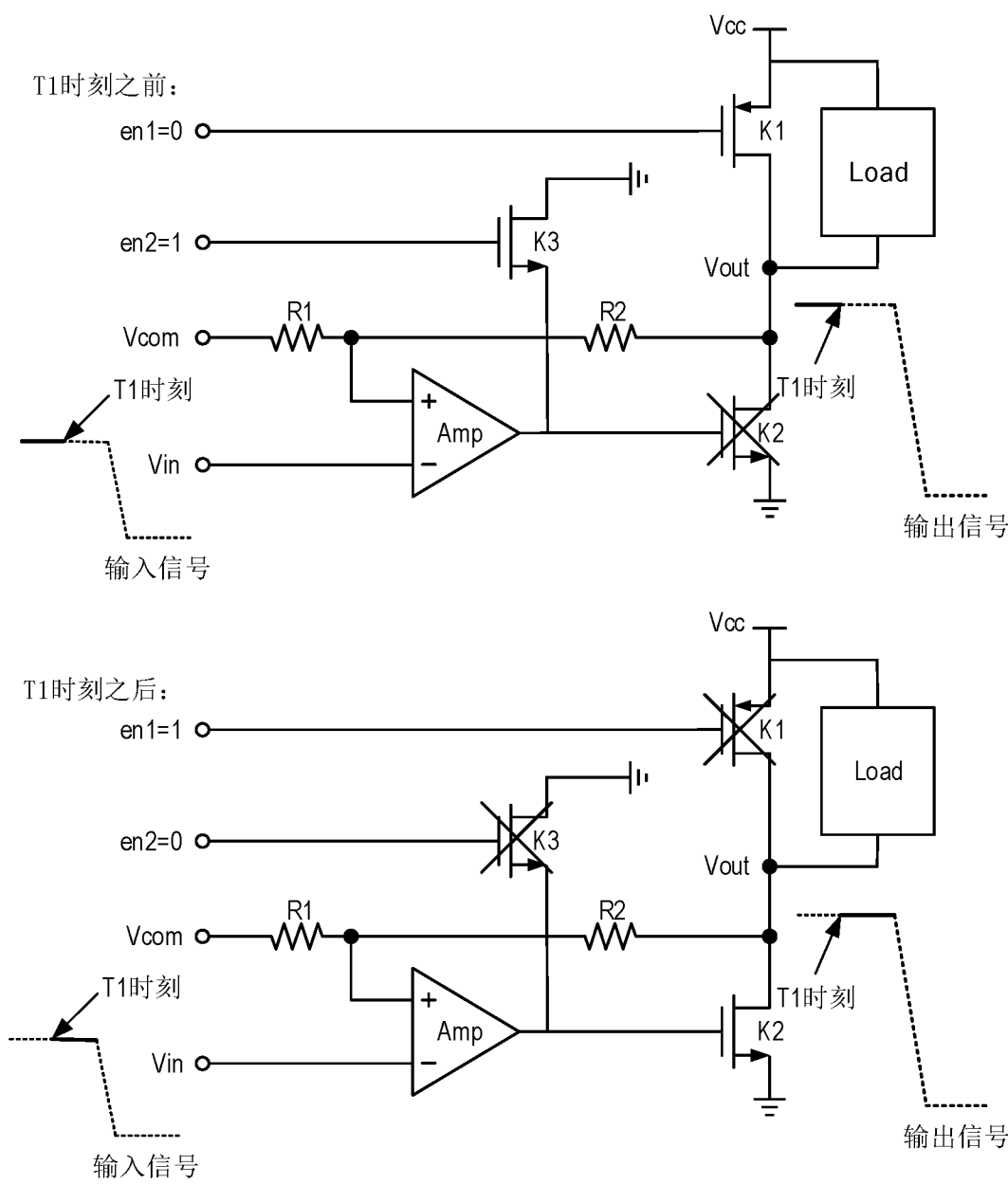


图 7

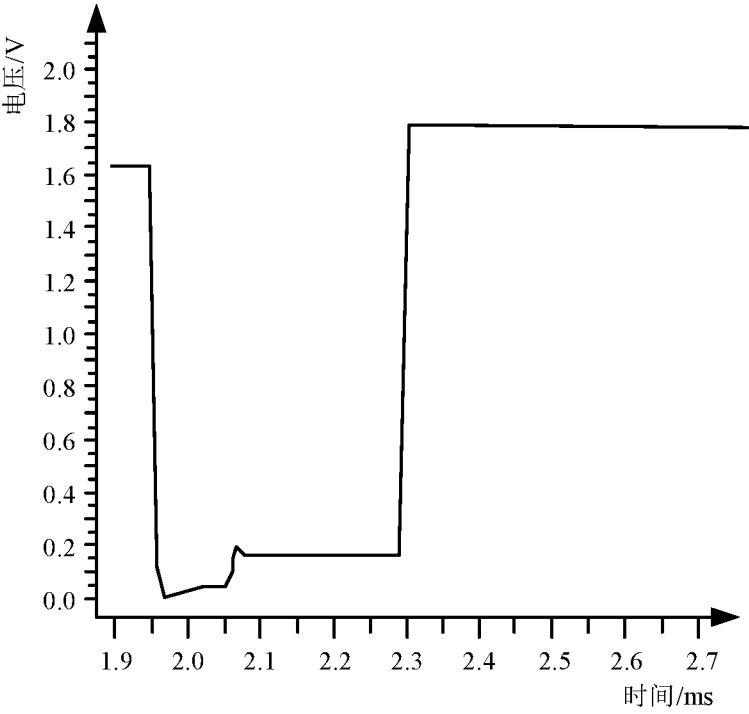


图 8

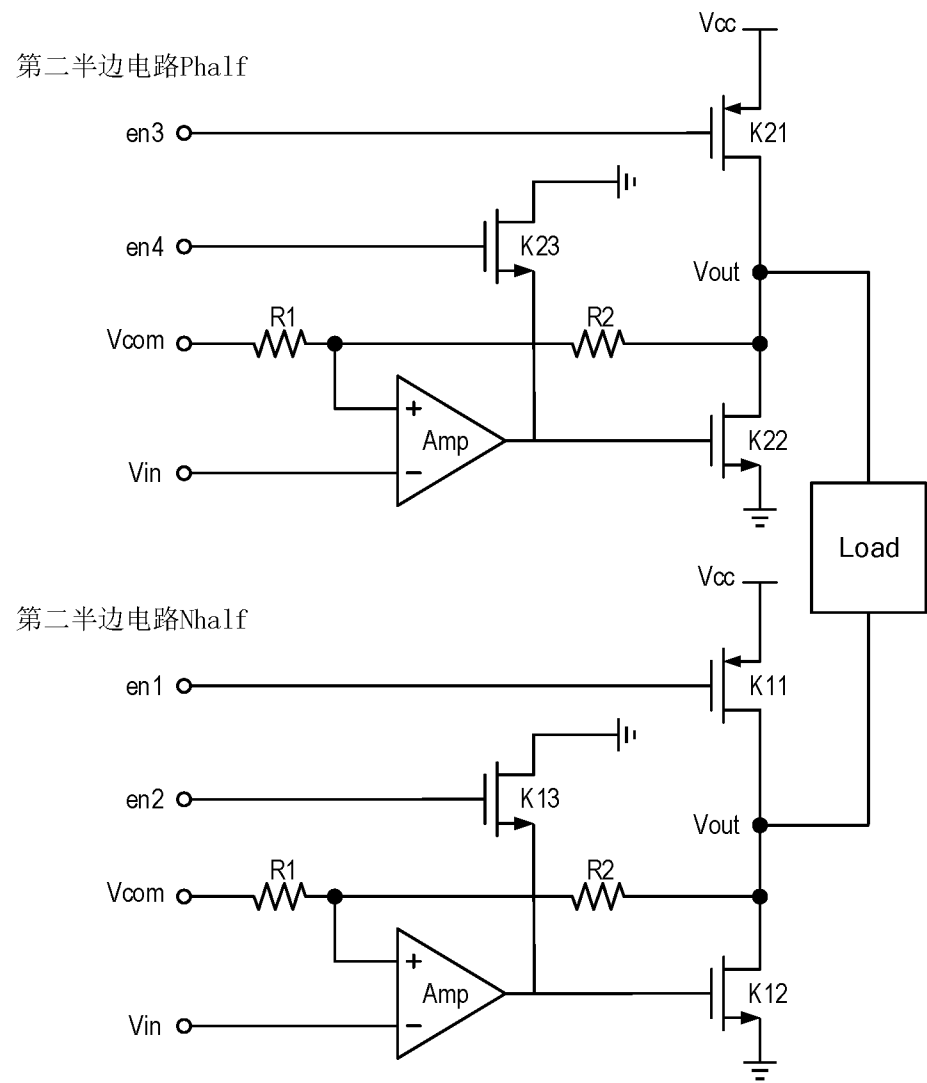


图 9

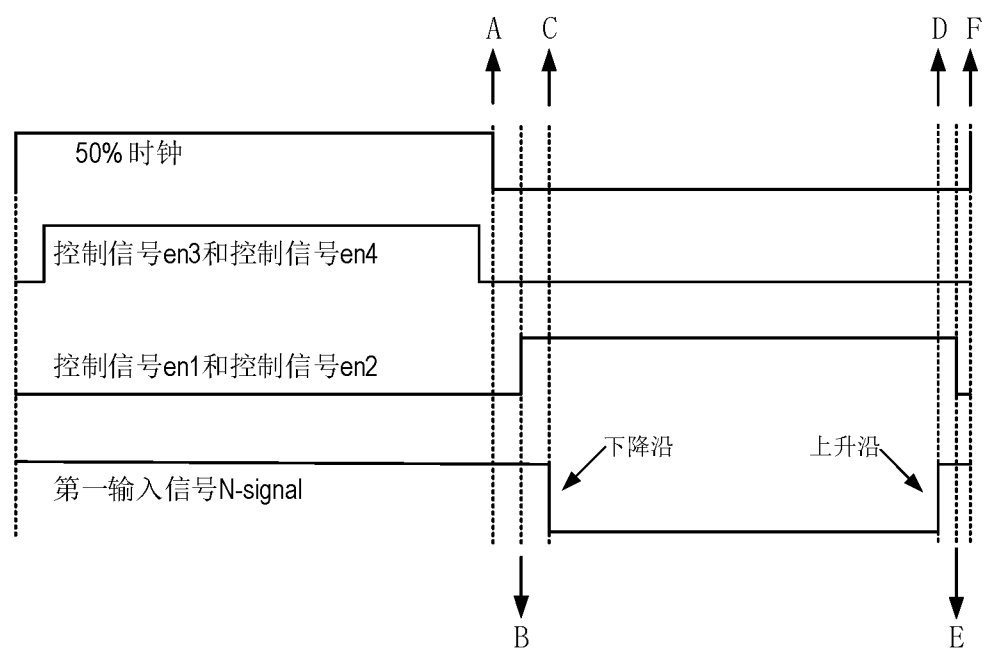


图 10

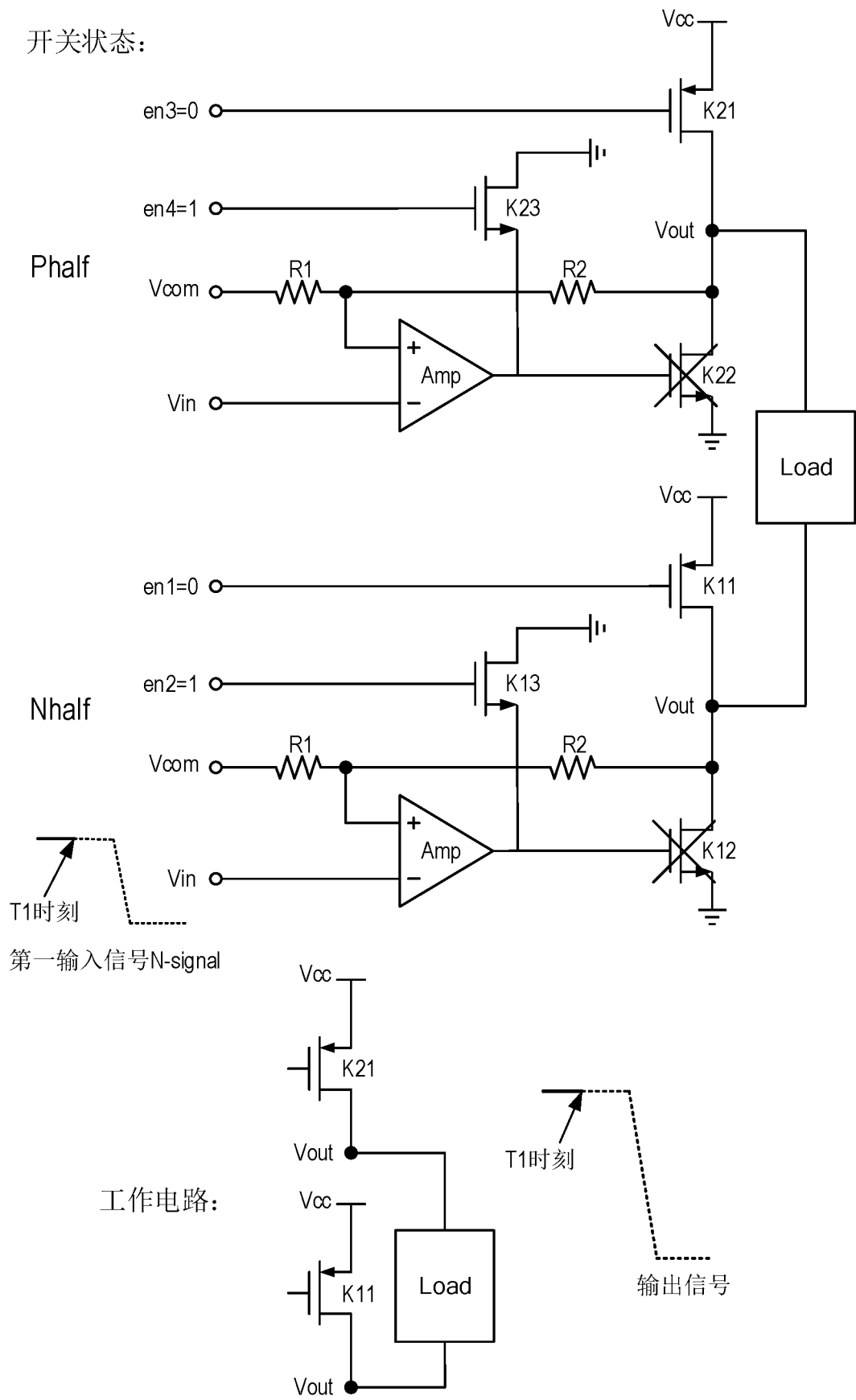


图 11

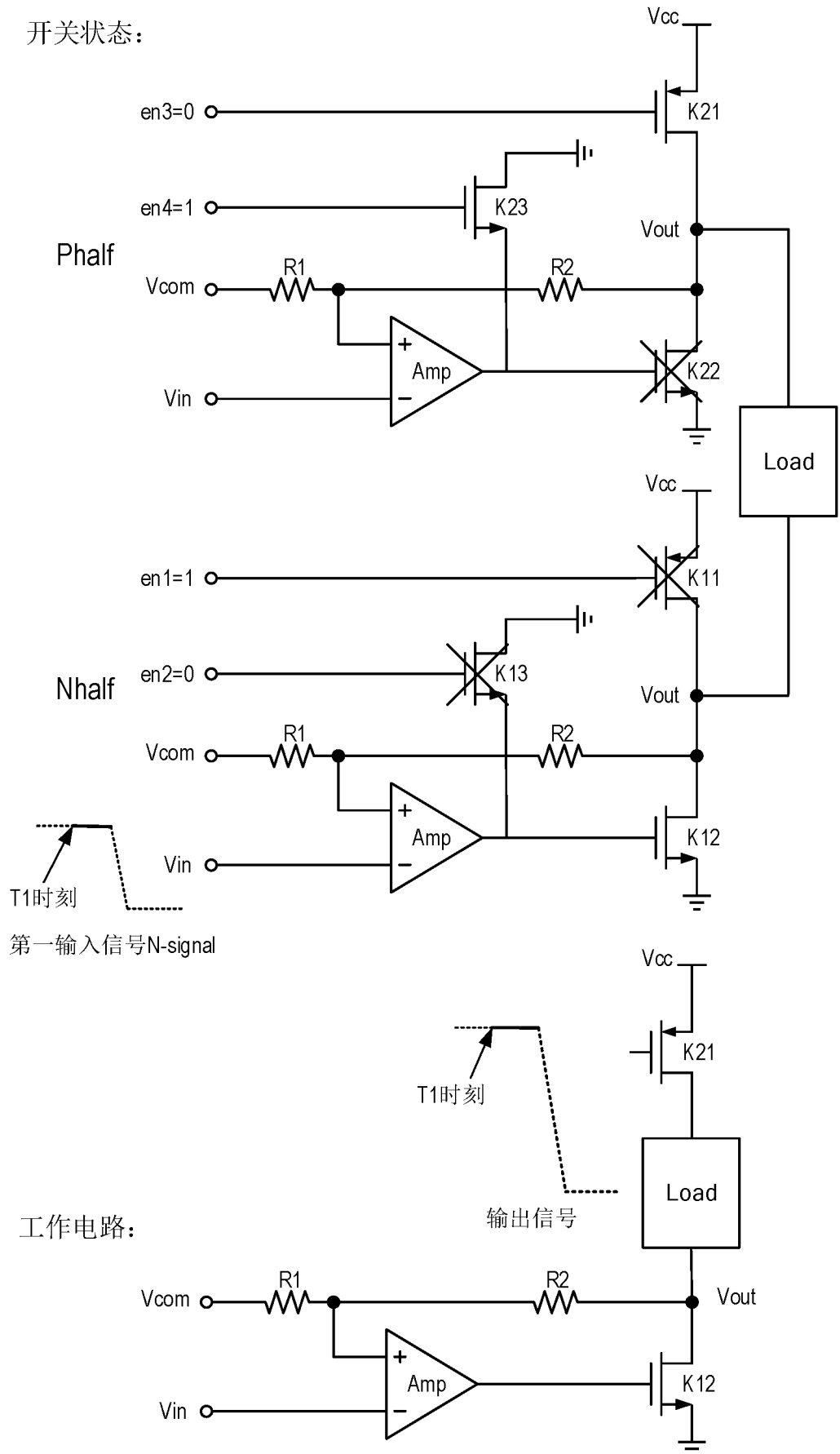


图 12

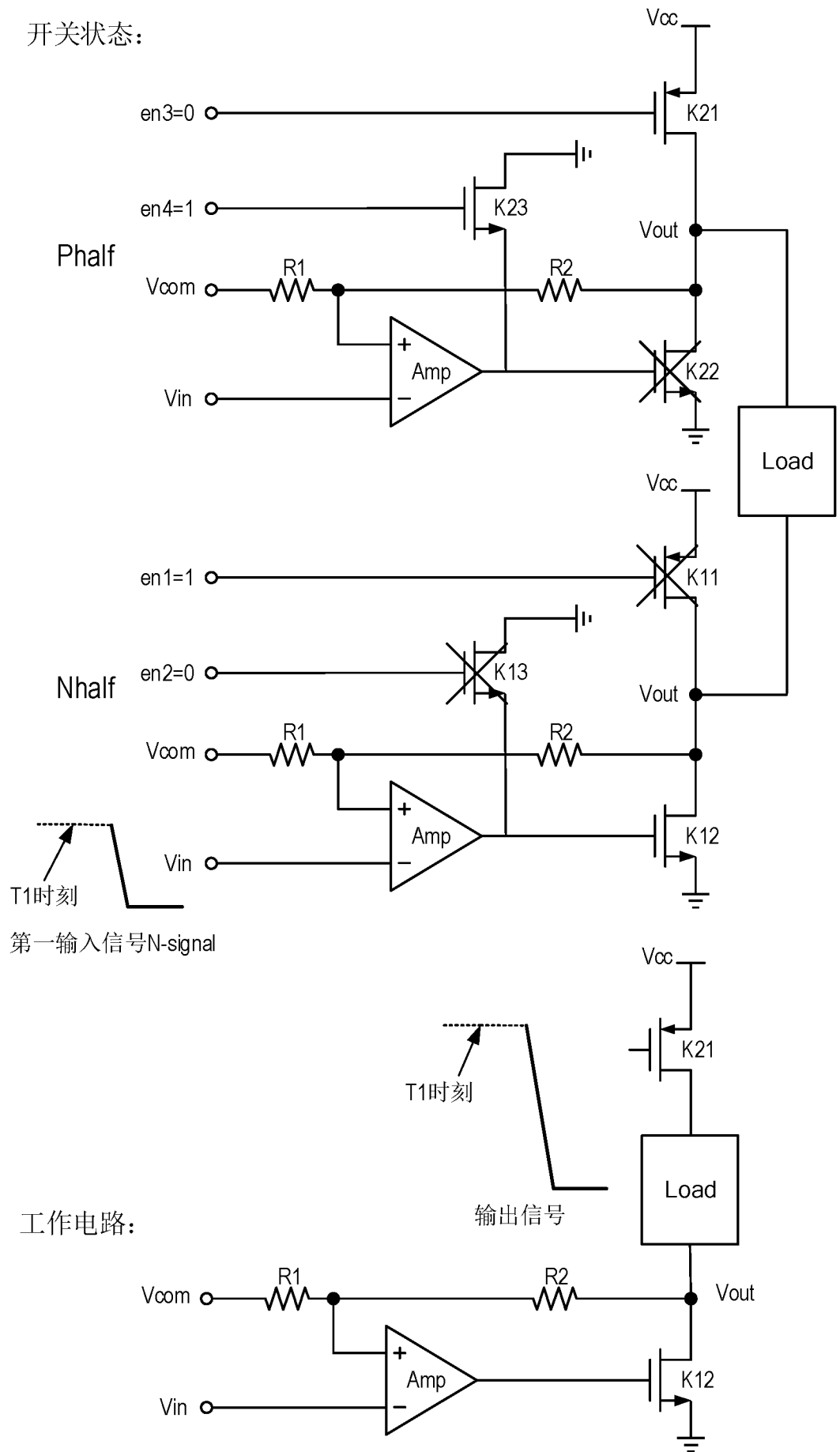


图 13

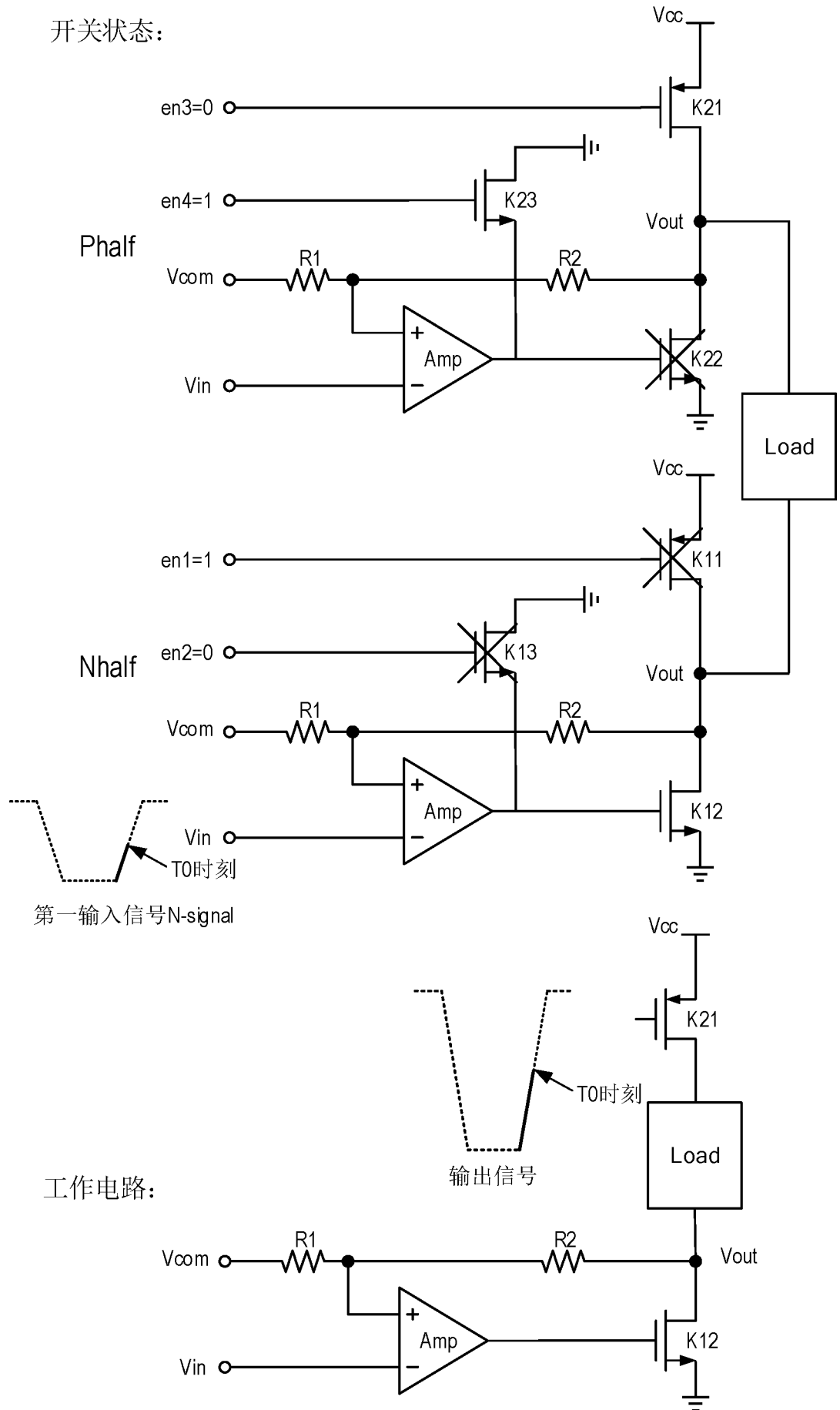


图 14

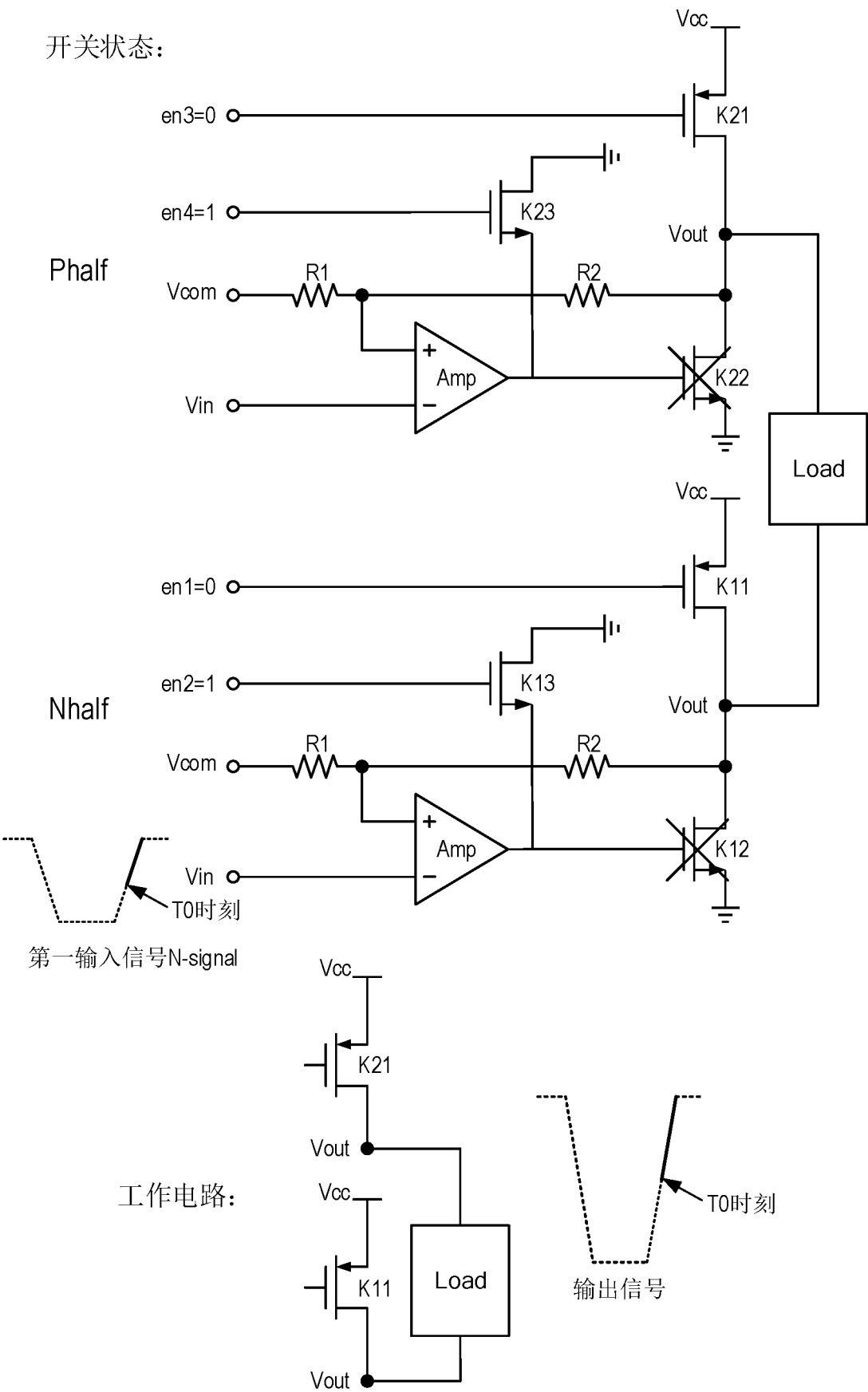


图 15

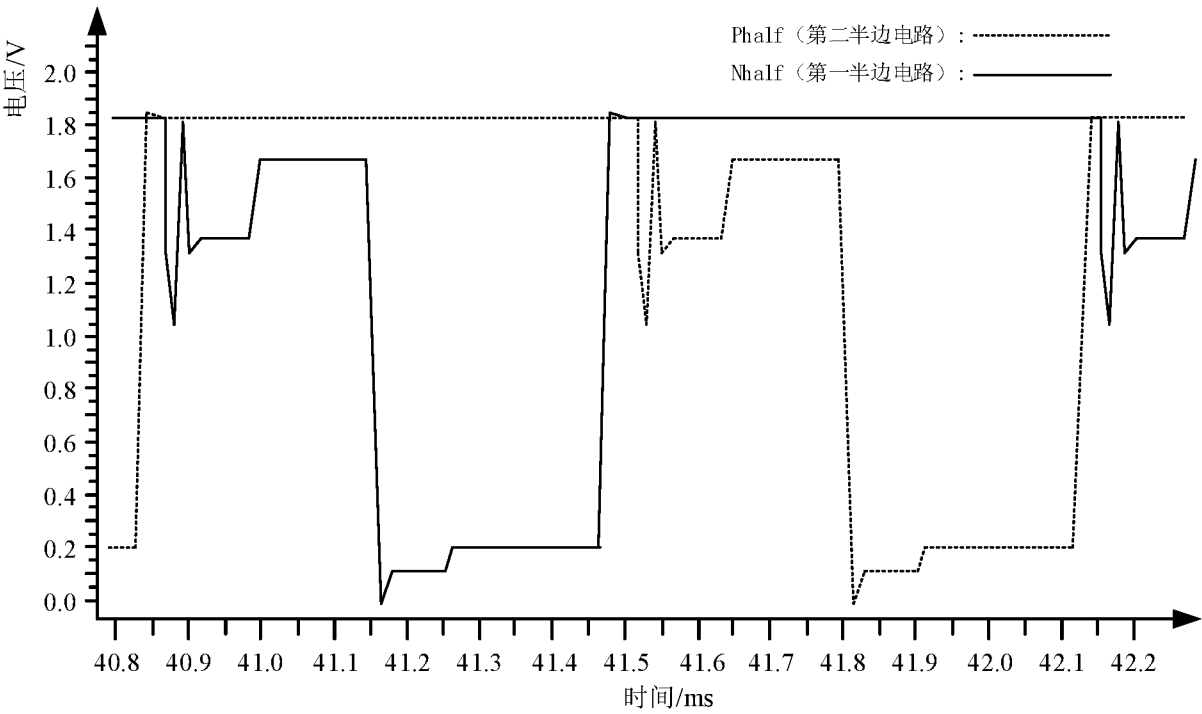


图 16

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/077113

A. CLASSIFICATION OF SUBJECT MATTER

G05F 1/56(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G05F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

VEN; CNABS; CNTXT; CNKI; USTXT; EPTXT; WOTXT: 放大器, 华为, 摆幅, 开关, 运放, 输出, 晶体管, 场效应管, 过冲, MOSFET, amplifier, amplitude, switch, output, transistor, overshoot

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	TW 200641577 A (PHISON ELECTRONICS CORPORATION, INC.) 01 December 2006 (2006-12-01) description, page 7, line 10 to page 8, line 4, and figure 2	1-4, 7
A	CN 103076831 B (SHANGHAI HUAHONG GRACE SEMICONDUCTOR MANUFACTURING CORPORATION) 02 December 2015 (2015-12-02) entire document	1-9
A	CN 105700605 A (SAMSUNG ELECTRONICS CO., LTD.) 22 June 2016 (2016-06-22) entire document	1-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

18 October 2019

Date of mailing of the international search report

20 November 2019

Name and mailing address of the ISA/CN

China National Intellectual Property Administration
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Authorized officer

Facsimile No. (86-10)62019451

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/077113

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
TW	200641577	A	01 December 2006	TW	I312450	B	21 July 2009
				US	7319360	B2	15 January 2008
				US	2006267673	A1	30 November 2006
CN	103076831	B	02 December 2015	CN	103076831	A	01 May 2013
CN	105700605	A	22 June 2016	US	2016173066	A1	16 June 2016
				KR	20160071570	A	22 June 2016
				TW	201621504	A	16 June 2016
				US	9577613	B2	21 February 2017
				CN	105700605	B	13 August 2019

国际检索报告

国际申请号

PCT/CN2019/077113

A. 主题的分类

G05F 1/56(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G05F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

VEN;CNABS;CNTXT;CNKI;USTXT;EPTXT;WOTXT: 放大器, 华为, 摆幅, 开关, 运放, 输出, 晶体管, 场效应管, 过冲, MOSFET, amplifier, amplitude, switch, output, transistor, overshoot

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	TW 200641577 A (群联电子股份有限公司) 2006年 12月 1日 (2006 - 12 - 01) 说明书第7页第10行-第8页第4行, 附图2	1-4、7
A	CN 103076831 B (上海华虹宏力半导体制造有限公司) 2015年 12月 2日 (2015 - 12 - 02) 全文	1-9
A	CN 105700605 A (三星电子株式会社) 2016年 6月 22日 (2016 - 06 - 22) 全文	1-9

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2019年 10月 18日

国际检索报告邮寄日期

2019年 11月 20日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

受权官员

郑悦

传真号 (86-10)62019451

电话号码 (86-512) 88995751

表 PCT/ISA/210 (第2页) (2015年1月)

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/077113

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
TW	200641577	A	2006年 12月 1日	TW	I312450	B	2009年 7月 21日
				US	7319360	B2	2008年 1月 15日
				US	2006267673	A1	2006年 11月 30日
CN	103076831	B	2015年 12月 2日	CN	103076831	A	2013年 5月 1日
CN	105700605	A	2016年 6月 22日	US	2016173066	A1	2016年 6月 16日
				KR	20160071570	A	2016年 6月 22日
				TW	201621504	A	2016年 6月 16日
				US	9577613	B2	2017年 2月 21日
				CN	105700605	B	2019年 8月 13日